

# Roteiro de Atividade: Implementação de Microarquitetura RISC-V Single-Cycle

## Objetivo

Projetar, implementar e validar uma microarquitetura RISC-V de ciclo único (conforme Figura 1), utilizando a linguagem Verilog. O projeto deverá ser documentado em um relatório técnico e apresentado a uma banca avaliadora.

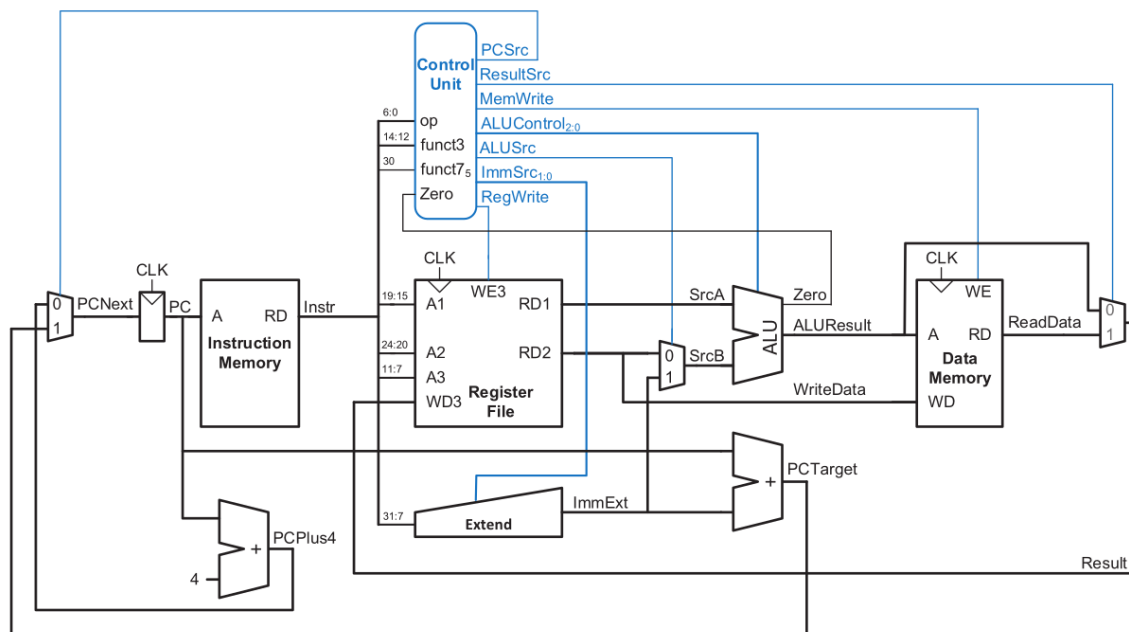


Figura 1. Arquitetura de um processador RISC-V de ciclo único.

## Base Teórica

A base teórica para a implementação da arquitetura se encontra disponível no capítulo 7 do livro “Digital Design & Computer Architecture – RISC-V Edition (Harris & Harris)”

A descrição da arquitetura de ciclo único é apresentada no item 7.3. A implementação do datapath e da lógica de controle estão detalhadas nas seções 7.3.2 e 7.3.3, respectivamente.

## Etapas da Atividade

### Etapa 1: Compreensão do Datapath

Estudar a Figura 1 – Datapath do processador single-cycle.

Identificar os componentes principais:

- Registrador de instrução (IR)
- Banco de registradores
- ALU
- Unidade de controle
- Memória de dados e de instruções
- MUXes, PC, extensores de sinal

Compreender o papel de cada componente e sua interligação.

### Etapa 2: Implementação em Verilog

Implementar em módulos separados:

- cpu.v: Módulo principal do processador (top-level)
  - control.v: Unidade de controle combinacional
  - datapath.v: Datapath conforme a Figura 1.
    - alu.v: Unidade lógica e aritmética
    - register\_file.v: Banco de registradores
    - instruction\_memory.v: Memória de instruções
    - data\_memory.v: Memória de dados
    - Módulos auxiliares: mux, sign\_extender, pc\_reg, adder (podem ser implementados como módulos separados ou diretamente no módulo datapath)

Instruções obrigatórias (Tabela 1):

- add, sub, and, or, slt (R-type)
- lw, sw
- beq

Tabela 1. Decodificador de instruções para a unidade de controle

Instruction	Op	RegWrite	ImmSrc	ALUSrc	MemWrite	ResultSrc	Branch	ALUOp
lw	0000011	1	00	1	0	1	0	00
sw	0100011	0	01	1	1	x	0	00
R-type	0110011	1	xx	0	0	0	0	10
beq	1100011	0	10	0	0	x	1	01

### Etapa 3: Testes e Simulação

Desenvolver testbenches para validar o funcionamento dos módulos individuais e do processador completo.

Criar programas simples em assembly RISC-V, converter para binário e carregar na memória (Testar pelo menos o programa da Figura 2).

Address	Instruction	Type	Fields					Machine Language	
0x1000	L7: lw x6, -4(x9)	I	imm <sub>11:0</sub>	rs1	f3	rd	op	0000011	FFC4A303
0x1004	sw x6, 8(x9)	S	imm <sub>11:5</sub>	rs2	rs1	f3	imm <sub>4:0</sub>	op	0100011 0064A423
0x1008	or x4, x5, x6	R	funct7	rs2	rs1	f3	rd	op	0110011 0062E233
0x100C	beq x4, x4, L7	B	imm <sub>12,10:5</sub>	rs2	rs1	f3	imm <sub>4:1,11</sub>	op	1100011 FE420AE3

Figura 2. Programa de teste com quatro instruções.

Validar com a ferramenta de simulação Xcelium.

Registrar os waveforms, valores de registradores e verificações de memória.

## Relatório Técnico

Elaborar um relatório técnico de 10 a 15 páginas de extensão contendo as seguintes seções:

### 1. Introdução

Objetivo do projeto.

Breve descrição da arquitetura RISC-V e do modelo single-cycle.

### 2. Arquitetura

Descrição da arquitetura implementada com base na Figura 1.

Diagrama do datapath com conexões, identificando os sinais.

Componentes principais e suas funções.

Detalhamento das implementações em verilog

### 3. Simulação e Validação

Metodologia utilizada nos testes.

Resultados com evidências (prints de waveforms, logs, etc).

### 4. Análise

Discussão de casos de teste.

Discussão sobre instruções implementadas.

Pontos fortes e melhorias possíveis.

### 5. Conclusão

Considerações finais sobre a implementação.

## **Apresentação em Grupo**

Tempo: 20 minutos de apresentação + 10 minutos de arguição pela banca.

Conteúdo esperado:

- Descrição geral do projeto
- Explicação do funcionamento da arquitetura
- Resultados de simulação
- Reflexões críticas sobre o projeto

Todos os membros da equipe devem participar da apresentação.

## **Entregáveis**

Na data da entrega final, os alunos devem enviar:

- Código-fonte Verilog completo e organizado (.zip)
- Relatório técnico em PDF (10–15 páginas)
- Slides da apresentação em PDF

## **Datas Importantes**

Entrega Final: 31/07/25

Apresentações: 01/08/25

## **CrITÉrios de Avaliação**

<b>CrITÉrio</b>	<b>Peso (%)</b>
Implementação funcional em Verilog	30%
Clareza e completude do relatório	30%
Apresentação oral (nota individual)	20%
Capacidade de responder à banca (nota individual)	20%