Caixa postal 4386, fone +55 61 3307 2300, fone/fax +55 61 3273 8893, ftd@unb.br, www.ft.unb.br





Laboratório de Sistemas Digitais – 2025.2

# Experimento 1 – Introdução à Linguagem VHDL

## **Objetivos**

- Familiarização com o software ModelSim.
- Implementar circuitos combinacionais simples utilizando a linguagem VHDL.
- Desenvolver módulos básicos que podem ser usados futuramente para implementar circuitos mais complexos.
- Simulação no ModelSim.

## Antes do experimento

Antes de iniciar as atividades da seção seguinte, leia o arquivo auxiliar que foi disponibilizado junto com este roteiro e siga o tutorial para aprender a usar o ModelSim. Esta parte não deve constar no relatório, mas é necessário fazê-la para obter a validação para este experimento.

#### Atividades

1. Descreva em VHDL e simule no ModelSim uma entidade com três bits de entrada  $(A, B \in C_{in})$  e dois bits de saída  $(S \in C_{out})$  que implemente um somador completo descrito pelas funções lógicas

$$S = A \oplus B \oplus C_{in},$$

$$C_{out} = AB + AC_{in} + BC_{in}.$$

2. Descreva em VHDL e simule no ModelSim uma entidade com dois vetores de entrada (S com 2 bits e D com 4 bits) e um bit de saída (Y) que implemente um multiplexador de 4 para 1 descrito pela função lógica

$$Y = D_0 \bar{S}_1 \bar{S}_0 + D_1 \bar{S}_1 S_0 + D_2 S_1 \bar{S}_0 + D_3 S_1 S_0.$$

3. Descreva em VHDL e simule no ModelSim uma entidade com um vetor de entrada com 4 bits e um bit de saída que implemente um detector de paridade: a saída deve ser 1 se a entrada tiver um número par de '1's e 0 caso contrário.



Faculdade de Tecnologia, Universidade de Brasília, Campus Universitário Darcy Ribeiro, Gleba A, Avenida L3 Norte, CEP 70.910-900, Brasília - DF Caixa postal 4386, fone +55 61 3307 2300, fone/fax +55 61 3273 8893, ftd@unb.br, www.ft.unb.br

#### Relatório

O relatório deve permitir ao leitor entender as atividades desenvolvidas no experimento mesmo sem acesso ao roteiro. O relatório é individual e deve ser entregue em formato PDF dentro do prazo indicado na Tabela 1 para cada turma através do Teams. Relatórios atrasados e/ou entregues pelo meio errado não serão aceitos. Para este experimento, também é necessário enviar os códigos VHDL desenvolvidos em um arquivo ZIP. Só serão corrigidos os relatórios dos alunos que validarem, durante a aula, os códigos desenvolvidos mostrando as simulações para o professor.

Tabela 1: Prazos para entrega dos relatórios.

Turma	Prazo
07	10/09/2025 às 8h
09	12/09/2025 às 16h
10	12/09/2025 às 14h

Para a correção, serão valorizadas, também, a clareza, a formatação e a linguagem do relatório. Lembre-se de incluir legendas nas figuras e tabelas, explicar seu raciocínio para desenvolver as soluções de forma clara, passo a passo, e, quando necessário, referenciar figuras, tabelas e equações.

O relatório deve conter, minimamente:

- número do experimento e identificação do aluno (nome completo, matrícula, disciplina e turma);
- explicações dos códigos desenvolvidos;
- as tabelas-verdade das funções lógicas implementadas;
- gráficos de simulações no ModelSim que confirmem que os códigos desenvolvidos implementam as funções desejadas (estas simulações devem estar claramente comentadas, com descrições que permitam entender facilmente quais são os sinais mostrados, quais intervalos de tempo do gráfico ilustram quais linhas da tabela-verdade etc.).