

Міністерство освіти і науки України  
Національний університет “Львівська політехніка”

Кафедра ЕОМ



## **Звіт**

З лабораторної роботи №1

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.  
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

***Варіант 23***

Виконав

студент групи КІ-201

Равчак В.А.

Прийняв:

Козак Н. Б.

**Львів 2024**

## Мета роботи:

Інсталювати та ознайомитися з середовищем розробки Xilinx ISE.  
Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

## Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACKTM
2. Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

## Варіант виконання роботи:

Таблиця вхідних та вихідних даних(варіант 23)

in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	1	1	0	0	1	0
0	1	0	1	0	0	0	0
1	0	0	0	1	0	1	1
1	1	1	0	0	1	1	1

## Мінімізація формул вихідних сигналів:

OUT\_0

**Map**

	$\overline{B}$	B
$\overline{A}$	1	0
A	0	1

**Map  
Layout**

	$\overline{B}$	B
$\overline{A}$	0	1
A	2	3

**Groups**

(0)	A.B
(3)	A.B

$y = A'B' + AB$

## OUT\_1

## Map

	$\bar{B}$	$B$
$\bar{A}$	1	1
$A$	0	0

## Map Layout

	$\bar{B}$	$B$
$\bar{A}$	0	1
$A$	2	3

## Groups

$(0,1)$	$A$
---------	-----

$$y = A'$$

## OUT\_2

## Map

	$\bar{B}$	$B$
$\bar{A}$	0	0
$A$	1	0

## Map Layout

	$\overline{B}$	$B$
$\overline{A}$	0	1
$A$	2	3

## Groups

(2)	A.B
-----	-----

$$y = AB'$$

## OUT\_3

## Map

	$\overline{B}$	$B$
$\overline{A}$	0	0
$A$	0	1

## Map Layout

	$\bar{B}$	$B$
$\bar{A}$	0	1
$A$	2	3

## Groups

(3)	A.B
-----	-----

$$y = AB$$

## OUT\_4

## Map

	$\overline{B}$	$B$
$\overline{A}$	1	0
$A$	1	1

## Map Layout

	$\overline{B}$	$B$
$\overline{A}$	0	1
$A$	2	3

## Groups

(0,2)	<u>B</u>
(2,3)	A

$$y = B' + A$$

OUT\_5

Map

	$\overline{B}$	B
$\overline{A}$	0	0
A	1	1

Map  
Layout

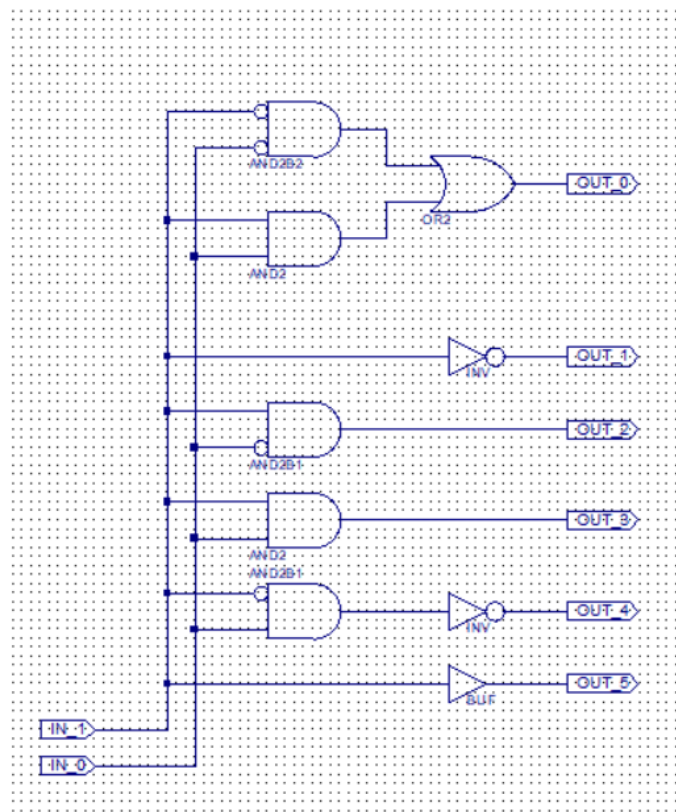
	$\overline{B}$	B
$\overline{A}$	0	1
A	2	3

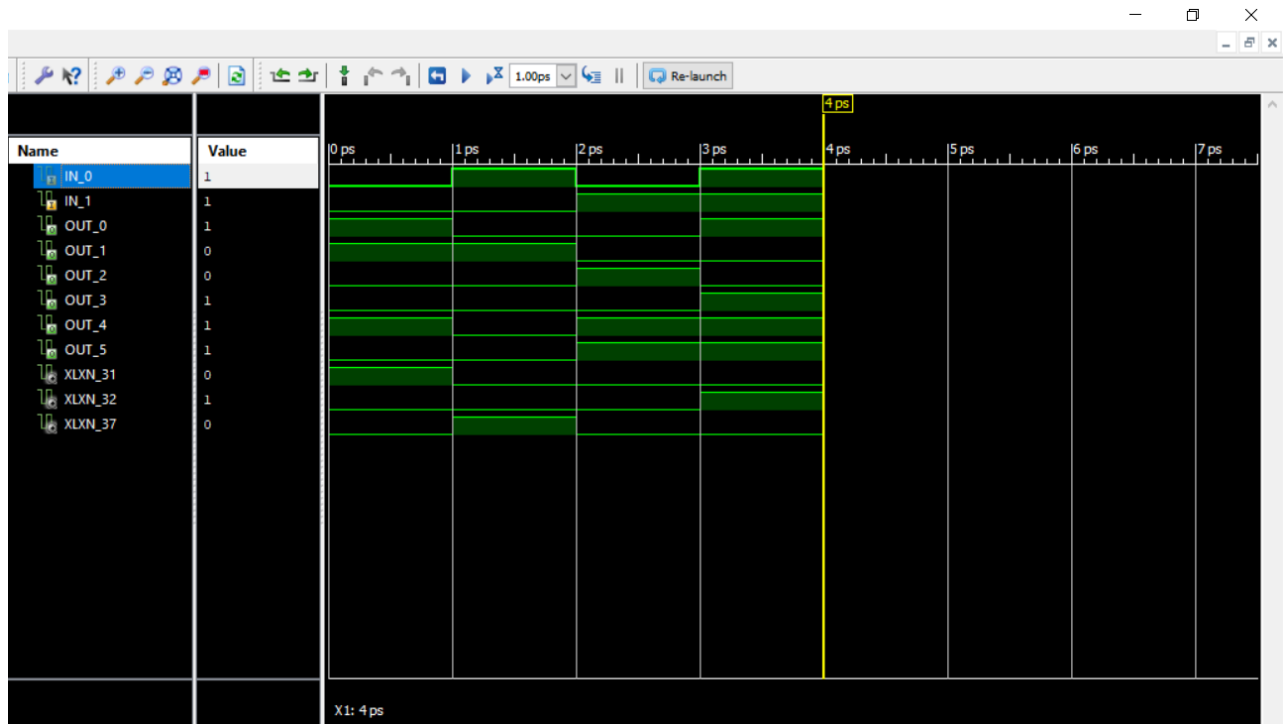
Groups

(2,3)	A
-------	---

$$y = A$$

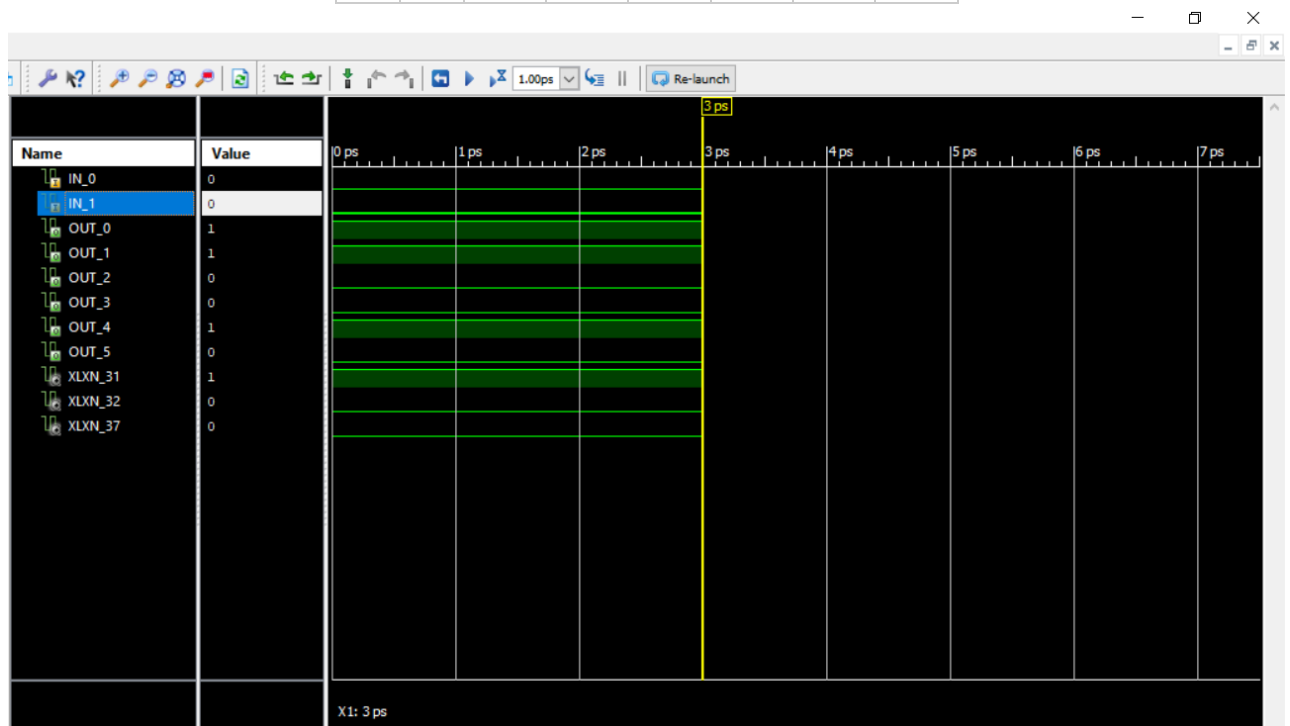
Схема реалізована згідно варіанту:



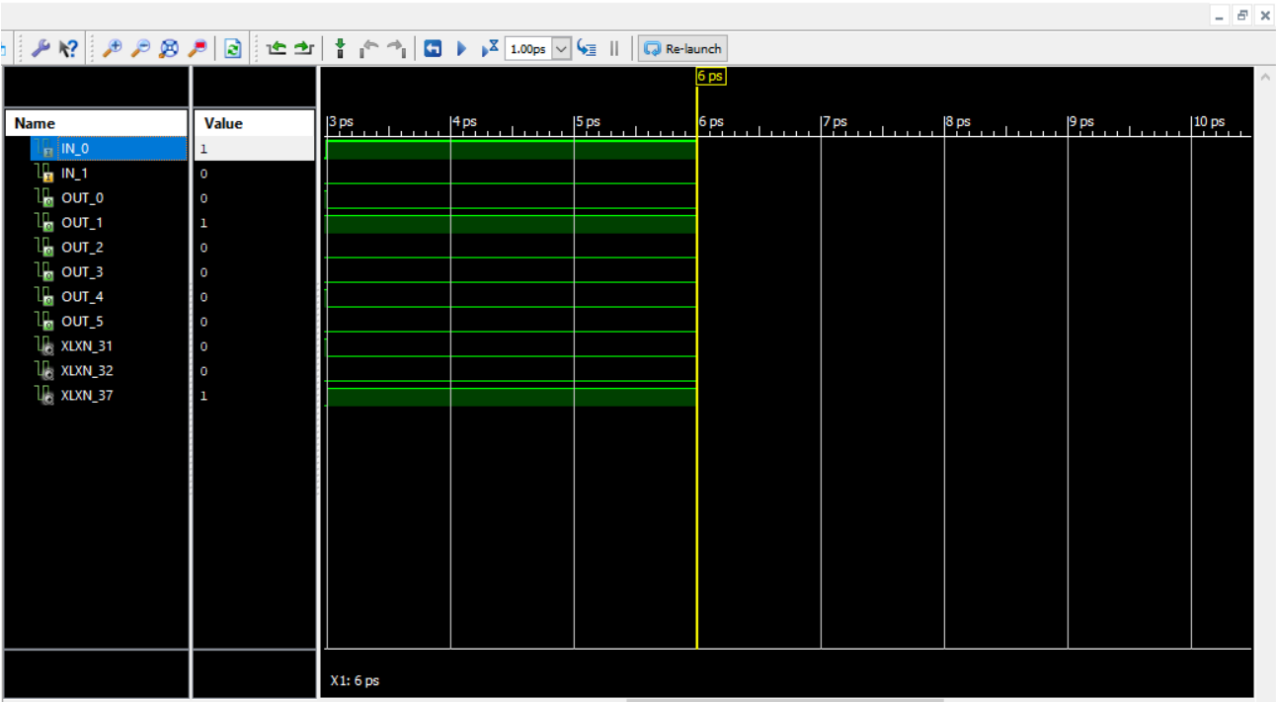


### Порівняння сигналів:

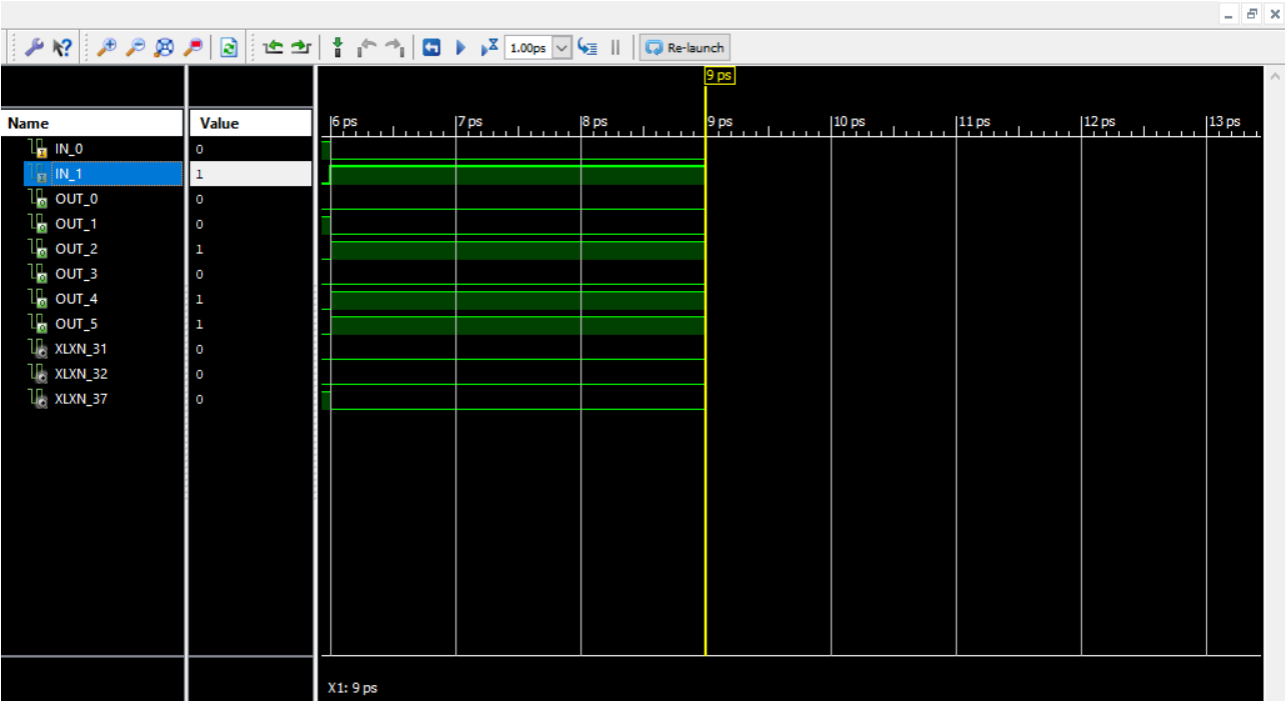
in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	1	1	0	0	1	0



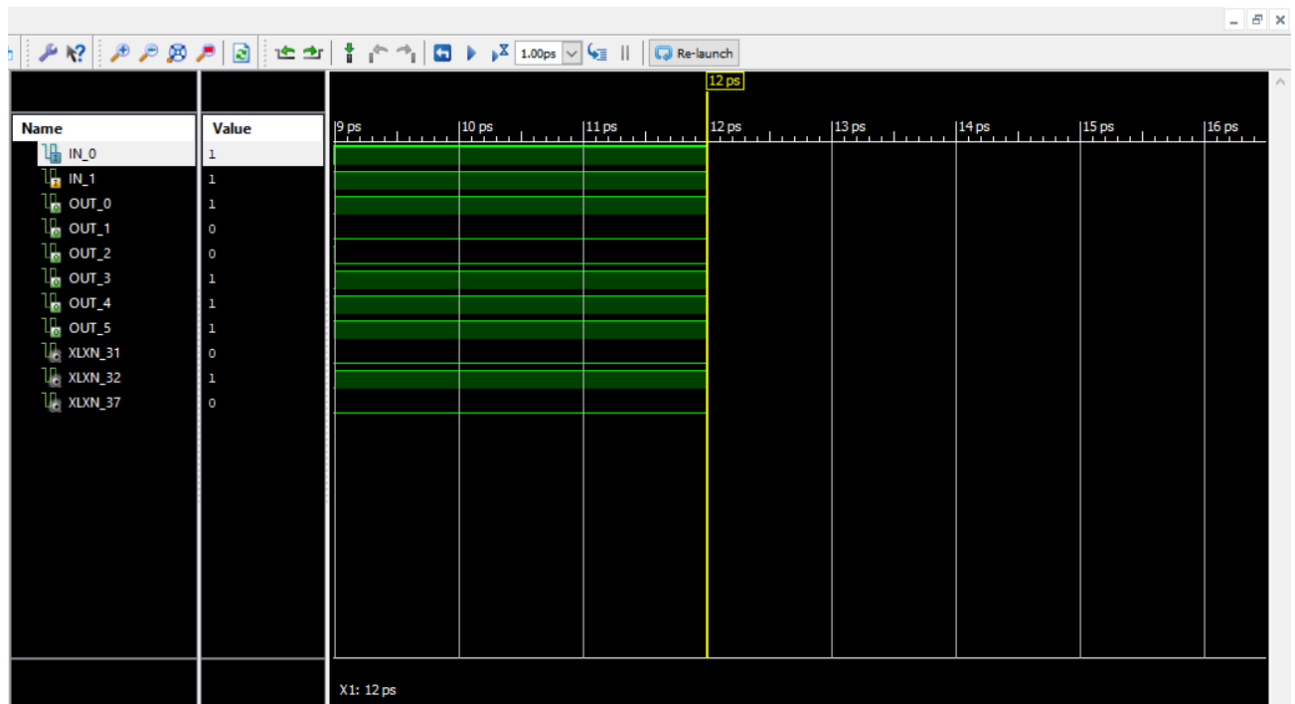
in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	1	0	1	0	0	0	0



in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
1	0	0	0	1	0	1	1



in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
1	1	1	0	0	1	1	1



**Висновок:** в ході виконання даної лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE. В ньому я розробив схему, згідно з таблицею істинності для мого варіанту. Я протестував усі можливі комбінації вхідних сигналів в ISim та порівнював вихідні сигнали з таблицею істинності.