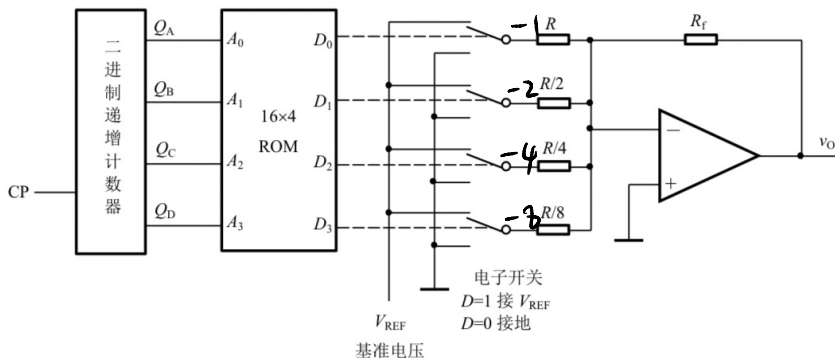


8.1.2 设存储器的起始地址为全 0，试指出下列存储系统的最高地址的十六进制地址码为多少？

- (1) $2K \times 1$ (2) $16K \times 4$ (3) $256K \times 32$

$(1) 2K \times 1 = 2^{11} \quad 2^{11}(10) = 800(16)$
 $(2) 16K \times 4 = 2^{16} \quad 2^{16}(10) = 10000(16)$
 $(3) 256K \times 32 = 2^{23} \quad 2^{23}(10) = 800000(16)$

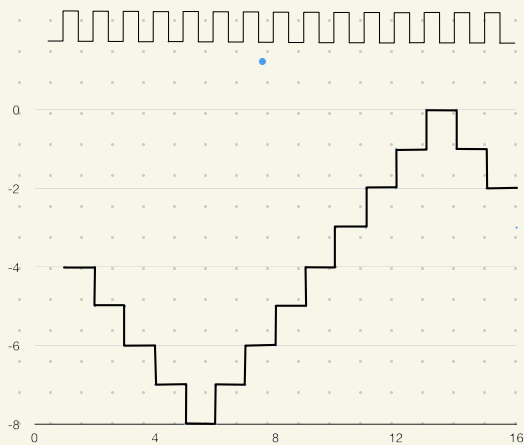
8.1.4 利用 ROM 构成的任意波形发生器如图题 8.1.4 所示，改变 ROM 的内容，即可改变输出波形。当 ROM 的内容如表题 8.1.4 所示时，画出输出端随 CP 变化的波形。



图题 8.1.4

表题 8.1.4

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0	A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0
0	0	0	1	0	1	0	1	1	0	0	1	0	0	1	1
0	0	1	0	0	1	1	0	1	0	1	0	0	0	1	0
0	0	1	1	0	1	1	1	1	0	1	1	0	0	0	1
0	1	0	0	1	0	0	0	1	1	0	0	0	0	0	0
0	1	0	1	0	1	1	1	1	1	0	1	0	0	0	1
0	1	1	0	0	1	1	0	1	1	1	0	0	0	1	0
0	1	1	1	0	1	0	1	1	1	1	1	0	0	1	1



8.2.4 一个有 $1\text{M} \times 1$ 位的 DRAM，采用地址分时送入的方法，芯片应具有几根地址线？

$1\text{M} = 2^{20}$, 2^{20} 个地址
分时送入, 10 根

8.2.5 试用一个具有片选使能 $\overline{\text{CE}}$ 、输出使能 $\overline{\text{OE}}$ 、读写控制 $\overline{\text{WE}}$ 、容量为 $8\text{K} \times 8$ 位的 SRAM 芯片和必要的逻辑门，设计一个 $16\text{K} \times 16$ 位的存储器系统，试画出其逻辑图。

