



# 結訓證書

第06S348026號

茲證明 游尚叡

自 民國一〇六年十二月十六日

至 民國一〇七年一月二十日

參加 「Verilog FPGA數位電路設計  
實習模擬(LAB)」

課程總時數 35.0小時，實際上課時  
數 35.0小時

研習期滿成績合格

頒此結業證書以茲證明

此證

TZE-CHIANG FOUNDATION OF SCIENCE & TECHNOLOGY

財團法人自強工業科學基金會



執行長

張元杰

中華民國 一〇七 年 一 月 二十 日

TCFST