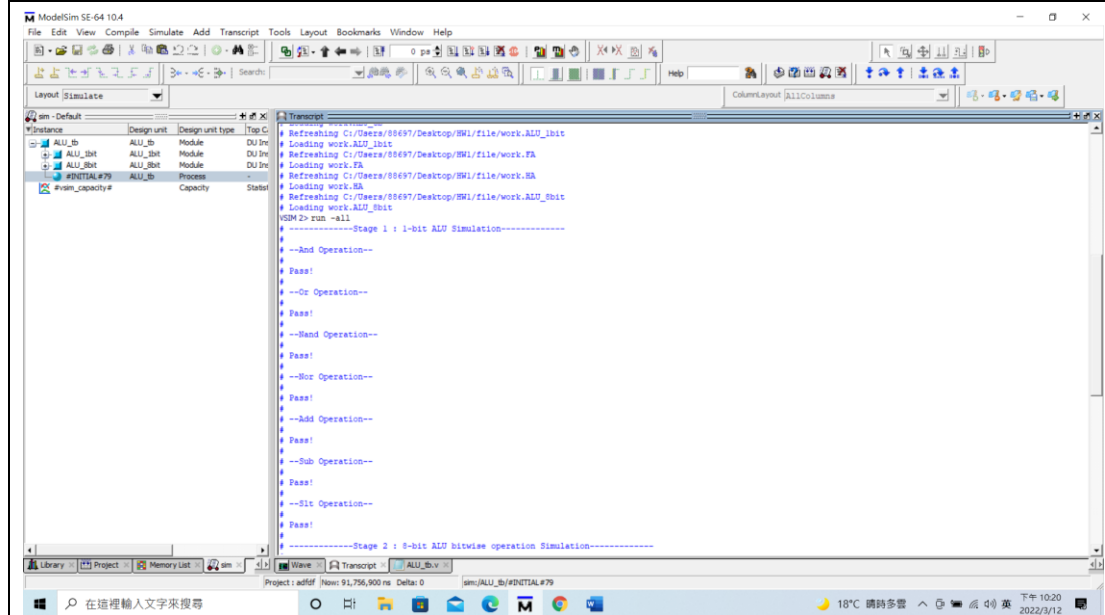


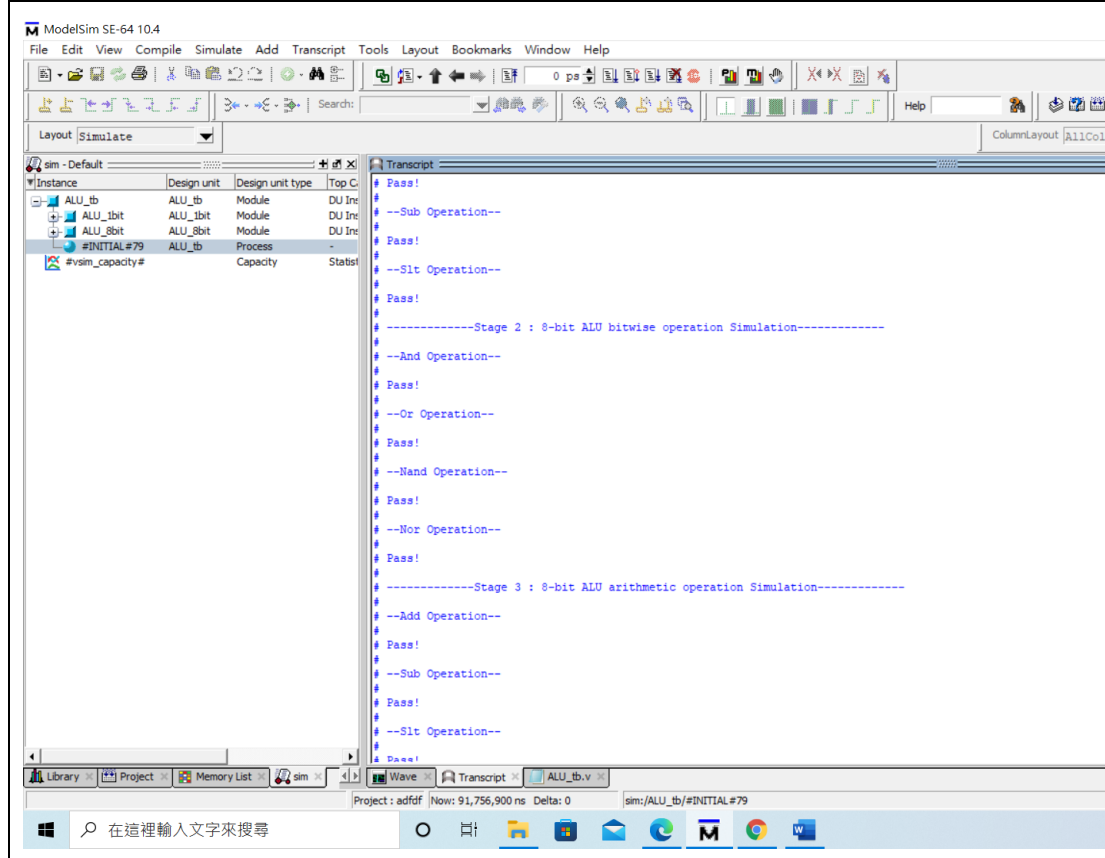
2022 Digital IC Design Homework 1

| | | | | | |
|------------------------------|-----------|---------|------|---------|------|
| NAME | 趙泓瑞 | | | | |
| Student ID | E14071025 | | | | |
| Functional Simulation Result | | | | | |
| Stage 1 | Pass | Stage 2 | Pass | Stage 3 | Pass |

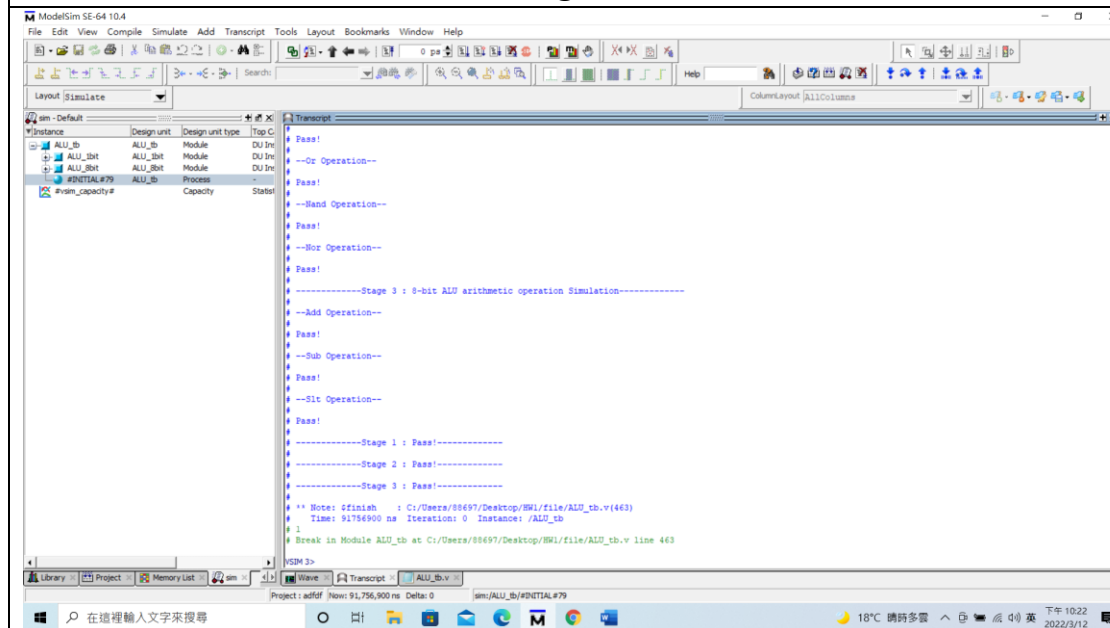
Stage 1



Stage 2



Stage 3



Description of your design

因為跟時脈無關，所以本次作業我都使用組合電路完成。

ALU_1bit.v 使用 2022_hw1.pdf 中 Fig.1 的邏輯閘先後順序連接而成，我是以功能一段段完成。第一段以 Ainvert 為條件，做多工器，結果用 reg Ainvert_result 儲存運算結果，第二段則改以 Binvert 為條件，結果改用 reg Binvert_result 儲存。呼叫助教給的 FA.v 檔建立全加器(named alu1fa)。用 data flow 跟 behavioral 兩種架構完成 op 多工器跟 overflow 的結果。

ALU_8bit.v 使用 ALU_1bit.依據 Fig.2 的指引以 1bit 為單位，呼叫了 8 個 1bit 的 ALU(named alu0.....alu7)，創 less_0 等於 0，讓部分 alu 的 less 腳位等於 0，其餘對應的腳位做連接而成。額外用 wire combset 跟 overflow 做 xor，創 reg com_result 將結果連回 alu0 的 less 腳位。

Pre-sim 結果如上，ALL PASS!