2022 Digital IC Design Homework 1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| NAME | | 趙泓瑞 | | | | |
| Student ID | | E14071025 | | | | |
| **Functional Simulation Result** | | | | | | |
| Stage 1 | Pass | | Stage 2 | Pass | Stage 3 | Pass |
| **Stage 1** | | | | | | |
|  | | | | | | |
| **Stage 2** | | | | | | |
|  | | | | | | |
| **Stage 3** | | | | | | |
|  | | | | | | |
| **Description of your design** | | | | | | |
| 因為跟時脈無關，所以本次作業我都使用組合電路完成。  ALU\_1bit.v使用2022\_hw1.pdf中Fig.1的邏輯閘先後順序連接而成，我是以功能一段段完成。第一段以Ainvert為條件，做多工器，結果用reg Ainvert\_result儲存運算結果，第二段則改以Binvert為條件，結果改用reg Binvert\_result儲存。呼叫助教給的FA.v檔建立全加器(named alu1fa)。用data flow跟 behavioral 兩種架構完成op多工器跟overflow的結果。  ALU\_8bit.v使用ALU\_1bit.依據Fig.2的指引以1bit為單位，呼叫了8個1bit的ALU(named alu0……alu7)，創less\_0等於0，讓部分alu的less腳位等於0，其餘對應的腳位做連接而成。額外用wire combset跟 overflow 做xor，創reg com\_result將結果連回alu0的less腳位。  Pre-sim結果如上，ALL PASS! | | | | | | |