

2024 Electronic Circuits II Design Project Summary Sheet

Name : 김민성

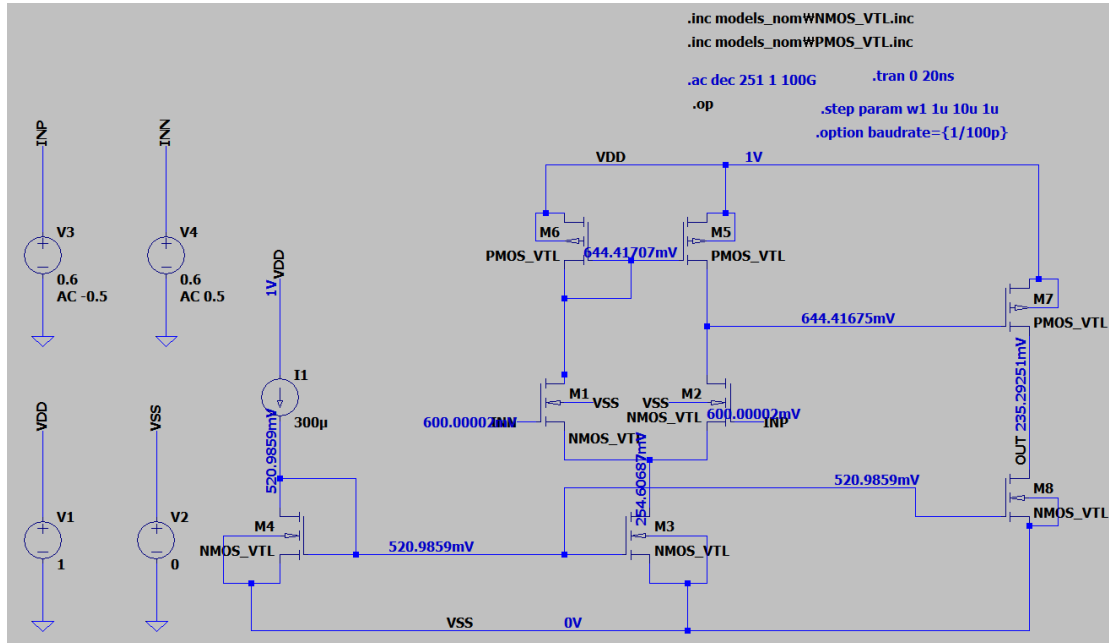
Student ID No. : 2020142087

< Optical Receiver (PD + TIA + CTLE) >

$(W/45nm)_1$	4.5u
$(W/45nm)_2$	4.5u
$(W/45nm)_3$	3u
$(W/45nm)_4$	3u
$(W/180nm)_5$	4.5u
$(W/180nm)_6$	7u
$(W/180nm)_7$	4.5u
$(W/45nm)_8$	2u
$(W/45nm)_9$	2.5u
R_F	1.6k
C_{IN}	40p
R_1	10k
R_2	10k
R_S	1.2k
C_S	0.08p
R_D	2.29k
I_{REF}	300u
V_{REF}	0.6
Gain of OTA (@ 10MHz) without PD, feedback resistor and CTLE	22.99dB
Bandwidth _{3dB} of OTA without feedback resistor and CTLE	6.99GHz
Cut-off frequency of high-pass filter	788.6kHz
Gain of TIA (@ 10MHz) with CTLE load	62dB
Bandwidth _{3dB} of the system (PD + TIA + CTLE) output	4.501GHz
Overall Peaking of the system (PD + TIA + CTLE) output (dB)	0.381dB
Power Consumption (mW)	1.285mW

1. Operational Transconductance Amplifier

(a) Verify that all MOSFETs are operating in saturation through DC operating point simulation.



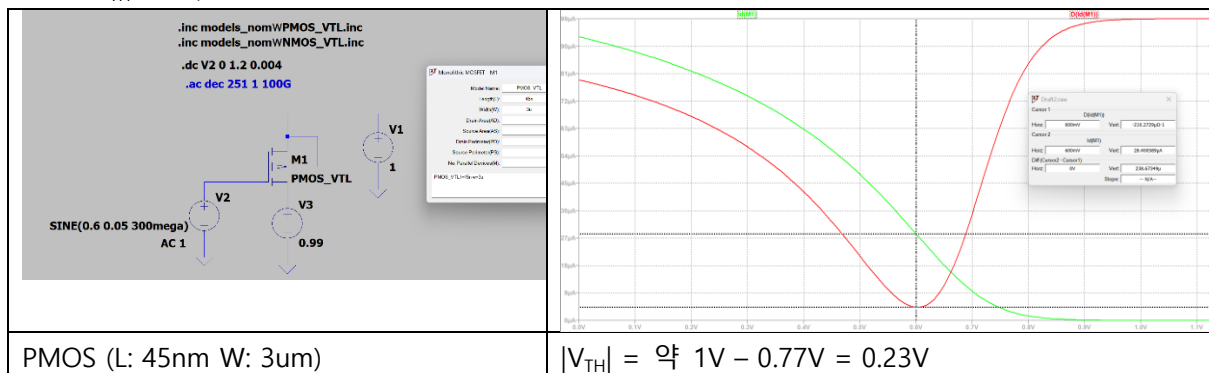
(DC operating point simulation 결과)

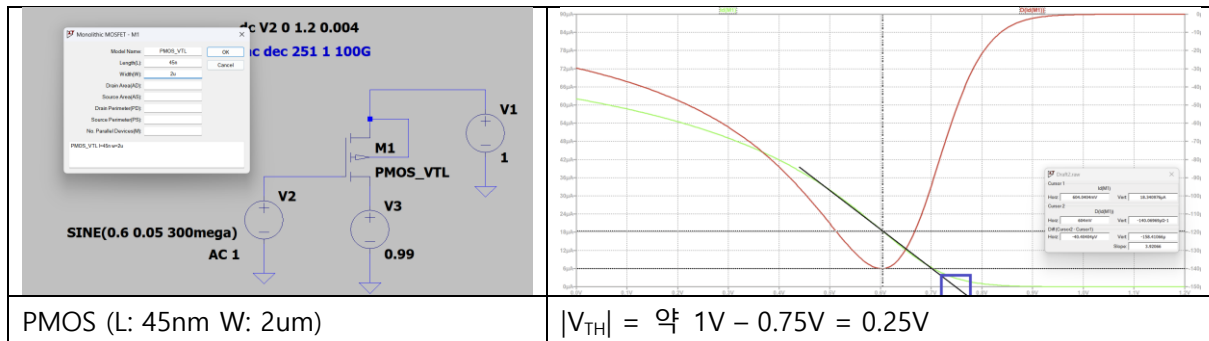
위의 M1~M8 까지의 $V_{th} = 0.3\text{V}$ 정도라고 가정한다면, $V_{GS}-V_{TH}$ 와 V_D 결과는 아래와 같다.

M1		M2		M3		M4	
$V_{GS}-V_{TH}$	V_{DS}	$V_{GS}-V_{TH}$	V_{DS}	$V_{GS}-V_{TH}$	V_{DS}	$V_{GS}-V_{TH}$	V_{DS}
55mV	390mV	55mV	390mV	221mV	254mV	221mV	521mV
M5		M6		M7		M8	
$V_{SG}- V_{TH} $	V_{SD}	$V_{SG}- V_{TH} $	V_{SD}	$V_{SG}- V_{TH} $	V_{SD}	$V_{GS}-V_{TH}$	V_{DS}
55mV	355mV	55mV	355mV	55mV	765mV	221mV	235mV

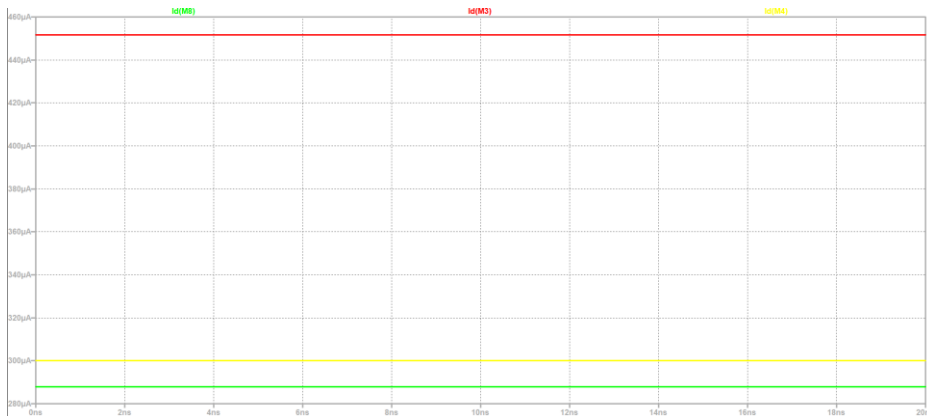
위 표를 보면 알 수 있듯이 모두 $V_{GS}-V_{TH} > 0$ or $V_{SG}-|V_{TH}| > 0$ 를 만족하고, $V_{DS} > V_{GS}-V_{TH}$ 또는 $V_{SD} > V_{SG}-|V_{TH}|$ 를 만족하는 것을 알 수 있다. 따라서, 모든 TR 은 saturation region 에서 동작함을 알 수 있다.

<실제 V_{TH} 측정, LEC22 HomeWork 에서 사용한 방법을 사용하였다>



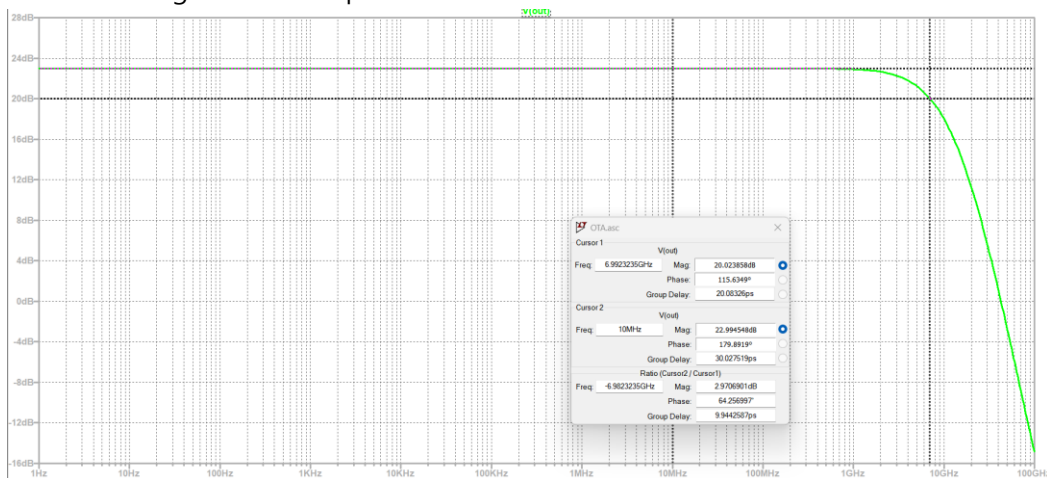


위 표는 PMOS 의 V_{TH} 를 강의시간에 배운 방법으로 계산한 결과이다. 분량제한으로 인해 나머지 MOSFET 의 측정결과와는 따로 첨부할 하지 않았지만, M1~M8 모두 V_{TH} 가 0.3V 보다 살짝 작게 측정되었다. 따라서, 처음에 가정한 0.3V 정도의 V_{TH} 는 적절한 가정이었고, 이를 통해 모든 MOSFET 이 saturation region 에서 동작함을 알 수 있다. 더불어, M8 의 경우에도 180n, 4.5u nmos 의 V_{th} 는 Lec22 Homework 에서 다뤘듯이 $V_{th} = 0.3V$ 이므로, M8 또한, 포화영역에 있다고 할 수 있다.



위 사진은 Current mirror 가 정상 작동하고 있음을 보여준다. 이는 MOSFET 이 saturation region 에서 동작함을 알려주는 또 하나의 지표이다.

(b) Simulate the frequency response of the only OTA (OTA_{OUT}/V_{DIFF}) and submit its magnitude Bode plot.

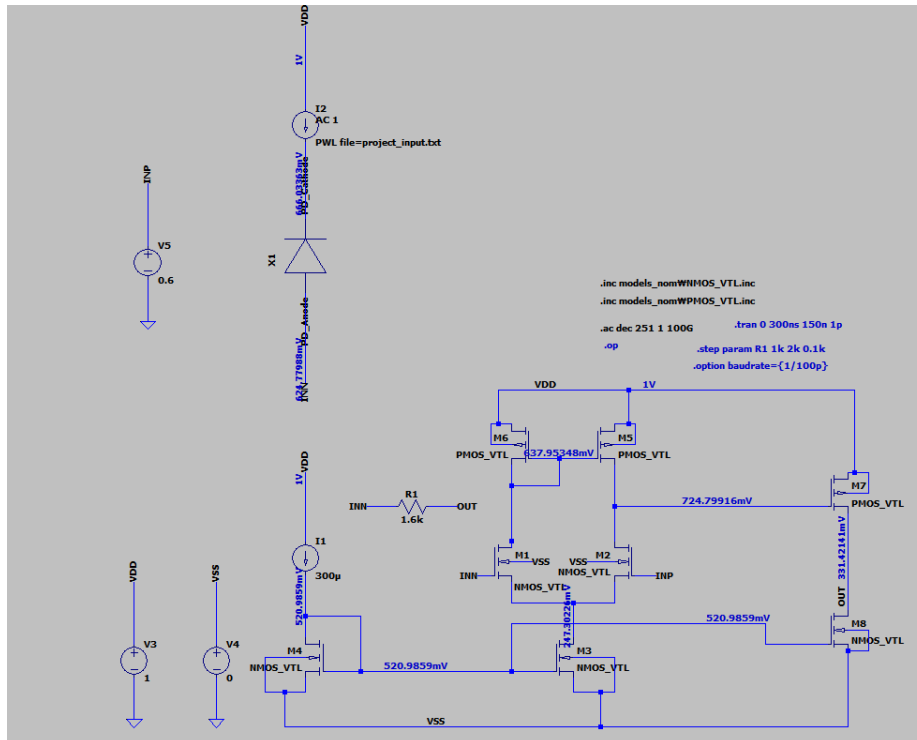


(AC simulation 결과)

DC gain: 22.99dB

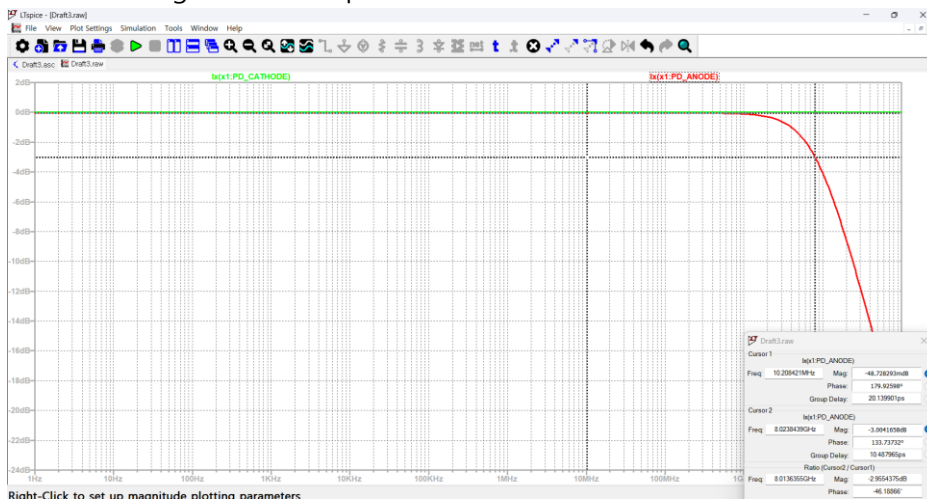
3dB Bandwidth: 6.99GHz

2. Transimpedance Amplifier Design



Differential Amp 의 output 단의 voltage 가 R_f 로 인하여 724.79mV 로 증가했지만, 위에서 분석했듯이 M7 의 $|V_{TH}| = \text{약 } 1V - 0.75V = 0.25V$ 이므로 아직 포화영역에 존재한다.

(a) Simulate the frequency response of the only PD model (I_{OUT}/I_{IN}) and submit its magnitude Bode plot.

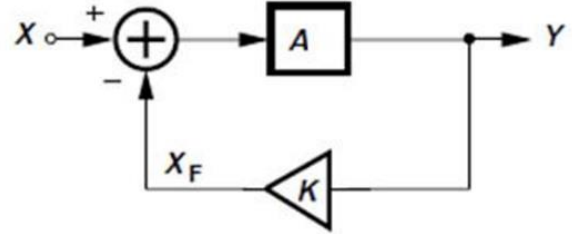
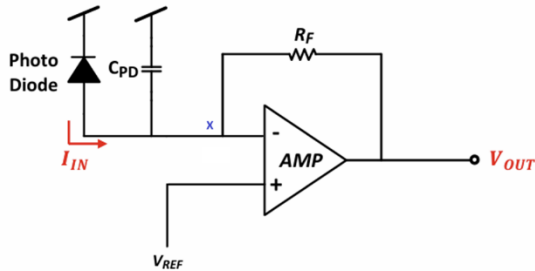


I_{OUT}/I_{IN} 10MHz : 0dB

I_{OUT}/I_{IN} 8GHz : -3dB

Photodiode 에 있는 내부 capacitance 로 인하여 고주파에서 전류가 cap 쪽으로 빠진다.

(b) Referencing Fig. 6 (where the open-loop gain is $A(s) = A_0$, the open-loop bandwidth is infinite, CPD is the PD's capacitance, and R_F is the feedback resistor), derive the transfer function of the TIA. $V_{OUT}/I_{IN}(s) = ?$



-> A_0 는 voltage amplifier 의 gain 이다. 따라서, 먼저 project 의 TIA 회로를 voltage amplifier 의 gain 을 사용하기 위해 voltage amplifier 로 모델링하고 거기에서 나온 V_{OUT}/V_{IN} 결과를 V_{OUT}/I_{IN} 으로 변환해준다.

1) X 지점의 전압을 V_X 이라고 하면, $V_{out} = -A_0 V_X$ 가 된다. 따라서, R_F 에 흐르는 전류를 I_1 이라고 하면, $I_1 = \frac{(1+A_0)V_X}{R_F}$ 이고, C_{pd} 에 흐르는 전류 $I_{Cpd} = \frac{V_X}{1/sC_{pd}}$ 이다. $I_{IN} = I_1 + I_{Cpd} = V_X(SC_{pd} + \frac{1+A_0}{R_F})$,

$$\frac{V_{out}}{I_{IN}} = -\frac{A_0 V_X}{V_X(SC_{pd} + \frac{1+A_0}{R_F})} = -\frac{A_0}{(SC_{pd} + \frac{1+A_0}{R_F})} = -\frac{A_0 R_F}{(SC_{pd} R_F + 1 + A_0)}$$

가 나온다. 하지만, 이 수식은 시뮬레이션 결과와 상당히 차이가 난다. 왜 그런지 생각해본다.

2) I_{IN} 은 C_{PD} 와 R_F 를 통하여 흘러 들어간다. 만약, AMP의 R_{out} 이 0 라면 C_{PD} 를 통해 흘러 들어가는 전류의 양은 $I_{Cpd} = \frac{R_F}{R_F + 1/sC_{PD}} I_{IN}$ 이다. ($R_F + 0 = R_F$ 이고, $R_{(-)}$ 은 상당히 큼 [gate의 저항])

하지만, 우리가 만든 회로의 Output 단에서는 $r_{o8} // r_{o9}$ 가 보인다. 따라서, $I_{Cpd} = \frac{R_F + r_{o8} // r_{o9}}{R_F + r_{o8} // r_{o9} + 1/sC_{PD}} I_{IN}$

가 된다. 즉, ΔV_{IN} 은 로 흘러가는 전류의 변화량 $\times C_{PD}$ 의 임피던스이므로 $\Delta V_{IN} =$

$$\frac{R_F + r_{o8} // r_{o9}}{R_F + r_{o8} // r_{o9} + 1/sC_{PD}} \Delta I_{IN} \times \frac{1}{sC_{PD}} = \frac{R_F + r_{o8} // r_{o9}}{sC_{PD}(R_F + r_{o8} // r_{o9}) + 1} \Delta I_{IN}$$

TIA 회로, 왼쪽그림에서 k를 구하면 $k = \frac{V_F}{V_{out}} = \frac{1/sC_{PD}}{R_F + 1/sC_{PD}} = \frac{1}{sC_{PD} R_F + 1}$ 이 나온다.

$$\frac{\Delta V_{out}}{\Delta V_{in}} = \frac{-A_0}{1 + k A_0} = \frac{-A_0}{1 + \frac{1}{sC_{PD} R_F + 1} A_0} \text{이고, } \frac{\Delta V_{out}}{\Delta I_{in}} = \frac{-A_0}{1 + \frac{1}{sC_{PD} R_F + 1} A_0} \times \frac{R_F + r_{o8} // r_{o9}}{sC_{PD}(R_F + r_{o8} // r_{o9}) + 1} \text{이 나온다.}$$

(c) Referencing Fig. 6 (where the open-loop gain is $A(s) = A_0 / (1 + s/w_p)$, the open-loop bandwidth is finite, CPD is the PD's capacitance, and R_F is the feedback resistor), derive the transfer function of the TIA. $V_{OUT}/I_{IN}(s) = ?$

$A(s) = \frac{A_0}{1 + s/w_p}$ 이므로 (b)에서 구한 식에 대입을 해주면,

1) R_{out} 을 고려하지 않은 식을 이용한다.

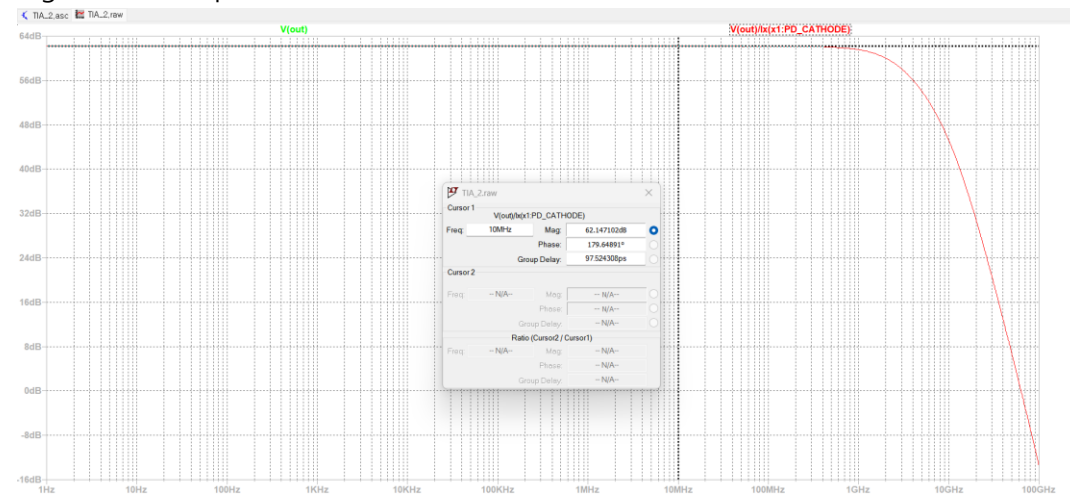
$$\frac{V_{out}}{I_{IN}} = -\frac{\frac{A_0}{1 + s/w_p} R_F}{(SC_{pd} R_F + 1 + \frac{A_0}{1 + s/w_p})} = -\frac{A_0 R_F}{(SC_{pd} R_F + C_{pd} R_F s^2 / w_p + 1 + s/w_p + A_0)}$$

2) R_{out} 을 고려한 식을 이용한다.

$$\frac{\Delta V_{out}}{\Delta I_{in}} = \frac{\frac{-A_0}{1 + s/w_p}}{1 + \frac{1}{sC_{PD} R_F + 1} \times \frac{A_0}{1 + s/w_p}} \times \frac{R_F + r_{o8} // r_{o9}}{sC_{PD}(R_F + r_{o8} // r_{o9}) + 1} = \frac{-A_0}{1 + \frac{s}{w_p} + \frac{1}{sC_{PD} R_F + 1} \times A_0} \times \frac{R_F + r_{o8} // r_{o9}}{sC_{PD}(R_F + r_{o8} // r_{o9}) + 1}$$

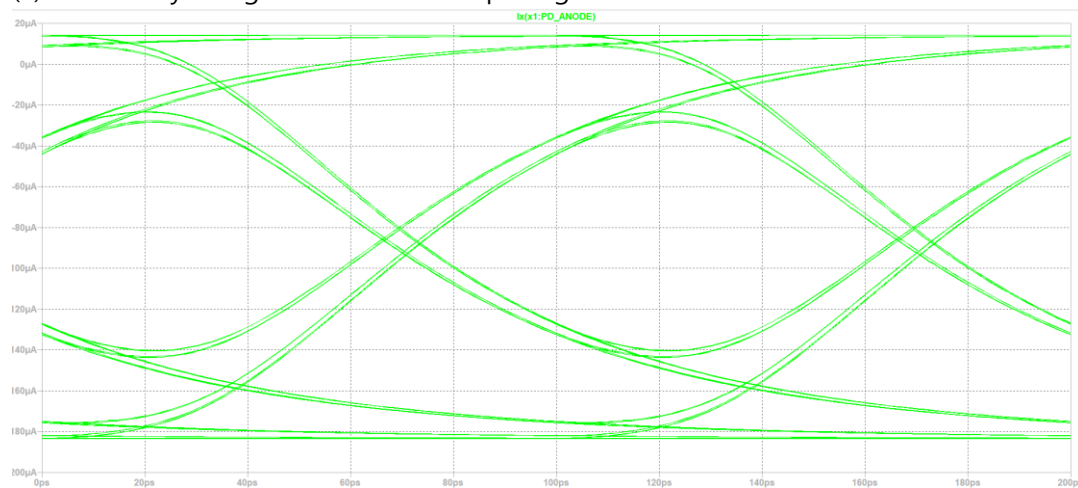
Feedback이 없을 때에 비해, Feedback이 있을 때 Bandwidth가 $1 + k A_0$ 만큼 증가하는 것도 확인 가능하다. 물론, gain-Bandwidth product는 일정하기에 gain은 감소할 것이다.

(d) Simulate the frequency response of the TIA (TIA_{OUT}/I_{IN}) and submit its magnitude Bode plot.

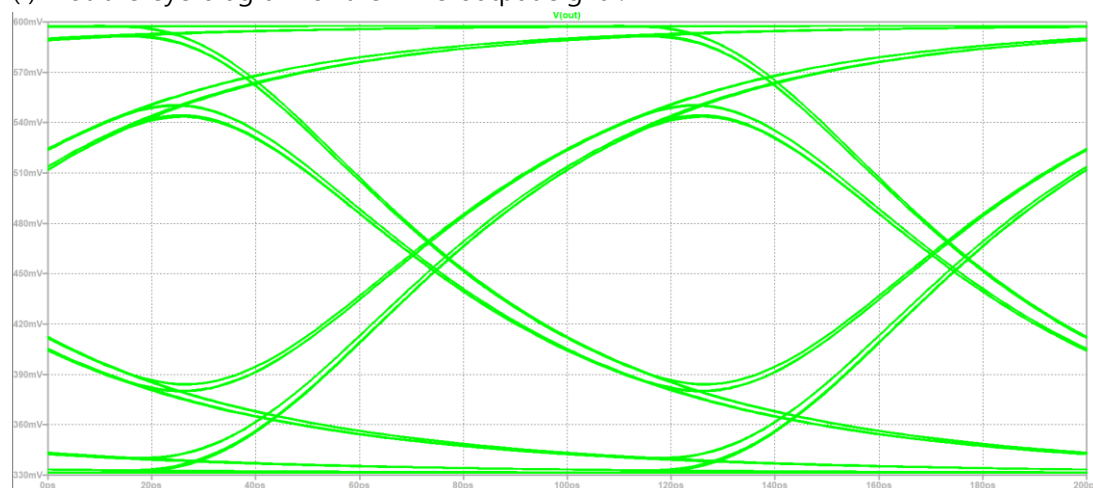


DC gain : 62.147 dB

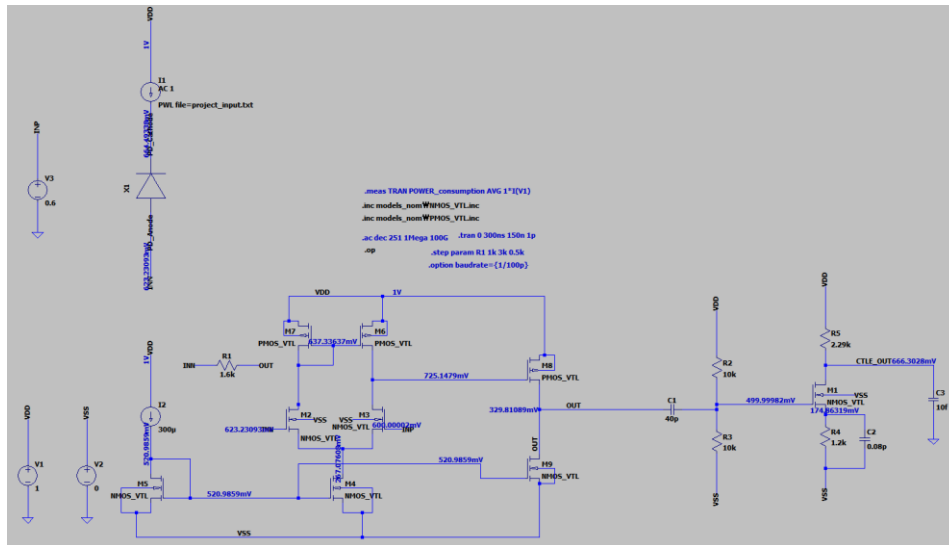
(e) Plot the eye diagram of the TIA's input signal.



(f) Plot the eye diagram of the TIA's output signal.

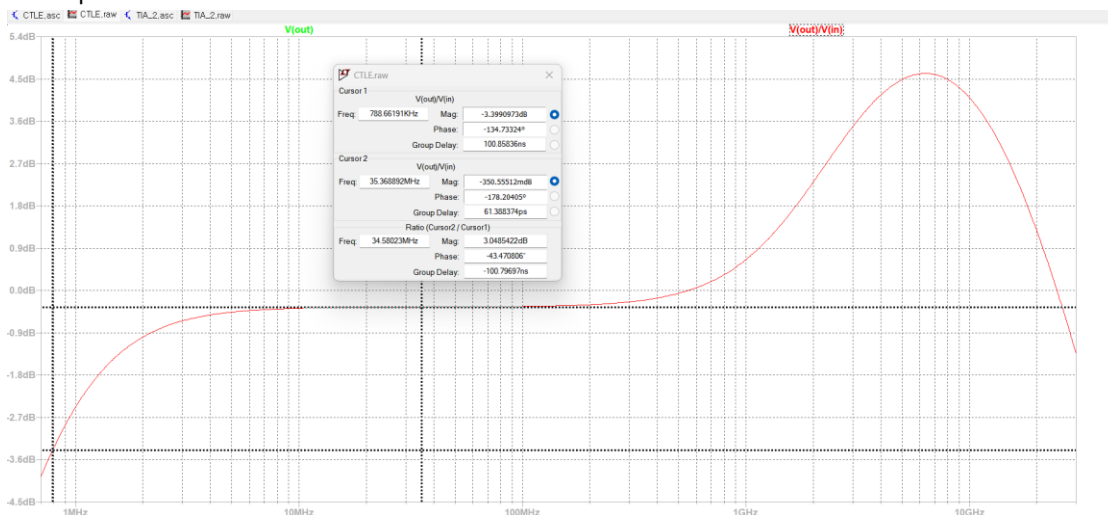


3. Continuous Time Linear Equalizer Design



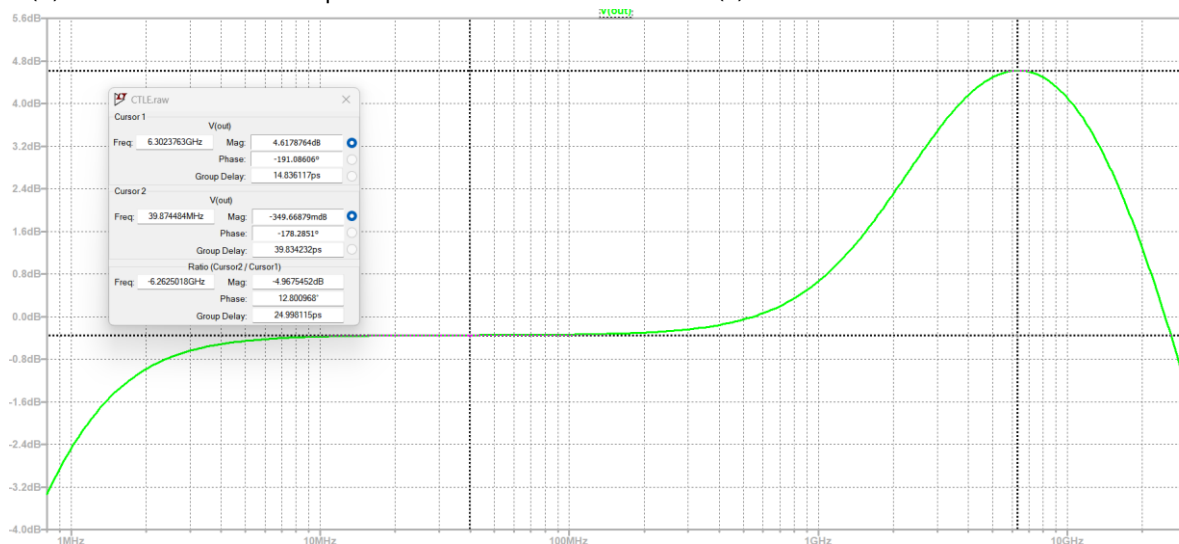
(CTLE 를 붙인 전체회로)

(a) Simulate the frequency response of only CTLE ($CTLE_{OUT}/CTLE_{IN}$) and submit its magnitude Bode plot.

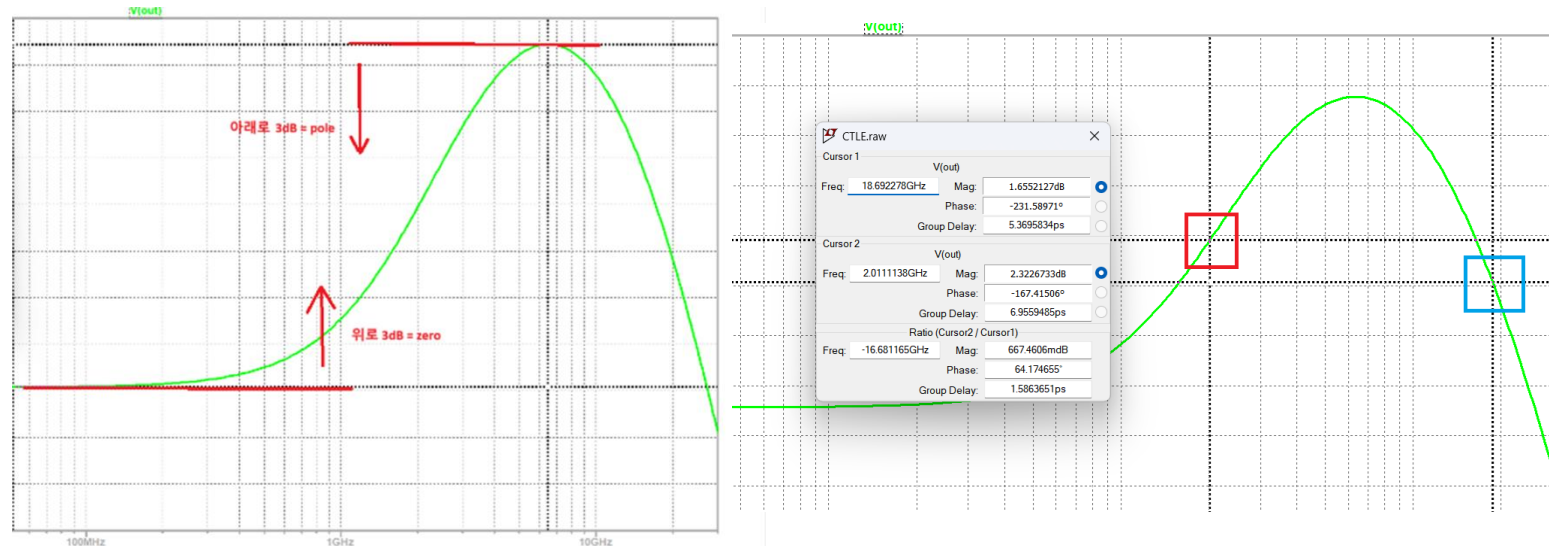


Cut off frequency of high pass filter (788.66kHz) < 1M Hz

(b) Find a zero and two poles based on the results of 3-(a).



3-(a)의 결과를 보면, peak 에서의 dB 값이 4.6dB 임을 알 수 있고, high pass filter 의 pole 의 영향을 받는 지점부터, CTLE 의 Zero 의 영향을 받는 지점 전까지는 flat gain 을 가지는데, 이 부분은 -350mdB 임을 알 수 있다.



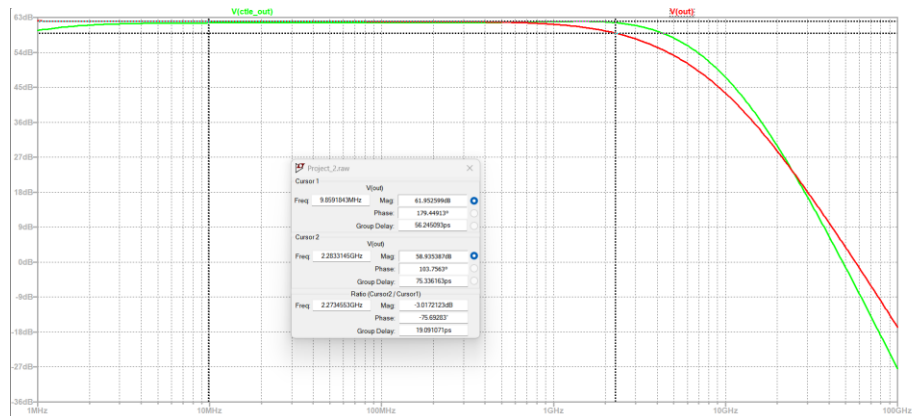
이론적으로 zero 는 flat gain 을 가지는 구간에서 위로 3dB 차이 나는 지점이 zero 이고, pole 은 위 사진에서 peak 부분이 flat 하게 나타난다고 생각하면 그 flat 한 부분에서 아래로 3dB 차이 나는 지점이 pole 이다.

하지만, 현재 시뮬레이션 결과에서 peak 지점의 gain 이 4.6dB 정도 인 것을 볼 수 있다. 즉, zero 와 pole 의 위치가 너무 가까워서 zero 로 인하여 3dB 만큼 증가하기 전에 pole 이 dB 를 감소시키는 영향을 준 것이다. 현재, 그래프의 기울기가 20dB/dec 보다 훨씬 완만한 것으로도 이를 알 수 있다. 따라서, pole 과 zero 의 정확한 위치를 찾기는 어렵고 유추를 할 수 있을 뿐이다.

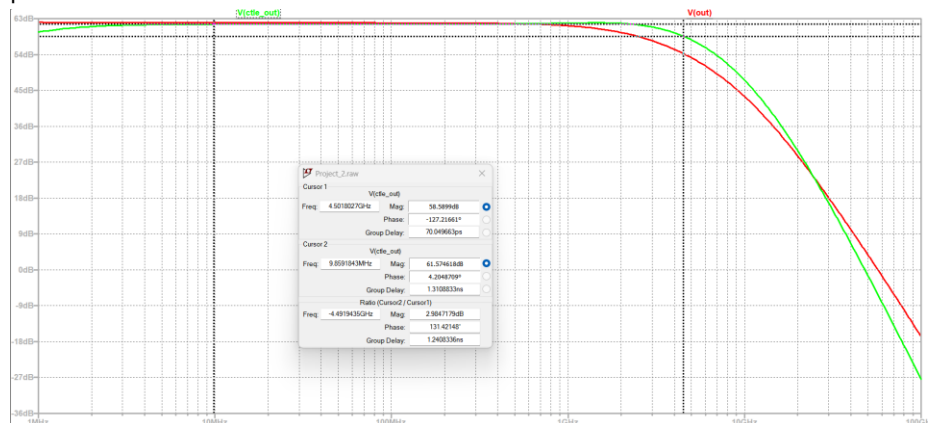
오른쪽 그림을 참고하면, 빨간 네모박스를 친 부분이 기울기가 가장 가파른 지점이므로 2GHz 에서 2.3dB 를 갖는 가파른 지점을 기준으로 왼쪽에 zero 가 있고, pole 이 있을 것이다. 현재 0dB 부근의 flat 한 dB 를 가지는 지점(-0.3dB) ~ peak 지점(4.6dB)까지의 차이가 약 5dB 만큼 차이 나고, 중앙인 2dB 를 기준으로 2.5dB 가량 떨어져 있으므로, zero 와 pole 이 2GHz 을 기점으로 각각 1.25dB 떨어진 지점에 있다고 추측할 수 있을 것 같다. 따라서, zero 는 1.23GHz 부근에, 첫번째 Pole 은 3GHz 로 측정된다. 파란색 네모 박스를 친부분은 peak 지점에서 3dB 떨어진 곳에 존재하는 두번째 pole 을 표기한 것이다.

정리하면, High pass filter → zero: 0Hz, pole(cut - off): 788kHz
 CTLE → zero: about 1.23GHz, pole: about 3GHz, pole: 18.7GHz

(c) Compensate for the insufficient bandwidth of the PD using the zero of the CTLE.

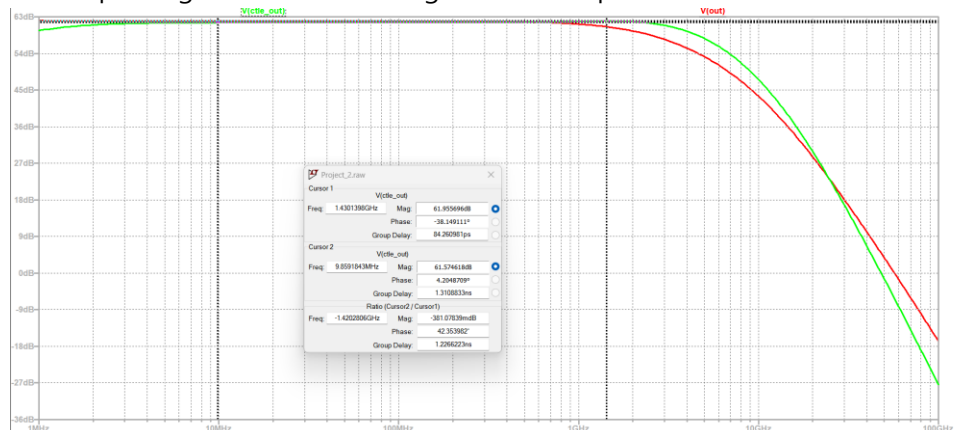


현재, 빨간색 Vout 의 그래프는 PD+TIA 만의 AC sweep 결과이다. 이 그래프는 고주파쪽에서 gain 이 작아, 3dB Bandwidth 가 2.28GHz 밖에 되지 않는 모습을 보여주고 있다. 따라서, CTLE 회로를 이용하여 2.28GHz 에서의 pole 을 zero 로 상쇄시켜줘야 한다. 현재, 본인이 설계한 CTLE 회로는 2.28GHz 보다 조금 작은 주파수에서 zero 를 가지기에 2.28GHz 에서의 PD+TIA 의 pole 을 상쇄시켜 부족한 Bandwidth 를 보충해줄 수 있다.



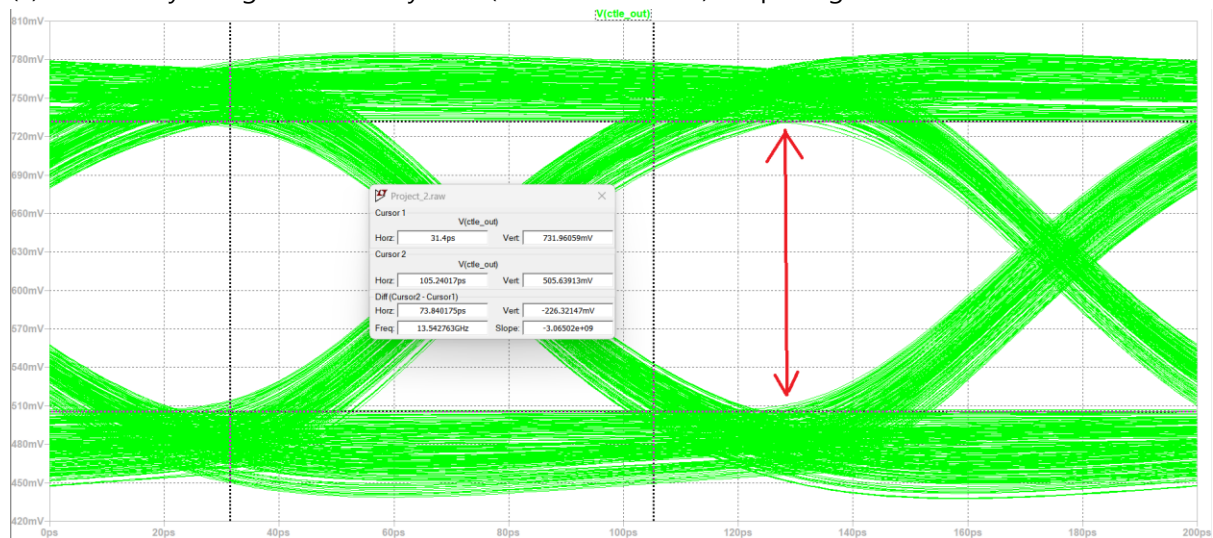
부족한 Bandwidth 를 보충해준 결과 CTLE out 의 3dB Bandwidth 는 4.502GHz 가 나온다.

(d) Simulate the frequency response of the system ($CTLE_{OUT}/I_{IN}$), find the overall peaking and submit its magnitude Bode plot.

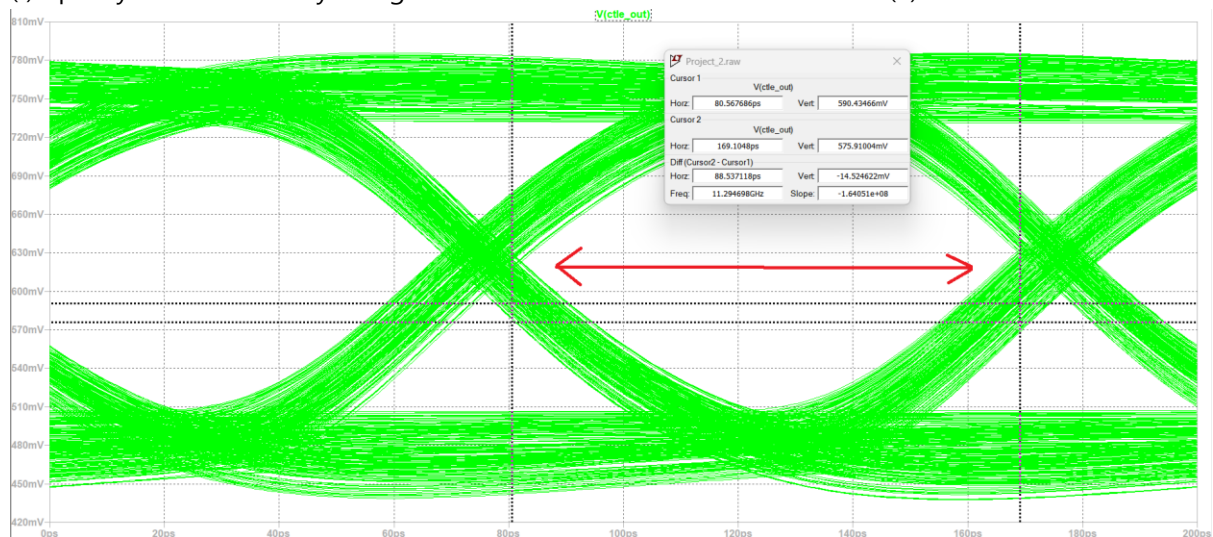


위 그림은 Overall peaking of the system output 의 측정결과이다. Overall peaking 은 0.4dB 가량 나온다.

(e) Plot the eye diagram of the system (PD + TIA + CTLE) output signal.



(f) Specify the achieved eye height and width based on the results of 3-(e).



(e)의 cursor 는 eye height 를 알려주고 있고, (f)의 cursor 는 eye width 를 알려주고 있다.

eye height: 226.32mV

eye width: 88.54ps

4. Discussion

0) 설계시 FOM 을 좋게 만들기 위한 조건

Power consumption 은 $VDD \cdot I$ 이므로, 먼저, I_{REF} 를 최소한으로 쓰려고 하였다. 하지만, I_{REF} 를 너무 작게 쓰면, OTA 의 r_o 값에 영향을 주어 gain 이 충분하지 않게 나온다. 따라서, gain 이 충분히 나오는 값을 기준으로 I_{REF} 의 값을 최소한 작게 하려고 하였다.

eye height 는 voltage gain 과 상관이 있고, eye width 는 주파수 응답과 상관이 있다. 따라서, voltage gain 이 크면 좋고, Bandwidth 는 제공해준 신호를 제대로 표현해줄 수 있는 Bandwidth 까지 성립시키면 된다. 따라서, Bandwidth 는 Project 의 제약 조건까지만 맞춰주었고, voltage gain 은 Mosfet 의 Headroom problem 이나 saturation region 에서 벗어나지 않도록 하며 최대한 크게 하려고 노력하였다.

1) OTA

OTA 의 gain 과 bandwidth 는 오른쪽에 적혀 있는 식을 따른다. 이 때, $g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})$ 이므로, W 가 커지면 g_m 이 커지고 $r_o = \frac{1}{\lambda I_D}$ 이므로 I_D 가 커지면 작아진다.

Voltage Gain: $g_{m1} g_{m8} (r_{o2} || r_{o4}) (r_{o7} || r_{o8})$

$$W_{p1} \approx \frac{1}{R_s C_{GD2} (r_{o2} || r_{o4})}$$

$$W_{p2} \approx \frac{1}{C_{GD8} (r_{o2} || r_{o4}) (r_{o7} || r_{o8})}$$

오른쪽의 W_{p1} 과 W_{p2} 중 dominant 한 pole 은 $r_{o7} || r_{o8}$ 이

R_s (전압원의 저항)보다 많은 경우에서 크기 때문에, W_{p2} 라고 생각한다.

이제 mosfet 의 크기는 LAZAVI 책이나, HomeWork 자료들을 참고하면, L: 180nm 에서 W: 4.0um ~ 4.5um 를 많이 사용하였다. 따라서, 일단 모든 mosfet 의 크기를 4.5um 로 두고 시작을 하였다. 그리고, 이론적 수식으로는 고주파 쪽에서의 해석에 오차가 많이 나는 것을 알고 있으므로, 앞에서 언급한 W 와 I_D 에 따른 g_m 과 r_o 의 관계성만 생각을 하며 원하는 조건을 얻기 위하여 gain 이 작으면 I_D 를 줄이거나, g_{m1} 또는 g_{m8} 의 W 를 키웠고, bandwidth 가 작으면, I_D 값을 키우거나 시뮬레이션을 반복하였다. 더불어, 수식에 나오지 않는 mosfet(ex. differential amp 상단의 pmos current mirror)의 width 를 바꾸어도 수식으로는 알 수 없지만, gain-Bandwidth product 를 일정하게 유지하는 선에서 gain 과 bandwidth 에 영향을 미쳤다. 따라서, 큰 틀은 W 와 I_D 에 따른 g_m 과 r_o 의 관계를 이용하여 gain 이 15dB 이상을 맞추었고, Bandwidth 를 6.5GHz 에 가까이 가도록 맞춘 후, 세밀한 조정은 다른 mosfet 들의 width 를 조정하여 주어진 Bandwidth 조건을 맞추고, gain 을 최대한 크게 하였다.

2) TIA

TIA 의 경우에는 조정해야 하는 값은 V_{ref} 와 R_f 만 있었다. TIA 수식을 보면, r_o 값이 일정하다는 가정하에 R_f 값이 크면 gain 이 커지기에, 크면 좋을 것 같지만, 너무 크면 output 단에 있는 mosfet 을 triode region 에서 작동하도록 만들어버리고 그 결과 gain 이 감소한다. 따라서, output 단의 mosfet 을 saturation region 에 있도록 하며 gain 을 크게 만들었다. V_{ref} 값의 경우 너무 작아지거나 커지면 MOSFET 들이 포화영역을 벗어나므로, 이에 주의하여 설정하였다.

3) CTLE

CTLE 의 경우에는 이론적으로는 오른쪽의 식을 따른다. 하지만, capacitor 의 크기가 pico 단위로 가다 보니, cap 의 크기가 너무 작고 Giga Hz 대역의 고주파 대역을 boost 해야하였기에, 시뮬레이션 결과와 이론의 결과가 잘 맞지 않았다. 모스펫의 capacitor 의 parasitic cap 의 영향이 작용하였다고 생각된다. 따라서, HPF 에서는 먼저 R 값들을 10k 로 두고 이론식을 계산한 결과를 가지고, C_i 와 R_1/R_2 가 크면 cut off frequency 가 저주파쪽으로 이동한다는 관계성을 이용해 cut off frequency 조건을 맞췄고, CTLE 의 경우에는 R_s 와 Cap 이 크면 bandwidth 가 줄어들고, g_m 은 크면 bandwidth 가 늘어난다는 관계성 및 고주파에서는 R_D/R_s 의 비가 gain 을 결정한다는 관계성을 이용하여 TIA 에서의 output voltage bode plot 을 보고 4.5GHz 대역에서 4~5dB 정도 boost 되도록 해야 할 것 같다고 판단하여, 주로 parameter simulation 을 하며 목표 수치가 나오도록 값을 결정해 나갔다.

$$\frac{V_{in}}{V_x} = \frac{s(R_1 || R_2)C_i}{1 + s(R_1 || R_2)C_i}$$

$$V_x(DC) = \frac{R_2}{R_1 + R_2} V_{DD}$$

CTLE for bandwidth extension

$$\frac{V_{out}}{V_x} = \frac{-g_m R_D (1 + s R_s C_b)}{1 + g_m R_s + s R_s C_b}$$

$$\longrightarrow \text{Pole: } -\frac{1 + g_m R_s}{R_s C_b}$$

$$\text{Zero: } -\frac{1}{R_s C_b}$$

5. FoM (Figure of Merit)

power_consumption: AVG(1*i(v1))=-0.00128531 FROM 0 TO 1.5e-07

$$FOM = \text{Eye height} \times \text{Eye width} / \text{Power consumption} = 226.32\text{mV} \times 88.54\text{ps} / 1.285\text{mW} = 1.56 \times 10^{-8}$$