

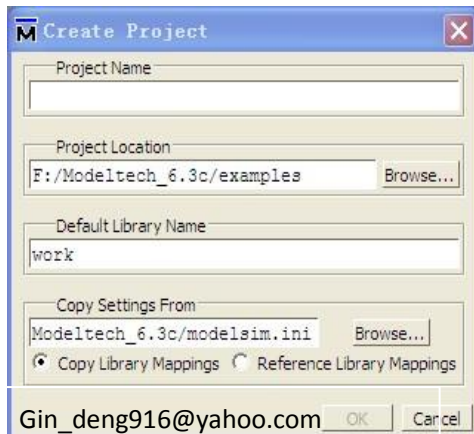
1. 双击图标打开 modelsim



2. file->new->project

填入 **project name**, 选择路径。点击 **OK**。

注意：完成以后会生成.mpf 工程文件。创建工程之前先创建一个空白的文件夹。可以在 **Modelsim** 里创建，或者直接在 **windows** 的窗口中创建，把路径选择到这个空白工程文件夹的目录下。

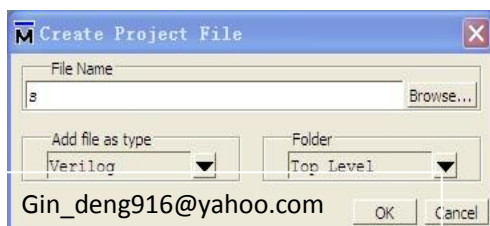


3. 创建 verilog 文件。

点击 **create new file**

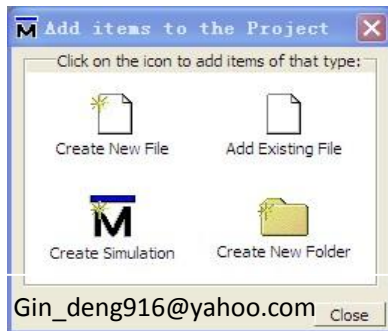


输入文件名，**add file as type** 选择 **verilog**.

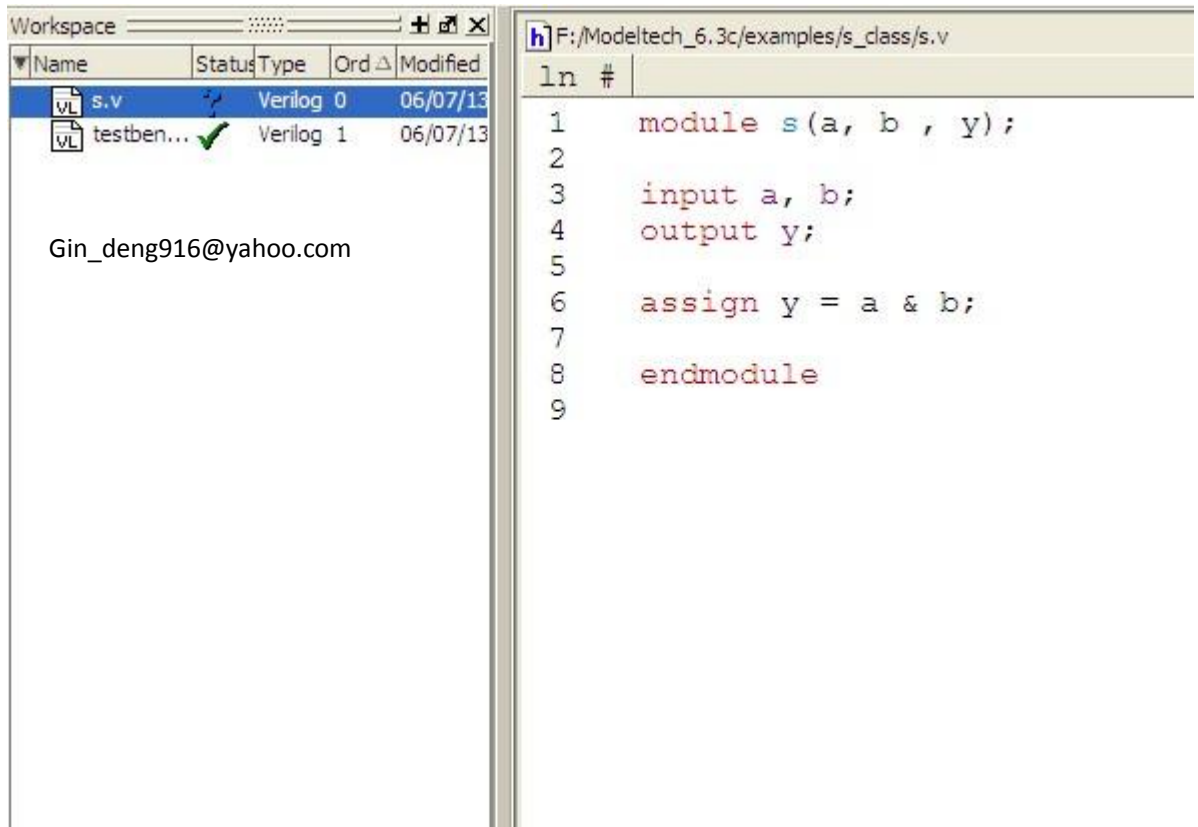


注意：**verilog** 文件名和模块名要一直，以避免不必要的麻烦。

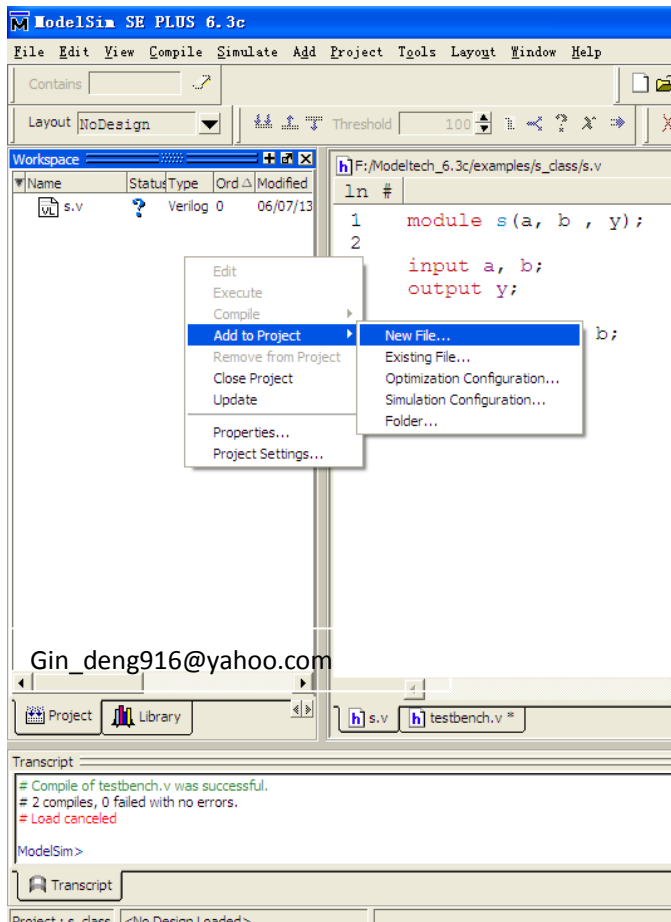
4. 关闭 **add items to the project** 对话框。




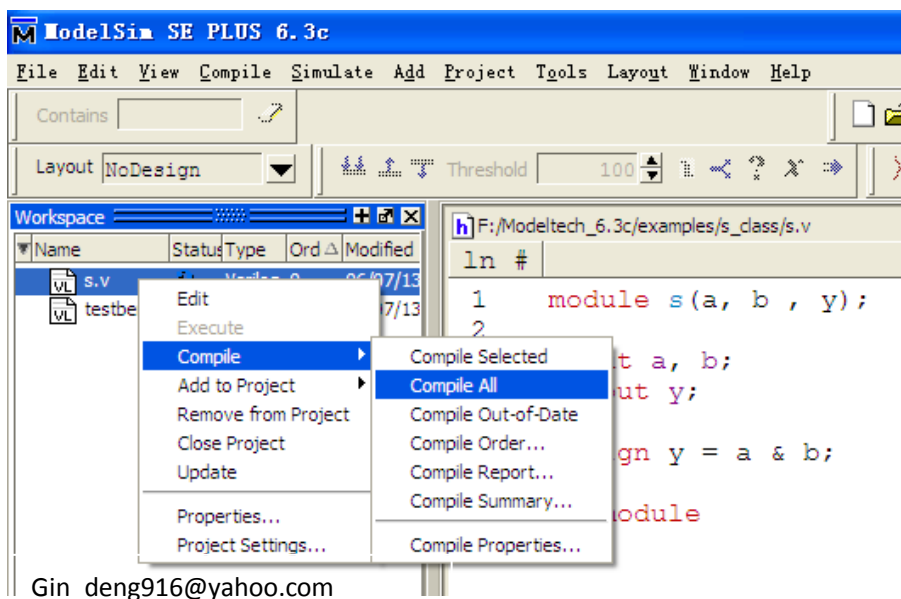
5. 双击 s.v, 在右边的编辑窗口中填入 s.v 中的代码



6. 右击 workspace 空白处->add to project->new file



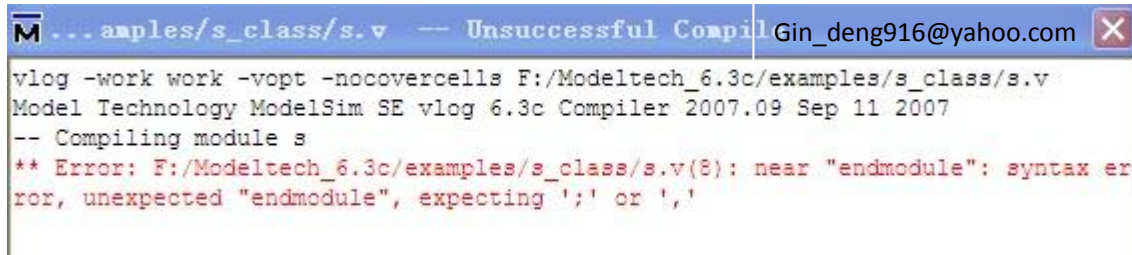
7. 按照刚刚的方法，新添一个 verilog 文件，名为 testbench
8. 在 workspace 中双击 testbench.v 添加代码。注意：对代码进行修改后，必须点击  保存，否则 compile 等操作仍然会对未修改的文件进行操作。
9. 右击 workspace 的空白处，选择如下所示 compile all 对所有 verilog 文件进行编译。



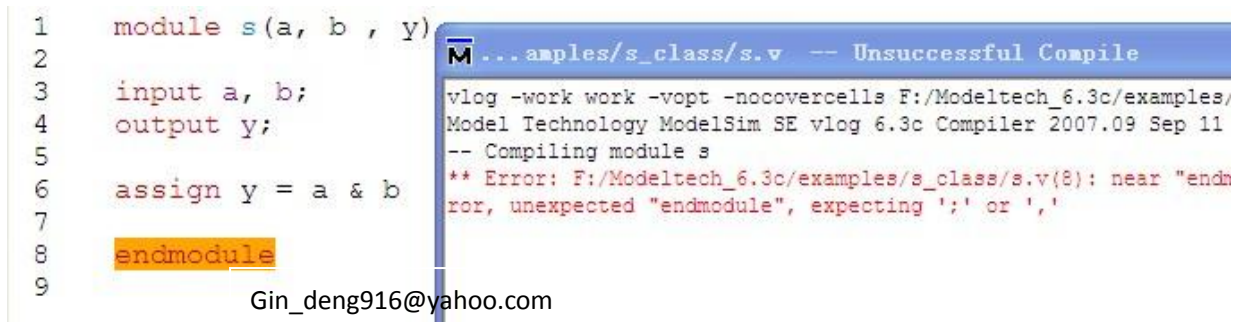
10. 如果有错误，transcript 中会出现如下所示提示：compile of s.v failed with 1 errors.



双击这个红色信息，会弹出如下对话框，内容是具体的错误信息。

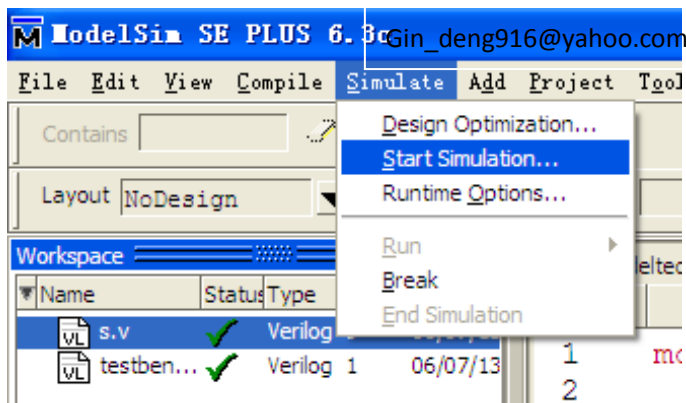


双击红色字体部分，可以跳到错误代码行，该错误代码行会被高亮显示，如图所示。

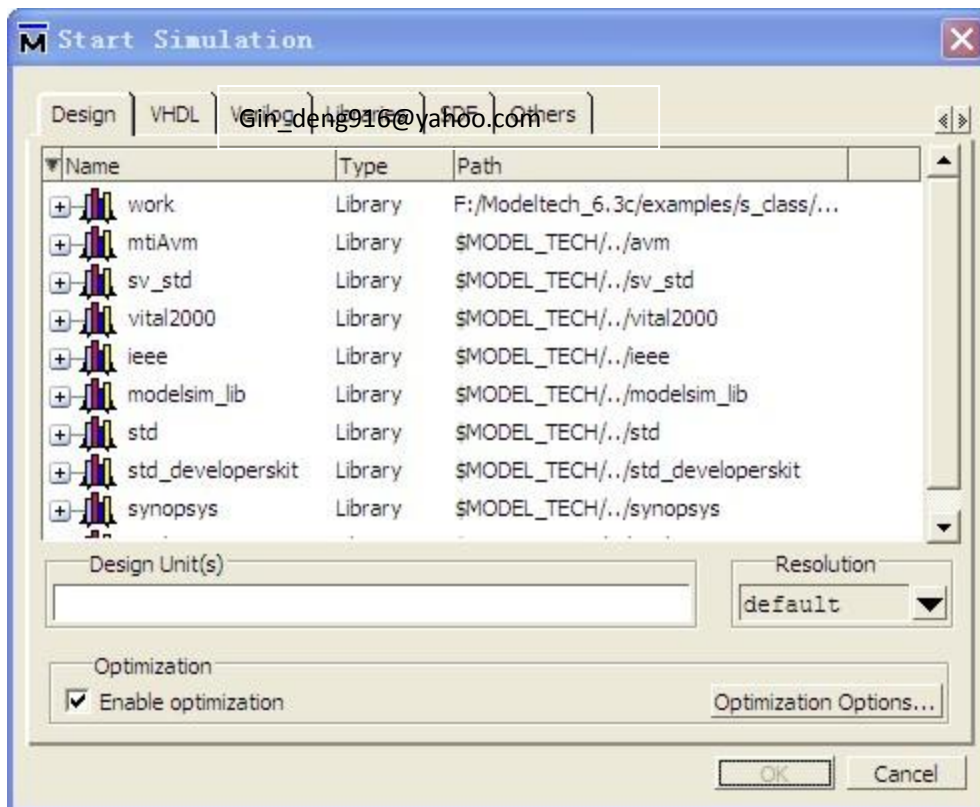


修改错误代码，这里本王去掉了 assign 语句后面的分号。加上分号之后就可以正确编译了。

11. 编译通过以后，开始仿真。simulation -> start simulation 点击如图所示。



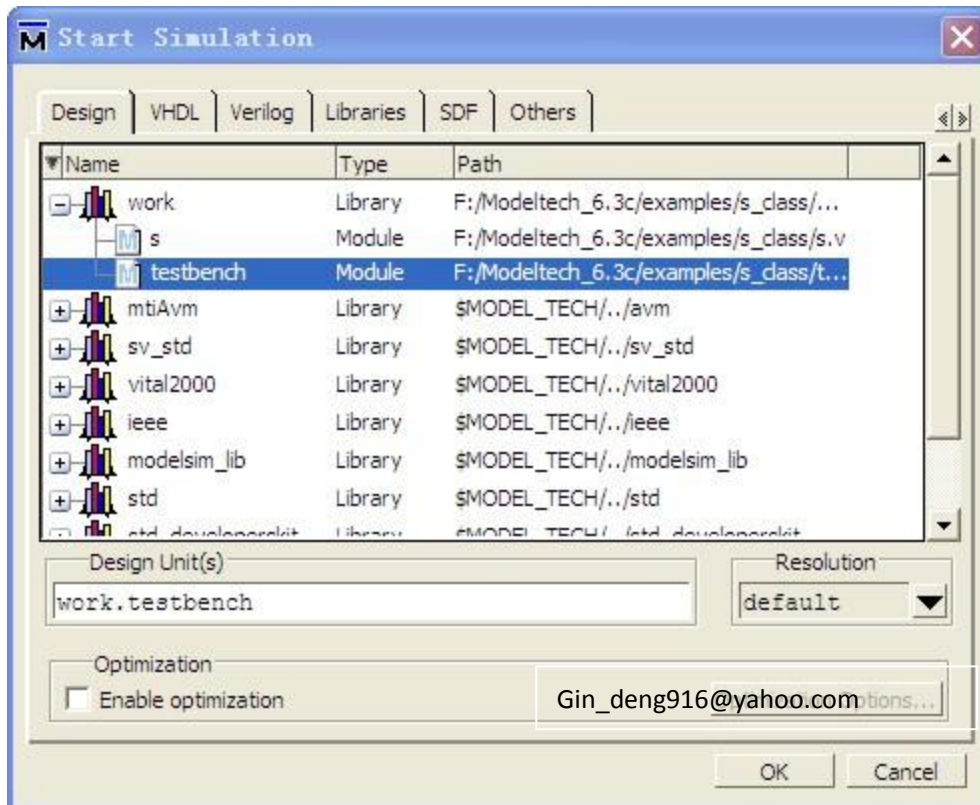
12. 弹出如下所示对话框。



13. 如果 enable optimization 被勾选了，去掉这个勾。



14. 从 work 中选择到 testbench，点击 OK



15. 如果出现 error loading design 的情况，如下所示

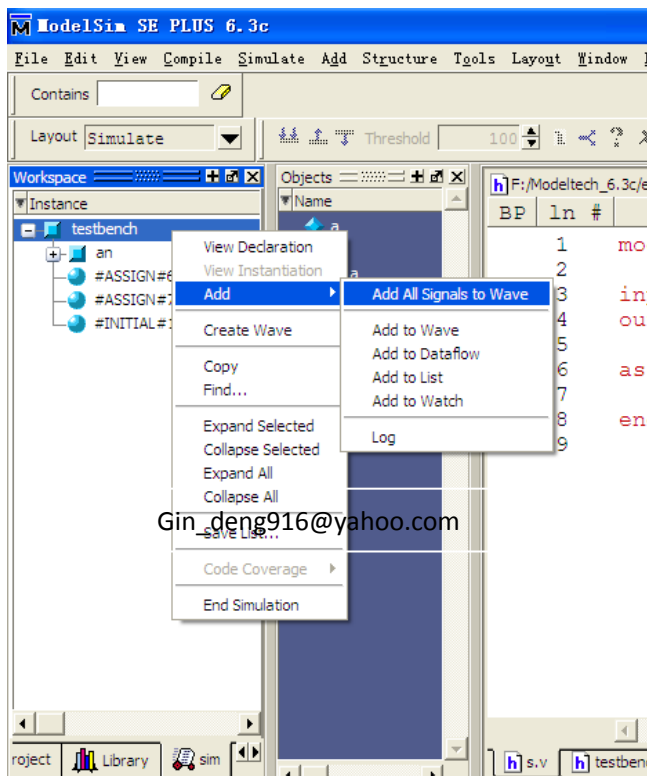
```

Transcript
ModelSim> vsim -novopt work.testbench
# vsim -novopt work.testbench
# Refreshing F:/Modeltech_6.3c/examples/s_class/work.testbench
# Loading work.testbench
# *** Error: (vsim-3037) F:/Modeltech_6.3c/examples/s_class/testbench.v(9): Missing instance name in instantiation of 's'.
# Region: /testbench
# Error loading design
ModelSim>

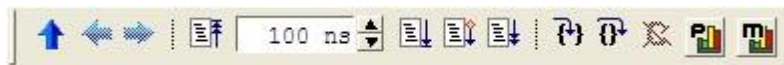
```

16. 按照提示修改代码，重新编译，直至正确。如果出现 warning 也最好按照提示修改，直到正确。

17. 选择需要观察的信号。可以根据自己的需要选择，这里暂且选择添加所有的信号。



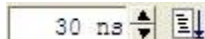
18. 在工具栏中找到



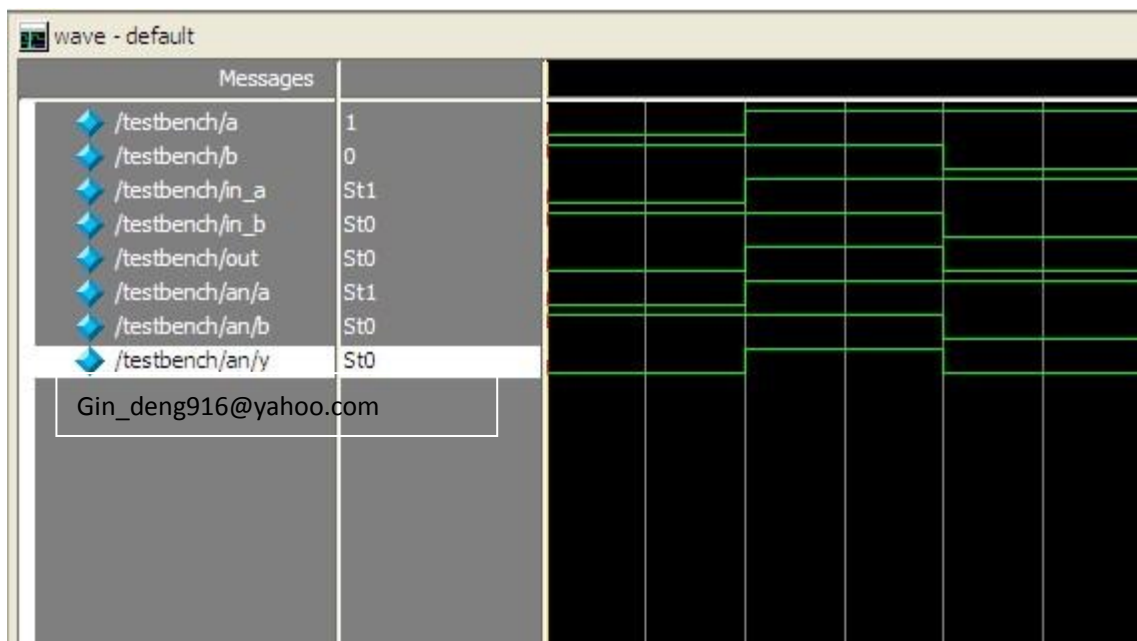
19. 选择需要运行的时间，我们选择 30ns，然后点击它旁边的 run，前 30ns 的仿真波形就会出现。

注：continue run 与断点选择有关。

run all 如果在代码中没有设置结束条件，它将一直运行下去。



波形如下所示



最简单的仿真就完成了。