

اختر الجواب الصحيح:

مسألة الأولى:

لدينا برنامجاً مؤلفاً من (300) تعليمة ولديه مزيج من أنماط التعليمات التالي: 25 % من التعليمات هي من النمط (two-address) و 25 % من النمط (Register-Memory)، و 50 % من النمط (three-Register). وبفرض أن المعالج لديه (132) مسدداً وتتألف (ISA) تعليمات المعالج من (64) تعليمة مختلفة ولديه ذاكرة بحجم 4GB. فيكون:

1. حجم التعليمات في البرنامج من النمط (Three-Registers) هو:

- A. 4125 خاكة.
- B. 4500 خاكة.
- C. 3200 خاكة.
- D. 1400 خاكة.
- E. 2800 خاكة.

2. حجم التعليمات في البرنامج من النمط (Two-Address) هو:

- A. 70 خاكة.
- B. 4125 خاكة.
- C. 5250 خاكة.
- D. 5175 خاكة.
- E. 770 خاكة.

3. ويكون حجم الذاكرة الكلي الذي يحتله البرنامج هو:

- A. 13200 B.
- B. 275 B.
- C. 1650 B.
- D. 512 B.

E. ولا إجابة من السابق.

مسألة الثانية:

رض لدينا معالج يقوم بتنفيذ مزيج التعليمات التالية:

نمط التعليمة Instruction Types	CPI	عدد التعليمات في البرنامج IC _i
ALU	2	120

Loads	5	80
Stores	3	60
Branch	4	50
Jump	2	30

4. يكون CPI الوسطي لهذا المعالج هو تقريباً:

- A. 3.85
- B. 1.65
- C. 3.17
- D. 1.95
- E. 2.91

افرض ان مبرمجاً آخر أعاد كتابة البرنامج بحيث خفف تعليمات الذاكرة (load) بـ 25% و (store) بـ 20% ولكن زادت تعليمات (ALU) بـ 10%. بينما بقيت باقي التعليمات كما هي:

5. تصبح قيمة CPI المتوسطة الجديدة CPI new:

- A. 1.95
- B. 3.02
- C. 2.2
- D. 2.5
- E. 1.65

6. وتكون بالتالي قيمة CPI المتوسطة الجديدة CPI new بالمقارنة مع CPI قبل التغيير CPI old هي:

- A. $CPI_{new} > CPI_{old}$
- B. $CPI_{new} = CPI_{old}$
- C. $CPI_{new} < CPI_{old}$
- D. $CPI_{new} \leq CPI_{old}$

- C. $CPI_{new} < CPI_{old}$
D. لا علاقة بينهما.
E. ولا إجابة من السابق.
7. ومقارنة أداء البرنامجين السابقين نجد أن:
A. $P_{new} > P_{old}$ وبمقدار 11 %
B. $P_{old} / P_{new} = 1.04$
C. $P_{new} < P_{old}$ وبمقدار 4.7 %
D. كل من (B) و (C).
E. كل من (A) و (C).
8. وبالتالي مما سبق نستنتج أن:
A. يتعلق CPI بتنظيم الذاكرة في النظام الحاسوبي.
B. لا يعتبر CPI معياراً كافياً لمقارنة أداء المعالجات.
C. يعتبر CPI المعيار الرئيسي والكافي عند مقارنة أداء المعالجات.
D. لا يتعلق CPI إطلاقاً بمقارنة أداء المعالجات.
E. ولا إجابة من الأعلى.
9. بفرض أننا زيادة تردد المعالج بنسبة 50% مع الاحتفاظ بباقي القيم كما هي؛ فيكون CPI الجديد $CPI_{clock\ new}$ هو:

$$CPI_{clock\ rate} = CPI_{old} \quad A$$

$$CPI_{clock\ rate} > CPI_{old} \quad B$$

$$CPI_{clock\ rate} \leq CPI_{old} \quad C$$

$$CPI_{clock\ rate} < CPI_{old} \quad D$$

$$CPI_{clock\ rate} > CPI_{old} \quad E$$

10. عند مقارنة أداء المعالجين السابقين نجد أن:

$$P_{old} / P_{clock\ rate} = 1.325 \quad A$$

$$P_{clock\ rate} / P_{old} = 1.258 \quad B$$

$$P_{clock\ rate} / P_{old} = 1.5 \quad C$$

$$P_{old} / P_{clock\ rate} = 1.415 \quad D$$

$$P_{clock\ rate} / P_{old} = 1.325 \quad E$$

11. بالتالي نستنتج أنه عند ثبات باقي القيم فإن:

A. نسبة تحسن الأداء هي أصغر من نسبة زيادة تردد الساعة.

B. نسبة تحسن الأداء هي مساوية تماماً من نسبة زيادة تردد الساعة.

C. نسبة تحسن الأداء هي أصغر أو تساوي نسبة زيادة تردد الساعة.

D. نسبة تحسن الأداء هي أكبر من نسبة زيادة تردد الساعة.

E. ولا إجابة من السابق.

D. كل ما سبق.

E. ولا إجابة من الأعلى.

13. يقوم البرنامج بما يلي:

A. يجمع العناصر الأساسية لتساق A ويضعها في v، والعناصر الأساسية لتساق B ويضعها في z.

B. $A[i] = A[i] + B[i]$

C. $A[i] = A[i] * 4 + x_i$

D. كل من (A) و (B) فقط.

E. كل من (A) و (C) فقط.

14. التعليمات المختلفة والتي تقدم تساماً نفس الأداء هي:

A. 4, 6

B. 1, 2, 3

C. 1, 2

D. 4, 6, 12

E. 1, 2, 11

15. تقرأ التعليمتين 4 و 5 في لغة C:

A. `if (x0 <= 0) goto exit ;`

B. `if (x0 >= 10) goto exit ;`

C. `if (x0 >= 0) goto exit ;`

D. `if (x0 < 10) goto exit ;`

E. `if (x0 = 0) goto exit ;`

16. التعليمات الثلاثة هي:

A. 3, 4, 5

B. 3

C. 4, 5

D. 3, 5

E. 3, 4

17. يمكن حذف التعليمة/ات التالية دون أي تأثير على البرنامج:

If (10 = 0) goto exit ; E

16. التعليمات التالية هي:

3, 4, 5 .A

3 .B

4, 5 .C

3, 5 .D

3, 4 .E

17. يمكن حذف التعليمات التالية دون أي تأثير على البرنامج:

8 .A

10 .B

12 .C

4 .D

E. ولا أي إجابة من السابق.

18. يتألف المعالج من العناصر التالية الأساسية التالية:

Input, Memory, Output .A

Datapath, Control .B

Memory, Datapath, Control .C

D. كل من (A) و (C).

E. ولا إجابة من السابق.

19. تقوم المرحلة EXE في معالج من النوع Multi-Cycle فبرسي بالتعليمات التالية:

- A. $PC \leftarrow PC + (\text{sign-extend}(\text{IR}[15-0]) \ll 2);$
 B. $\text{If } (A==B) \text{ } PC \leftarrow \text{ALUOut};$
 C. $PC \leftarrow (PC[31-28] || (\text{IR}[25-0] || 2'b00));$
 D. كل من (a) و (b).
 E. كل من (B) و (C).

20. نمط المعونة الأكثر ملائمة لترميز التعليمة $b = a[i]$ هو:

- A. Indirect addressing
 B. Register Indirect addressing
 C. Register Indirect addressing plus offset
 D. Immediate addressing
 E. Implied Addressing

21. برنامج compiler لديه التخل التالي:

- A. Relocation and bookkeeping information and memory and register organization
 B. HLL and ISA and Memory and register organization
 C. HLL and relocation information and memory and register organization
 D. HLL and ISA and Symbol table
 E. كل من (B) و (C).

22. نمط المعونة الأكثر ملائمة لترميز التعليمة $C = 112$ هو:

- A. Direct Addressing
 B. Implied Addressing
 C. Immediate addressing
 D. Register Indirect addressing
 E. Indirect addressing

23. أي من وحدات التخزين التالية هي مثال عن وسط نقل تسلسلي:

- A. Cache memory

```
1 sub $s0, $s0, $s0;
2 andi $s6, $s6, 0;
3 li $s7, 0;
4 loop: slti $t0, $s0, 10;
5     beq $t0, $zero, exit;
6     srl $t7, $s0, 2;
7     add $s1, $t7, $t1;
8     add $s2, $t7, $t2;
9     lw $s3, 0($s1);
10    lw $s4, 0($s2);
```


- .B Implied Addressing
- .C Immediate addressing
- .D Register Indirect addressing
- .E Indirect addressing

23. أي من وحدات التخزين التالية هي مثال عن وسط نقل تسلسلي:

- .A Cache memory
- .B Magnetic disk
- .C Magnetic tape Immediate
- .D CD
- .E Main Memory

24. يكون المكافئ بلغة الآلة لتعليمة الأسيملي التالية 39, \$19, \$21 ori إذا علمت أن Opcode ori = (0x 0d) هو:

- .A 0011 0110 0111 0101 1111 1111 1101 1010
- .B 0011 0110 0111 0101 1111 1111 1101 1001
- .C 0010 1110 1011 0011 1111 1111 1101 1001
- .D 0011 0110 0111 0101 1111 1111 1101 1000
- .E 0011 0110 1011 0011 1111 1111 1101 1010

المسألة الثالثة:

25. ليكن لدينا ذاكرة 64K x 1bit RAM، فإذا أردنا تنظيمها بطريقة ثلاثية الأبعاد (صناعياً) فستكون ذات الأبعاد:

- .A 1K x 64 x 1
- .B 128 x 128 x 1
- .C 512 x 512 x 1

D. $256 \times 256 \times 1$

E. $64k \times 1 \times 1$

26. وبناء على التقسيم الجديد فهي ستحتوي على عدد خطوط عنوان مساوٍ إلى:

A. 7 خط عنوان

B. 10 خطوط عنوان.

C. 9 خطوط عنوان.

D. 8 خط عنوان.

E. 16 خطوط عنوان.

27. إذا أردنا الحصول على ذاكرة بحجم $64K \times 8bits$ فنحتاج إلى:

A. 8 قطعة من الذاكرة الأساسية وزيادة 3 خط عنوان.

B. 1 قطعة من الذاكرة الأساسية دون وزيادة عدد خطوط الخرج عليها من 1bit إلى 8bits.

C. 8 قطعة من الذاكرة الأساسية وزيادة 2 خط عنوان.

D. 8 قطع من الذاكرة الأساسية دون تعديل عدد خطوط العنوان.

E. 4 قطعة من الذاكرة الأساسية وزيادة 2 خط عنوان.

28. إذا أردنا الحصول على ذاكرة بحجم $512K \times 1bits$ فنحتاج إلى:

A. 8 قطع من الذاكرة الأساسية دون تعديل خطوط العنوان.

B. 4 قطع من الذاكرة الأساسية وزيادة 1 خط عنوان.

C. 8 قطعة من الذاكرة الأساسية وزيادة 3 خط عنوان.

D. 8 قطع من الذاكرة الأساسية وزيادة 1 خط عنوان.

D. 8 قطع من الذاكرة الأساسية دون تعديل عدد خطوط العنوان.

E. 4 قطعة من الذاكرة الأساسية وزيادة 2 خط عنوان.

28. إذا أردنا الحصول على ذاكرة بحجم $512K \times 16bits$ فمحتاج إلى:

A. 8 قطع من الذاكرة الأساسية دون تعديل خطوط العنوان.

B. 4 قطع من الذاكرة الأساسية وزيادة 1 خط عنوان.

C. 8 قطعة من الذاكرة الأساسية وزيادة 3 خط عنوان.

D. 8 قطع من الذاكرة الأساسية وزيادة 1 خط عنوان.

E. 4 قطع من الذاكرة الأساسية وزيادة 2 خط عنوان.

29. إذا أردنا الحصول على ذاكرة بحجم $1M \times 16bits$ فمحتاج إلى:

A. 2 قطعة من $512K \times 16bits$ مكررة 16 مرة وزيادة 4 خط عنوان.

B. 2 قطعة من $512K \times 16bits$ مكررة 16 مرة وزيادة 1 خط عنوان.

C. 16 قطعة من $64K \times 16bits$ مكررة 8 مرات وزيادة 4 خطوط عنوان.

D. 16 قطعة من $64K \times 8bits$ مكررة 2 مرة وزيادة 1 خط عنوان.

E. قطعة من $512K \times 16bits$ مكررة 16 مرة وزيادة 2 خط عنوان.

30. تقسم تعليمات المعالج MIPS بشكل قياسي إلى دورات التنفيذ التالية وعلى الترتيب:

A. IF, EX, MEM, WB

B. IF, ID, MEM, EX, WB

D. 8 قطع من الذاكرة الأساسية وزيادة 1 خط عنوان.

E. 4 قطع من الذاكرة الأساسية وزيادة 2 خط عنوان.

29. إذا أردنا الحصول على ذاكرة بحجم $1M \times 16bits$ فنحتاج إلى:

A. 2 قطعة من $512K \times 16bits$ مكررة 16 مرة وزيادة 4 خط عنوان.

B. 2 قطعة من $512K \times 16bits$ مكررة 16 مرة وزيادة 1 خط عنوان.

C. 16 قطعة من $64K \times 16bits$ مكررة 8 مرات وزيادة 4 خطوط عنوان.

D. 16 قطعة من $64K \times 8bits$ مكررة 2 مرة وزيادة 1 خط عنوان.

E. قطعة من $512K \times 16bits$ مكررة 16 مرة وزيادة 2 خط عنوان.

30. تقسم تعليمات المعالج MIPS بشكل قياسي إلى دورات التنفيذ التالية وعلى الترتيب:

A. IF, EX, MEM, WB

B. IF, ID, MEM, EX, WB

C. IF, ID, EX, MEM, WB

D. IF, ID, EX, WB

E. ID, IF, EXE, MEM, WB

31. في تمثيل الفاصلة العائمة ذو 32 خانة يحتل قسم ال (mantissa) عدد خانات مساوٍ إلى:

A. 24

33. عند مقارنة نوعي الذاكرة DRAM و SRAM يصبح ما يلي:

- .A DRAM is Faster than SRAM
- .B DRAM typical application is Cache
- .C SRAM is smaller than DRAM per bit
- .D SRAM is Larger per bit
- .E DRAM is more expensive than SRAM

34. عند استظام (Normalizing) العدد (0.0010110×2^9) بحسب المعيار IEEE 754 يكون الناتج:

- .A 0 1000100000010110
- .B 0 10101010 1110
- .C 0 0000100111100
- .D 0 000001100010110
- .E 0 100001010110

35. أي من أنماط العنونة التالية تحدد مسجلاً يحوي عنوان ذاكرة معامل التعليمة:

- .A Indirect Addressing Mode
- .B Register Addressing Mode
- .C Index Addressing Mode
- .D Register Indirect Addressing Mode
- .E Base Address Register Addressing Mode.

1-B

2-C

3-C

4-C

5-B

6-C

7-A

8-B

9-A

18-B

19-E

20-C

21-B

22-C

23-C

24-B

25-D

26-E

27-E