

第一章 半导体器件物理基础

- 晶体管、集成电路的发明历史
- 半导体器件发展的最新进展
- 晶体的能带结构
- 半导体中的能带结构
- 半导体的导电类型
- 热平衡统计
- 半导体中的自由载流子输运

晶体管、集成电路的发明历史

1999年，美国《洛杉矶时报》评选出“50名本世纪经济最有影响力人物”，其中并列第一名的有三个人：美国发明家威廉·肖克利、罗伯特·诺伊斯和杰克·基尔比。

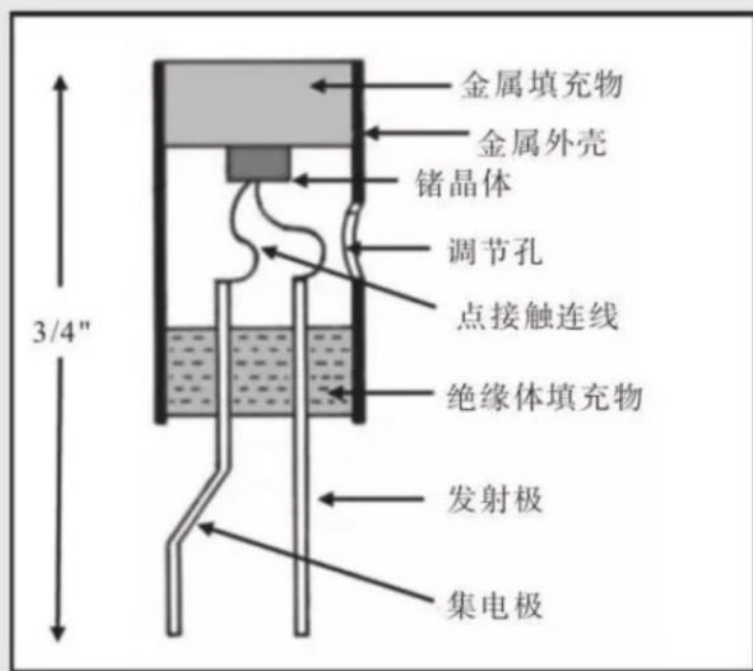
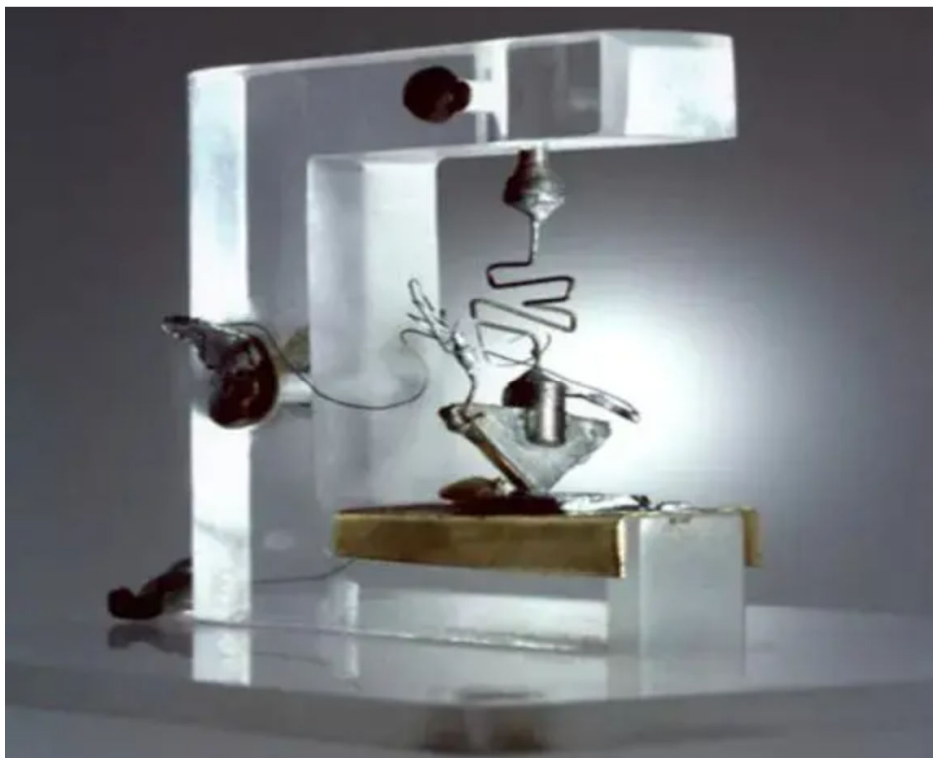
晶体管被誉为“20世纪最伟大的发明”，而集成电路的出现又真正奠定了第三次产业革命的基石。在我们今天的生活中，几乎所有的电子设备中，都离不开一种最核心的硬件——芯片。而芯片正是由半导体集成电路来实现的，而集成电路最基本的物理单元就是晶体管。晶体管，就是我们从物理世界通向数字世界的“细胞”。

第一次工业革命：瓦特蒸汽机的制成和推广。

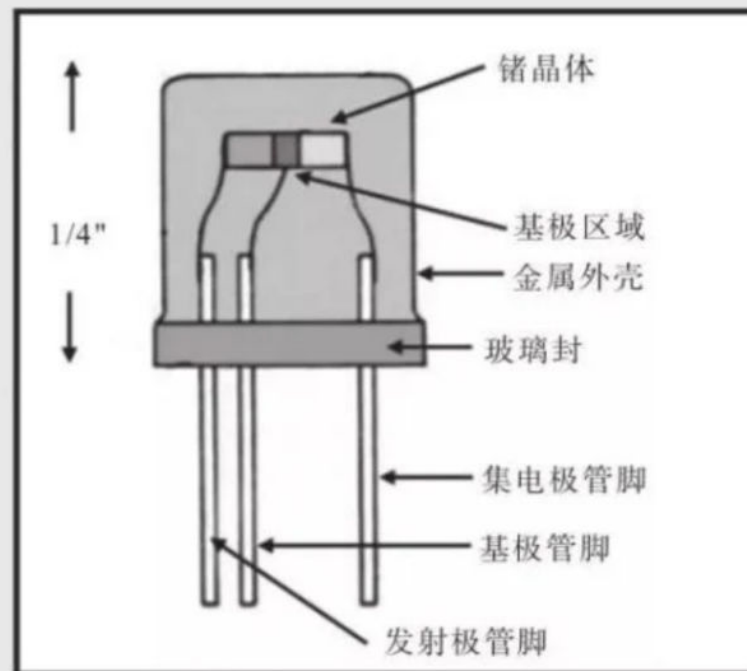
第二次工业革命：电力的广泛应用和内燃机的发明。

第三次工业革命：信息技术、空间技术、核能技术和生物工程技术的应用。

第四次工业革命：智能制造。



a) 点接触型三极管



b) 结型三极管

获得 1956
年 Nobel 物
理学奖

晶体管、集成电路的发明历史

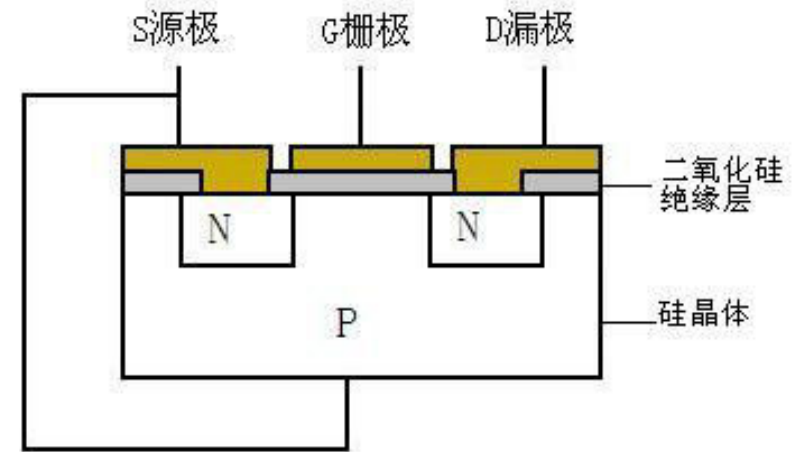
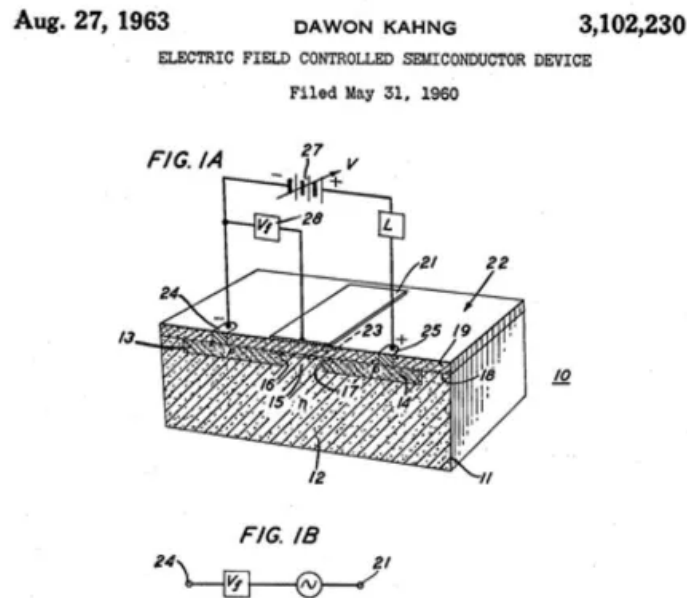
- 1947年12月23日，使用点接触电晶体制作出一个语音放大器，能把音频信号放大100倍，该日成为晶体管正式发明的重大日子。
- Transistor，由传导（Transfer）和电阻（Resistor）两个词合成，中文译名是晶体管。
- 点接触型晶体管有自己的缺点，它存在噪声大、在功率大时难于控制、适用范围窄，另外制造工艺复杂。肖克莱在点接触晶体管发明一个月后，提出了使用p-n接面制作结型晶体管（junction transistor）的方法，称为双极型晶体管（bipolar transistor）。

晶体管、集成电路的发明历史

- 让肖克利收获了诺贝尔物理奖的第一个晶体管跟硅无关，它是由锗制造的。直到1950年代末，锗都是晶体管和其它半导体器件的主要材料。
- 肖克利出走硅谷创业，在他离开贝尔实验室的时候，并没制造出一个利用硅制成的场效应放大器装置。
- 为什么是硅？
 - 锗是一种稀有元素，在地壳中的含量少，矿藏还分布分散，导致价格高昂，难以大规模生产。而硅作为地壳中第二丰富的元素，在成本上很占优势。
 - 当时晶体管最大的客户是美国政府和军方，他们希望将芯片运用在火箭和导弹上，这就需要晶体管能够耐高温、抗剧烈震动，在 200°C 也能稳定运行。但锗晶体管的耐受温度只有 80°C ，显然不符合要求。只有硅有这个潜力。
 - 当时高纯硅的工业提炼技术已经成熟，而锗则很难提炼到足够的纯度，这就导致晶体管性能低下。

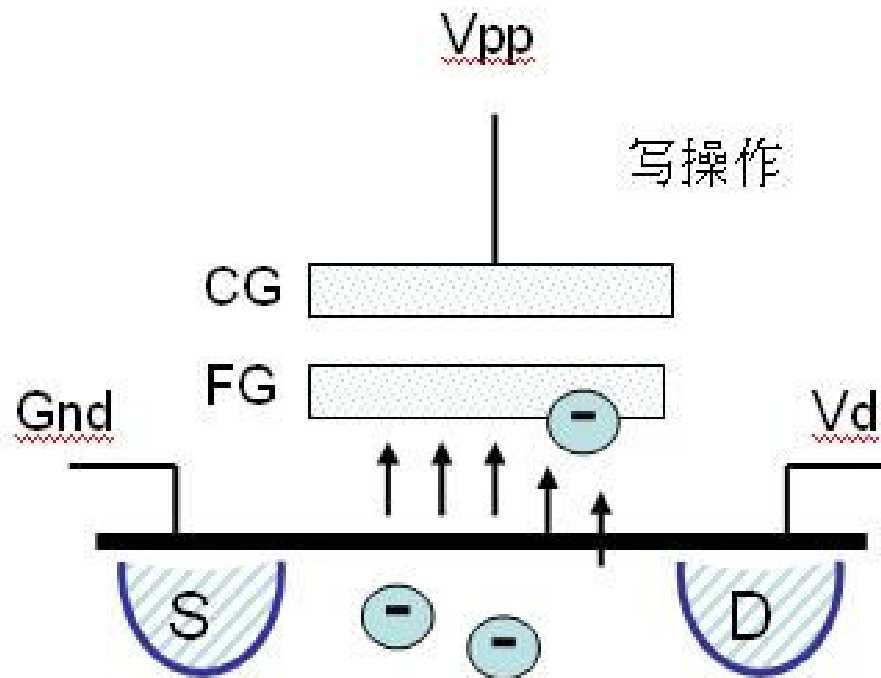
晶体管、集成电路的发明历史

- 1926年, Julius Lilienfeld申请了**场效应半导体器件专利**, 描述了一种基于**硫化铜**半导体特性的三电极放大装置。直到1930年代, 人们一直在尝试制造这种器件。
- 1959 年, 贝尔实验室的卡恩(D. Kahng)和艾塔拉(M. Atalla)发明了**金属氧化物半导体场效应晶体管(MOSFET)**;



晶体管、集成电路的发明历史

- 1950年，日本的西泽润一(J. Nishizawa)和渡边宁(Y. Watanabe)发明了**结式场效应晶体管(JFET)**。
- 1956年，通用电气公司发明了**晶闸管**。
- 1967年，卡恩和施敏(S. M. Sze)制作了**浮栅型MOSFET**，为半导体存储技术奠定了基础。



晶体管、集成电路的发明历史

1952年，美国雷达研究所的科学家达默(G. W. A. Dummer)在一次电子元件会议上指出：“**可以期待将电子设备制作在一个没有引线的固体半导体板块中，这种固体板块由若干个绝缘的、导电的、整流的以及放大的材料层构成，各层彼此分割的区域直接连接，可以实现某种功能。**”

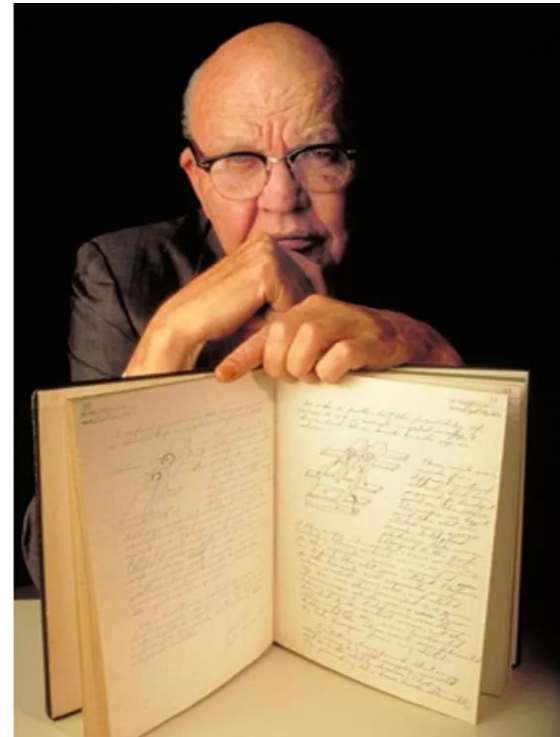
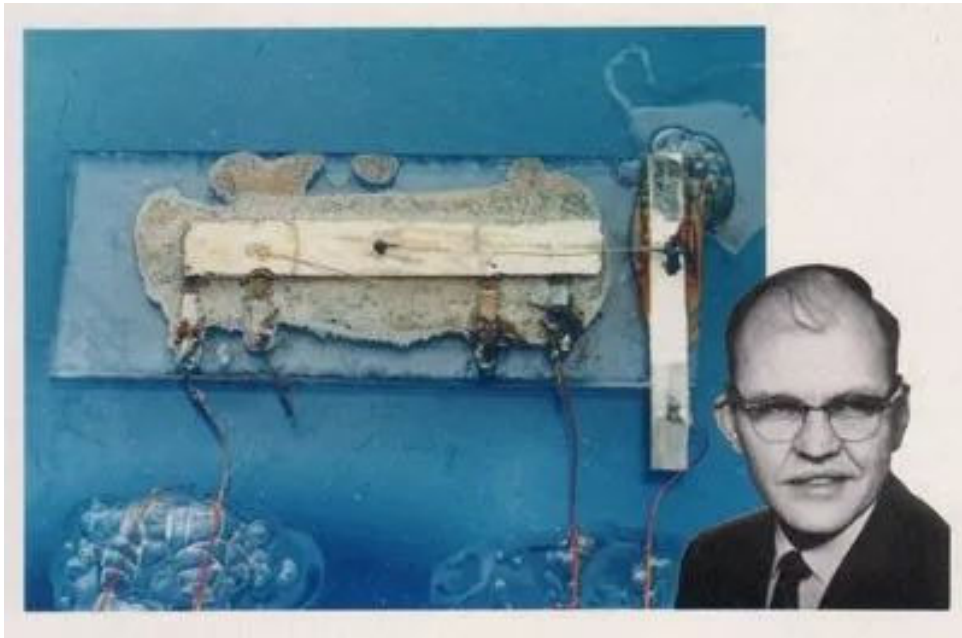
1958年9月12日，美国德克萨斯仪器公司的青年工程师基尔比(Jack Kilby)，在一块**锗晶**上制造出一个晶体管与用金属板和半导体分别做成极板及氧化层作成介质形成电容，并以整块锗半导体扩散形成电阻，他以细小金线连接这些元件，成功的制造出第一个具有集成

8

电路概念的电路。

晶体管、集成电路的发明历史

➤ Jack Kilby (TI) **集成电路之父**，在锗衬底上形成台面双极晶体管和电阻，电容总共5个器件，1T,3R,1C，用超声焊接引线将器件连起来。于2000获 Noble Prize



集成电路：在一个半导体材料上做多个电子元器件，用互连线把它们连接起来，成为一个电子器件。

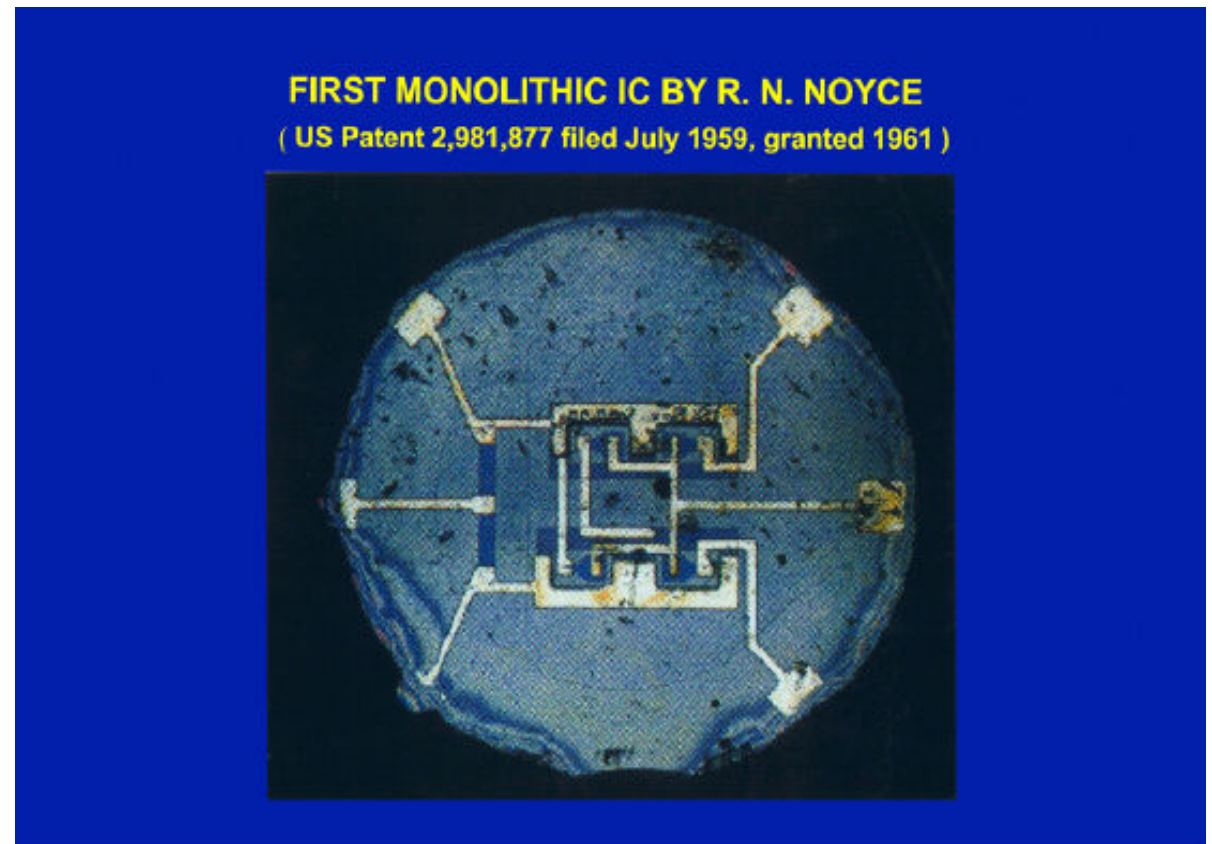
晶体管、集成电路的发明历史

- 1958年，美国仙童半导体公司的Jean Hoerni发明了平面工艺技术(planar technology)，这项技术被评定为“20世纪意义最重大的成就之一”，他提出了一种光学蚀刻的处理方法，可以在硅片平面上以类似平面印刷的规模化批量生产的方式将集成电路生产出来。
- 1959年，美国仙童公司的诺伊斯研究出一种利用二氧化硅做掩膜的扩散技术和PN结的隔离技术，从而完成了集成电路制作的全部工艺。
- 1959年，仙童公司的诺伊斯提交了平面工艺的专利，用铝作为导电条制备集成电路。从此，集成电路的时代开始了。

晶体管、集成电路的发明历史

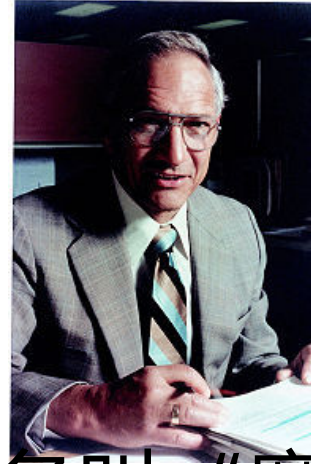
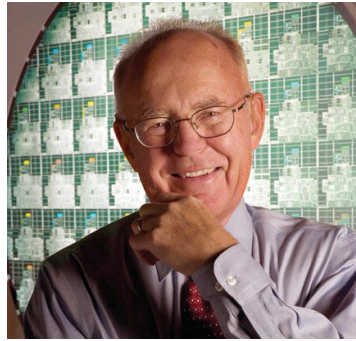
第一块可商用集成电路 (1961)

- Fairchild (飞兆, 仙童)
- 1bit存储器
- 4个晶体管和5个电阻
- 小规模集成电路的时代开始了



1959年7月，诺伊斯基于硅平面工艺，发明了世界上第一块硅集成电路，该集成电路更适合商业化生产。

晶体管、集成电路的发明历史



Intel 的诞生

- 1968年7月18日，有一家名叫“摩尔诺伊斯”的电子公司在美国加州悄然诞生。创始人，是工程师**罗伯特·诺伊斯**和**戈登·摩尔**。
- 后来公司名字改成——**Intel**。就是现在的全球芯片巨头，世界最大的个人电脑及服务器CPU制造商。
- 英特尔公司以存储器作为创业方向。1971年，英特尔开发出了世界上第一个商用处理器——**Intel 4004**。正式拉开了**微处理器时代**的大幕。

晶体管、集成电路的发明历史

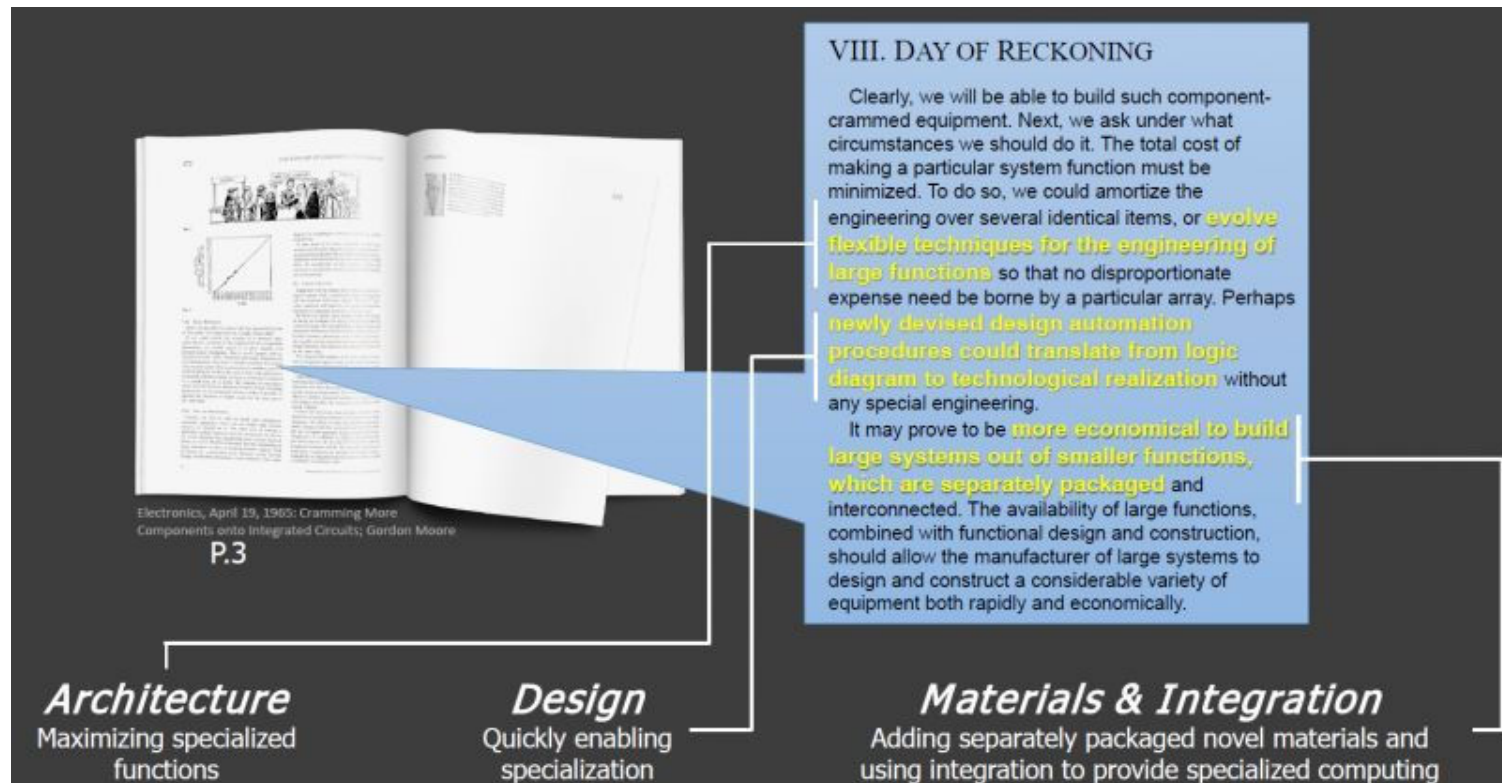
英特尔的联合创始人戈登·摩尔在1965年4月发表的“在集成电路中填充更多元件 (Cramming More Components on Integrated Circuits)”一文注意到一种趋势，即**集成电路上的晶体管密度每两年就会翻倍**，这种趋势现在已经开始放缓。其中的一个原因是摩尔的预测，摩尔的第二定律或岩石定律都不太为人所知，它指出**制造这些设备的成本每4年翻一番**。



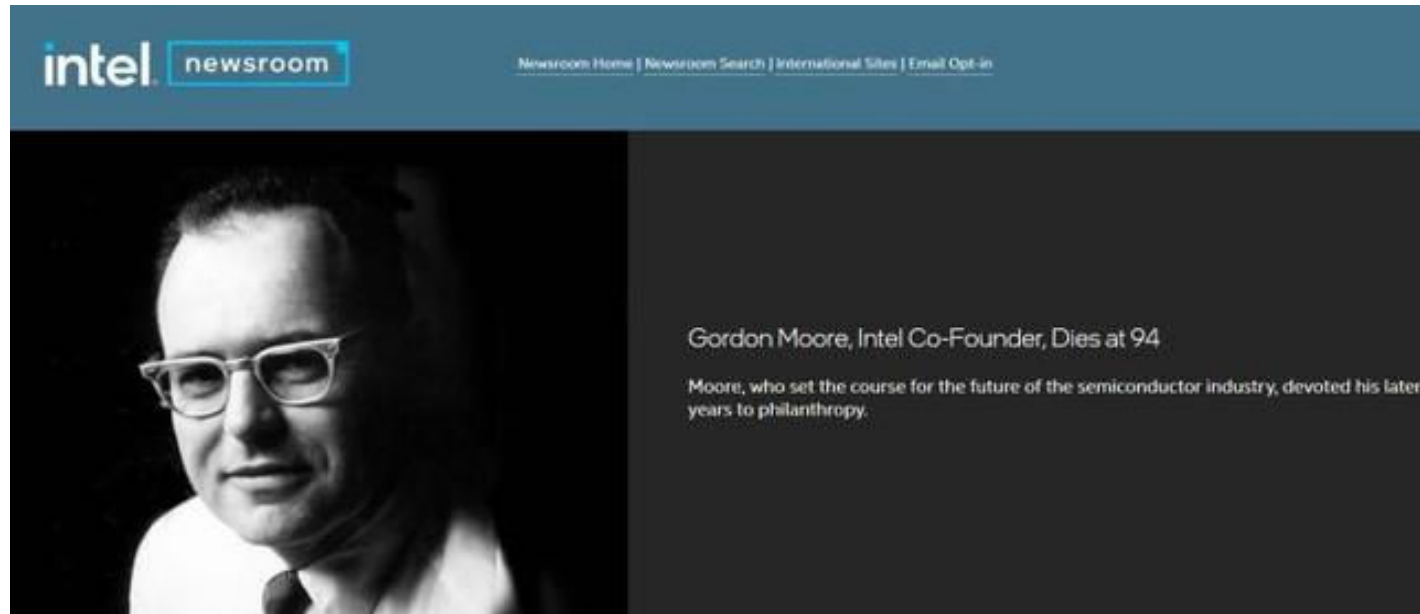
摩尔定律

摩尔定律发展的
必要条件：**平面
工艺、器件可扩展
性和多层互联**

DARPA于2017年6月启动了“电子复兴计划”(ERI)：“Page 3 Investments”是DARPA在JUMP项目及其一些传统微系统项目之外增加的一个计划，“Page 3”的命名是向摩尔定律的提出者戈登·摩尔(Gordon Moore)致敬。摩尔在论文第3页针对将来尺寸缩放的条件不再具备时，提出了一些技术探索方向。正是受此启发，DARPA提出“第3页”(Page 3)计划，着力支持系统架构、设计以及材料和集成等三个领域的研究和开发。



2023年3月24日，戈登·摩尔去世，享年94岁。继罗伯特·诺伊斯和安迪·格罗夫之后，被称为英特尔“三位一体传奇”的最后一位科技巨头也告别了这个世界.....



晶体管、集成电路的发明历史

摩尔定律并不是一个科学定律或理论，它实际上只是人们对于由特定的高技术所引发的微电子产业经济发展趋势的一种超前预测！但是摩尔定律又是有着极其深刻的科学基础的，这主要表现在以下四个方面：

- 理想的Si材料特性（优于锗，良好的Si/SiO₂界面特性， $< 10^{10}/\text{cm}^2$ ）
- 简单的MOS晶体管结构（对称，易于按比例缩小）
- 巧妙的CMOS集成电路设计（极低的静态功耗，简单灵活的逻辑与模拟电路拓扑结构，良好的电源电压等比例缩小特性，足够的噪声容限和抗干扰特性）
- 高效的平面化制造工艺技术（晶体管制造变得十分简单高效）

晶体管、集成电路的发明历史

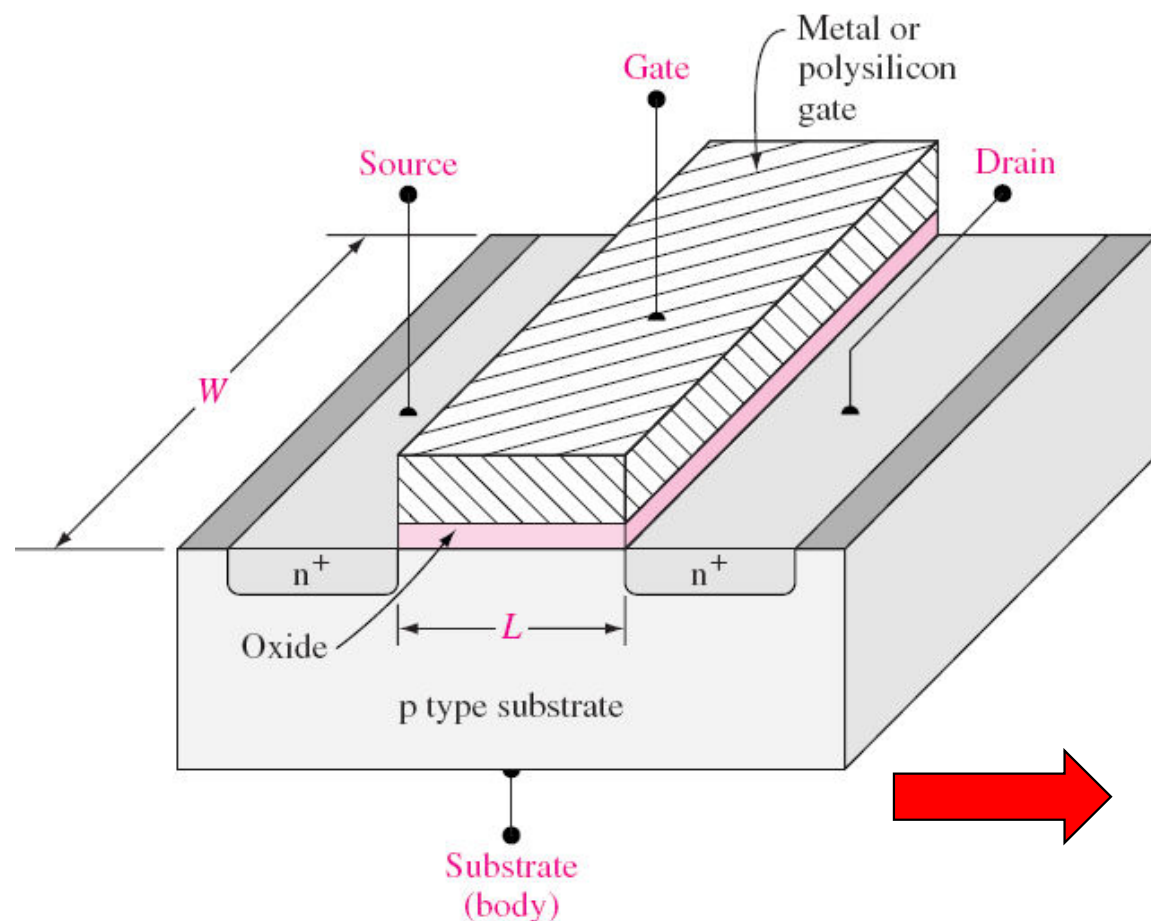
摩尔定律的进一步延伸、扩展与超越：

More Moore: 继续缩小MOS场效应晶体管的特征尺寸，由目前国内的14~7nm进一步缩小为3nm、2nm，使得单个集成电路系统芯片的集成规模更大、功能更多、性能更强大；

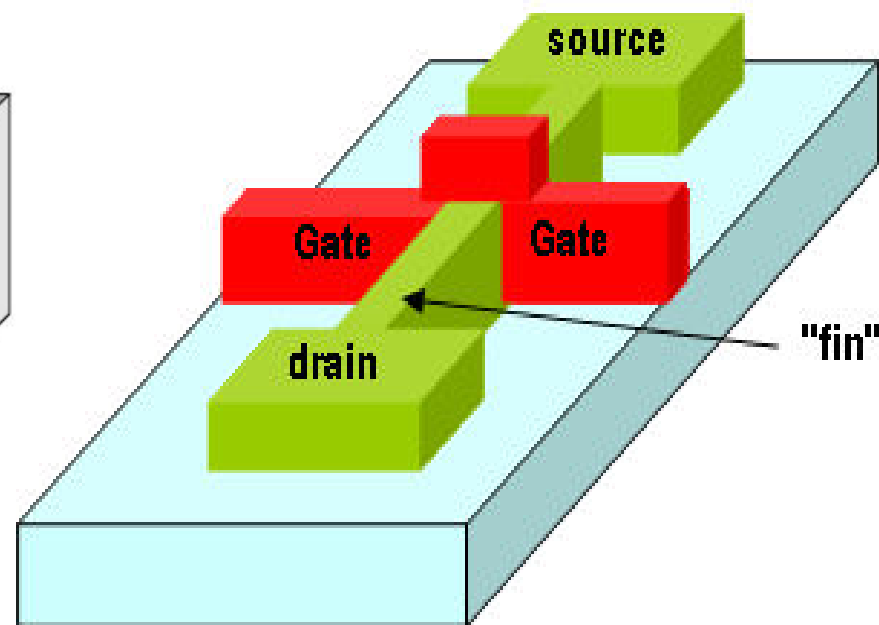
More than Moore: 除了不断缩小MOS器件的特征尺寸之外，还要试图将不同特点、不同功能、不同应用领域的器件集成在同一块集成电路芯片上，实现多功能的系统集成芯片；

Combining SOC and SiP: 进一步通过系统级的多芯片模块封装技术（包括三维叠层封装技术）和先进的互连技术，完成异质材料器件与芯片的系统级封装和三维异质集成，实现具有更高附加值的集成系统。

半导体器件发展的最新进展



n沟MOSFET的器件结构示意图

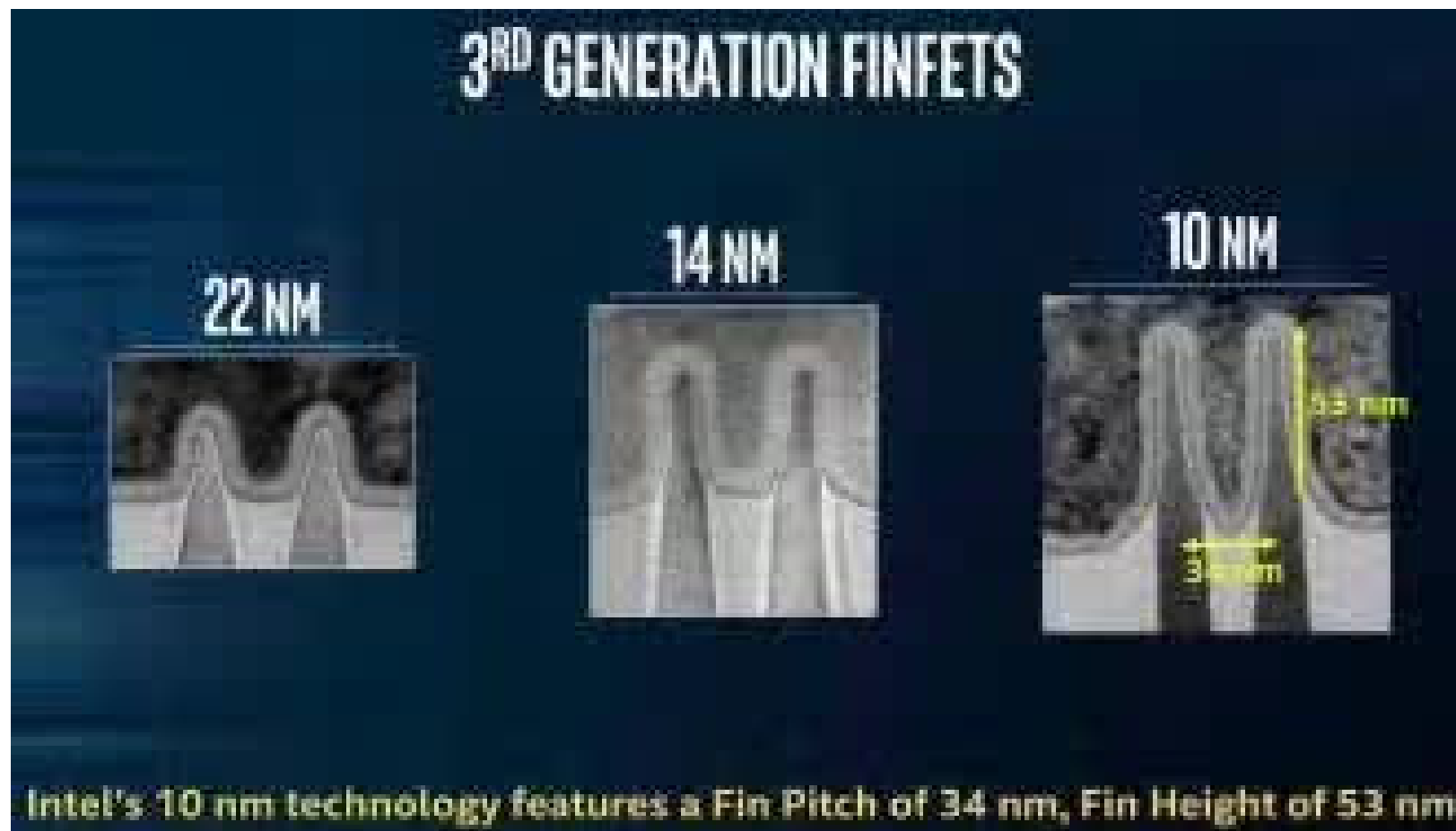


FinFET (trigate) 的器件结构示意图

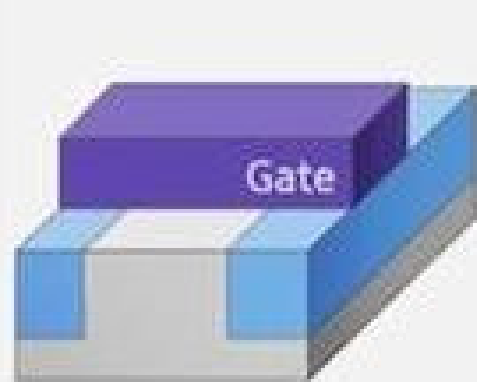
半导体器件发展的最新进展

三代FinFET的结构比较

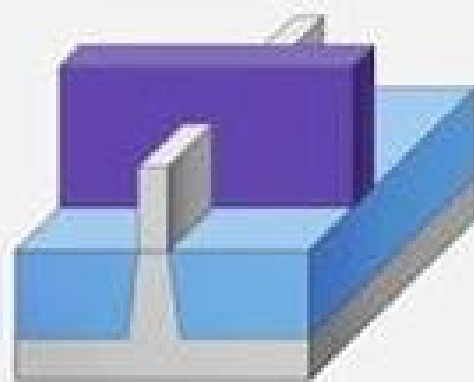
Intel	1 st FinFET (22nm)	2 nd FinFET (14nm)	3 rd FinFET (10nm)
Pitch(nm)	60	42	34
Fin高(nm)	34	42	53



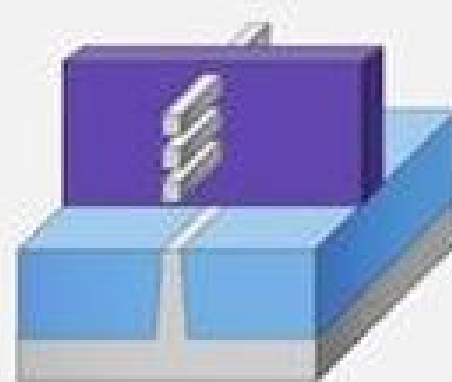
半导体器件发展的最新进展



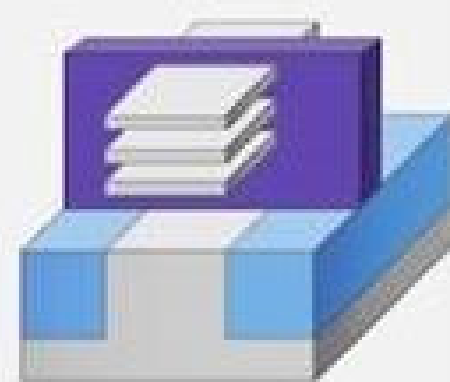
Planar FET



FinFET



GAAFET
(Nanowire)



MBCFET™
(Nanosheet)

2011年英特尔推出了商业化的22nm FinFET。此后，基于FinFET业界将半导体制程从22nm一直向前推进到如今的3nm。硅原子的直径是0.117nm，3nm差不多是25个硅原子首尾相连的长度。

台积电2nm采用的GAA（Gate-all-around），和FinFETs有相同的理念，不同之处在于GAA的栅极对沟道的四面包裹。

根据设计不同，GAA也有不同的形态，目前比较主流的四个技术是纳米线、板片状结构多路桥接鳍片、六角形截面纳米线、纳米环。

半导体器件发展的最新进展

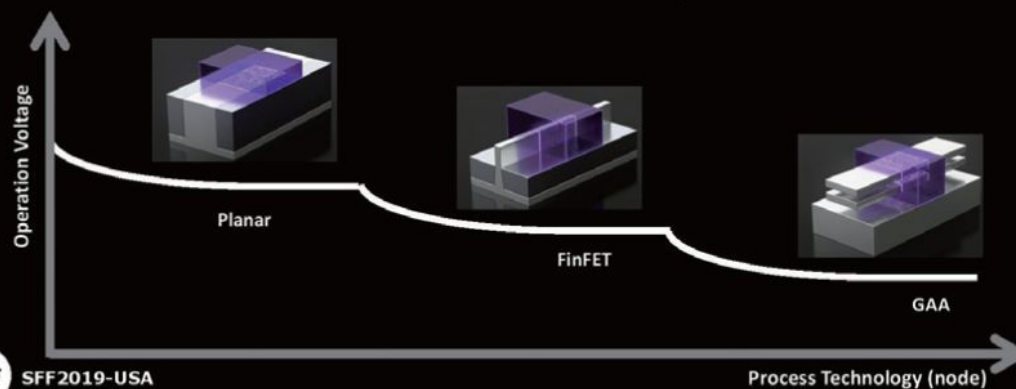
三星对外宣称的 GAA 技术英文名为 **Multi-Bridge Channel FET**，缩写为MBCFET，就是板片状结构多路桥接鳍片。三星认为目前主流的纳米线GAA技术，沟道宽度较小，因此只能用于低功耗设计，并且制造难度比较高。三星认为FinFET在5nm和4nm工艺节点上都依旧有效，因此在3nm时代三星才开始使用新的MBCFET技术。

GAA(MBCFET™), the Innovation beyond FinFET

Reduced Operating Voltage (0.75V->0.7V)

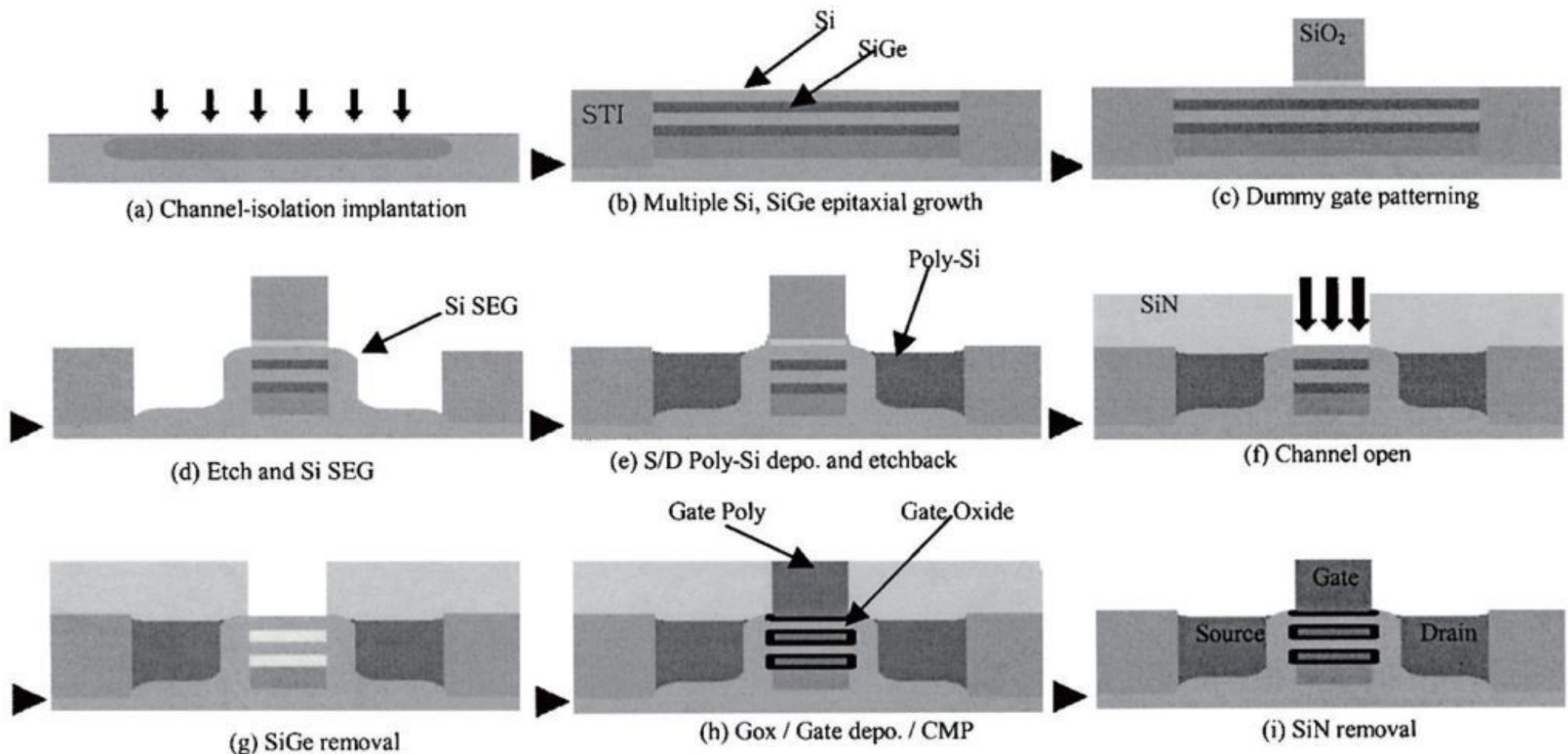
3nm GAA(3GAE) PDK Version 0.1 is ready

- Enables early design start for customers
- Samsung GAA (MBCFET™) uses Nanosheet device (vs. Nanowire)
- Performance 35% ↑, Power 50% ↓, Area 45% ↓ compared to 7nm



半导体器件发展的最新进展

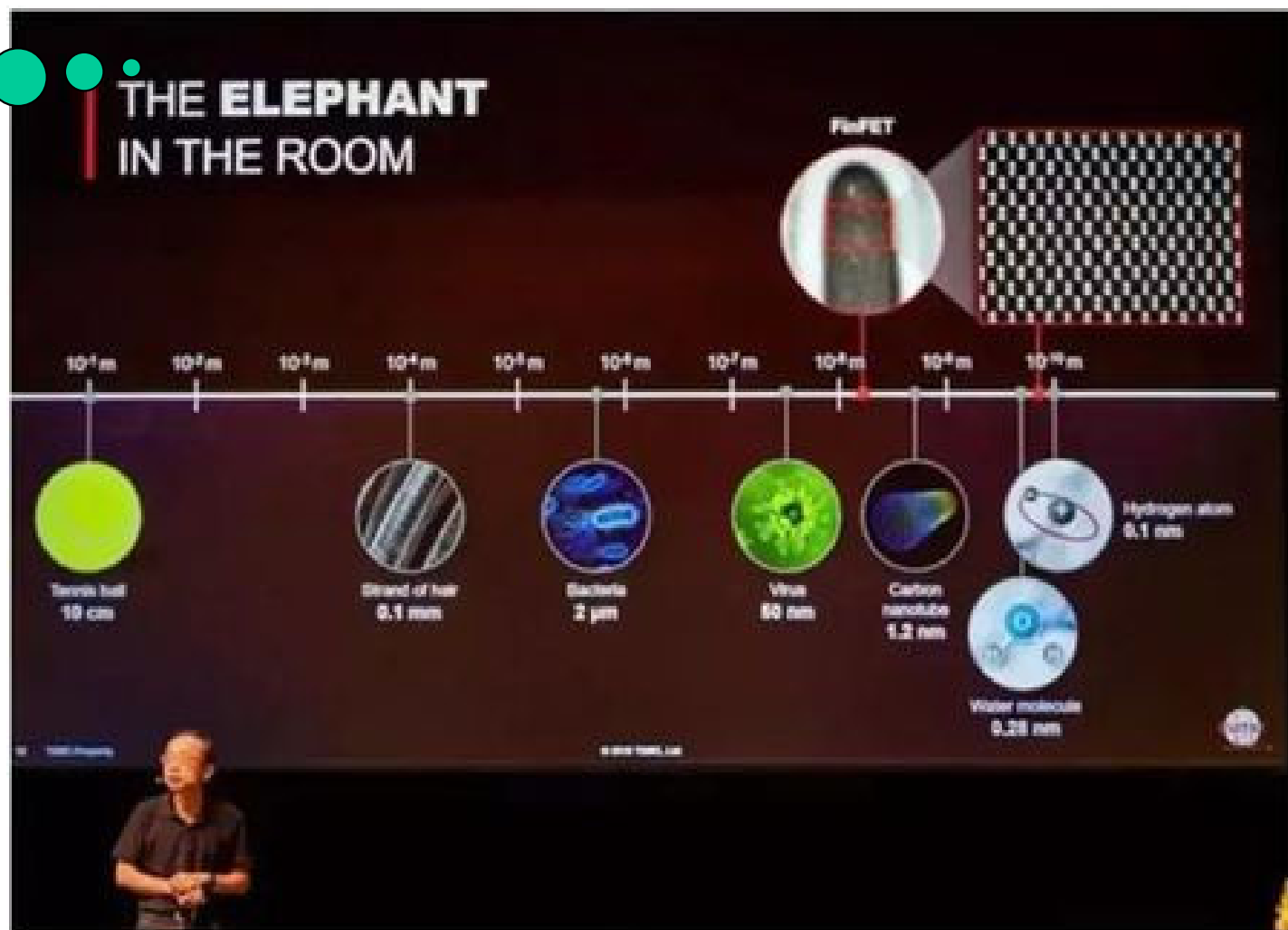
除了制造本身外，GAA工艺要求EUV光刻的配合。因为现在半导体尺寸已经如此之小，甚至远远小于光源的波长，EUV已经是必须的方法。



半导体器件发展的最新进展

一个问题因太过于庞大或麻烦，导致没有人愿意去碰

摩尔定律未死？台积电研发负责人黄汉森（Philip Wong）在2019年Hot Chips会议上表示，：到2050年，晶体管还可缩小至0.1nm



台积电目前将0.1nm视为“超前规划”，技术路线并不明确。将投入43.72亿元推动“埃米时代”计划，率先探索“埃米时代”的技术路线。