

GAA FET 的结构演进的调研报告

廖汶锋

电子工程系

2023.10.25

一、引言

随着对计算机运算速度要求的提升，原本的平面 MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor) 已经不能满足速度要求，晶体管的节点从 180 nm 一直讲到 3 nm，期间人们思考出了大量的工艺方法，包括但不限于自对准、FinFET(Fin-Field Effect Transistor)。到了现在，3 nm 节点要向 2 nm 节点迈进，IBM、Samsung、TSMC 都开始从 FinFET 时代进入到 GAA FET(Gate-All-Around Field Effect Transistor) 时代。2021 年 5 月 6 日，IBM 公司^[1]宣布成功做出第一枚 2 nm GAA FET，正式向全世界宣布 GAA FET 的可量产性。

本文的目的是通过介绍 GAA FET 中的两代产品——GAA NWFET(Gate-All-Around Nanowire Field Effect Transistor) 和 GAA NSFET(Gate-All-Around Nanosheet Field Effect Transistor) ——之间的演进，带出 GAA FET 的内部演进具有哪些特性和优点，并且采用 FinFET 的数据，从而来说明 FinFET 演化进步成 GAA FET 的必要性。

二、GAA NWFET

GAA NWFET 的结构如图 1(a) 所示，源漏极之间的导电通道呈柱状，称为纳米线结构。NWFET 与 FinFET 相比，前者栅极对沟道的控制面数比后者多一个面，栅控能力增强，缓解短沟道效应。同时，如果把栅极-源极-漏极-纳米线(一条)看成一个独立 FET，并且这个 FET 的有效沟道宽度为 W_{eff} ，那么一个包含了 N 个纳米线的 NWFET 的有效沟道宽度约为 NW_{eff} ，考虑纳米线的间距与纳米线直径相差无几的情况，利用几何知识可以计算出， NW_{eff} 约等于最高纳米线到 STI 表面垂直距离 H_{top} 的两倍。换句话说，NWFET 的有效沟道宽度相当于以 H_{top} 为 Fin 高度的 FinFET 的有效沟道宽度，保证了输出电流的大小。

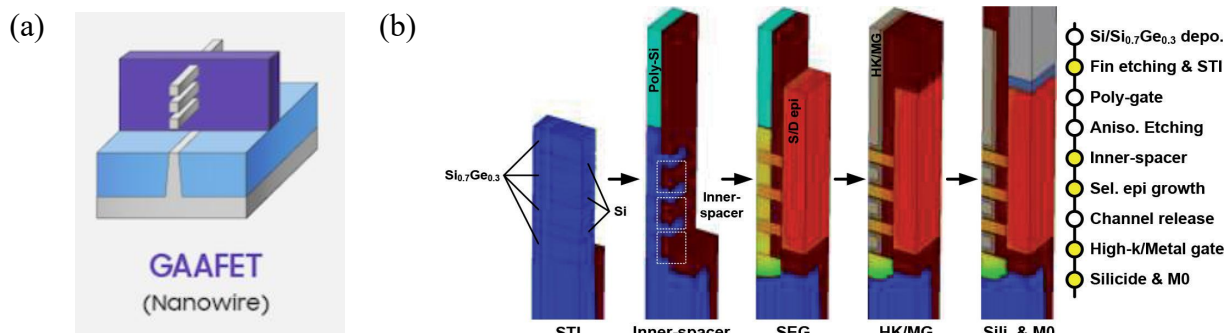


图 1: (a) GAA NWFET 的结构示意图^[2]; (b) GAA NWFET 的关键工艺流程^[3]。

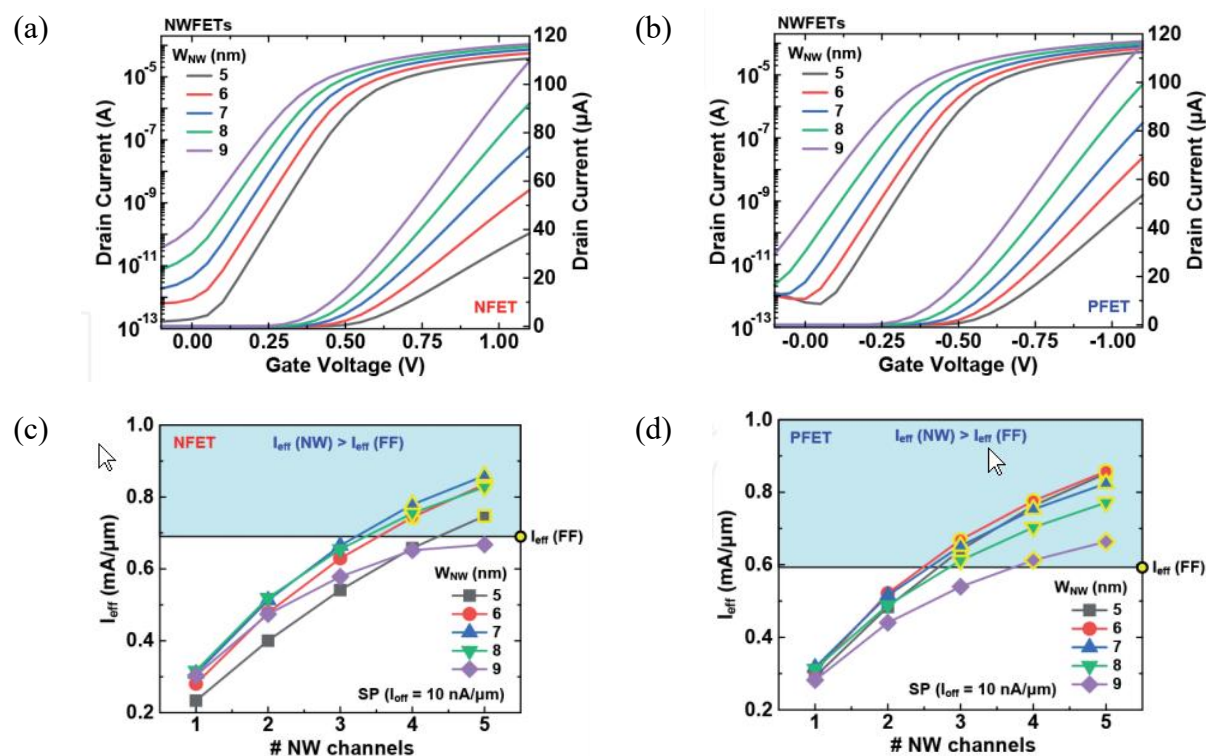
GAA NWFET 的关键工艺流程如图 1(b) 所示。首先沿用 FinFET 的工艺流程，把 Fin 和 Poly Gate 都做出来。然后，使用各向异性刻蚀技术沿着 Fin 的长度方向刻蚀出纳米线的位置。最后，沿用 22nm FinFET 的工艺流程，依次进行各向同性沉积 Spacer、外延沟道并释放其应力、HK/MG 以及其他与 M0、M1 等等相关的流程。

以上所说的工艺流程中，最难的是刻蚀纳米线的过程，虽然纳米线直径 $\sim 5\text{nm}$ ，与 5nm FinFET 的 Fin 宽度一致，但是刻蚀 Fin 时只需要考虑一个维度上的精度，而刻蚀纳米线时需要考虑两个维度的精度，因此需要非常精密的 EUV 和版图设计。

GAA NWFET 的直流特性如下图 2(a) 和 2(b) 所示，其中同一种颜色但分布靠上的曲线是 $V_{DS}=0.05\text{V}$ 时的亚阈值-有源区导电 $I-V_{gs}$ 曲线，靠下的是 $V_{DS}=V_{DD}=0.7\text{V}$ 时线性工作区 $I-V_{gs}$ 曲线。

透过微分计算线性工作区 $I-V_{gs}$ 曲线得出图 2(c) 和 2(d)。可以发现，N-FET 和 P-FET 的纳米线直径在 6-8 nm 之间，且纳米线条数不小于 4 条的情况下，都比 FinFET 的有效电流要大，实现了比 FinFET 更好的驱动能力。

同理，微分计算亚阈值-有源区导电 $I-V_{gs}$ 曲线可以推导出图 2(e) 和 2(f)。不难发现，虽然 NWFET 的亚阈值斜率(SS) 比 FinFET 要高，但是由于衬底悬浮导致 DIBL 有恶化现象。



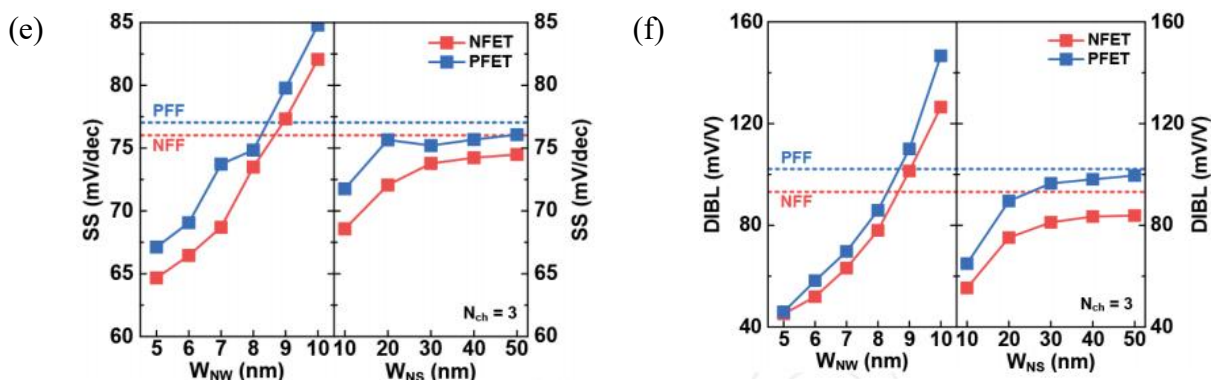


图 2^[3]: (a)、(b): N/PFET 的线性工作区 $I-V_{gs}$ 曲线和亚阈值-有源区导电 $I-V_{gs}$ 曲线; (c)、(d): P/NFET 的等效电流与纳米线条数的关系曲线; (e)、(f): N/PFET 的亚阈值斜率和 DIBL。

三、GAA NSFET

GAA NSFET 的结构如图 3(a) 所示, 源漏极之间的导电通道呈片状, 所以又称为 Multi-Bridge-Channel FET, 简称 MBCFET。(以下呈导电通道为 Bridge) 其工艺流程与 GAA NWFET 一致, 只是各向异性的刻蚀形状不一样, 因为 GAA NSFET 的 Bridge 宽度为其厚度的 10 倍以上, 所以刻蚀精度与刻蚀 FinFET 的 Fin 时相差无几。采用 GAA NWFET 的有效沟道宽度分析法, 不难发现 GAA NSFET 的有效沟道宽度远大于同样 Fin Height 的 FinFET 有效沟道宽度, 即远大于 GAA NWFET 的有效沟道宽度, 因此 GAA NSFET 比 NWFET 具有更大的驱动能力。

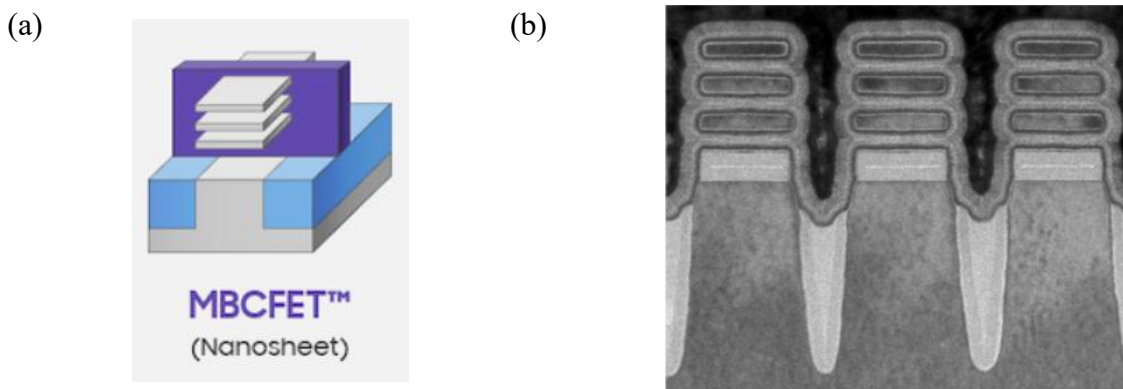


图 3: (a) GAA NSFET^[2] 的结构示意图; (b) GAA NSFET 的 TEM 图像^[4]。

GAA NSFET 的直流特性如下图 4(a) 和 4(b) 所示, 其曲线含义与图 2(a) 和 2(b) 一致。纵向比较图 4 和图 2 的 (a)、(b) 图, 可以发现 NSFET 线性区在同一栅压下的输出电流约是 NWFET 的四倍。

同样利用线性工作区 $I-V_{gs}$ 曲线, 计算出 NSFET 的有效电流, 如图 4(c) 和 4(d) 所示。可以发现, N-FET 和 P-FET 的 Bridge 宽度在 10-50 nm, 且纳米线条数不小于 3 条的情况下, 都比 FinFET 的有效电流要大, 实现了比 FinFET 更好的驱动能力。

另外，参考图 2(e) 和 2(f) 所记录的 SS 和 DIBL 曲线，不难发现，虽然 NSFET 的 SS 比 NWFET 要低，但是由于栅控能力的提升，所以 DIBL 要优于 NWFET。

关于源漏电阻来说，当通道数不小于 3 后，电阻降低的幅度变小，这是因为 NWFET 和 NSFET 的源漏电阻 R_{SD} 包含沟道电阻和源漏两极的电阻。当通道数很大时，虽然通道电阻变小，但是源极和漏极的导电长度变长，使得源漏两极的电阻占主导地位，以至于 R_{SD} 改变不明显。

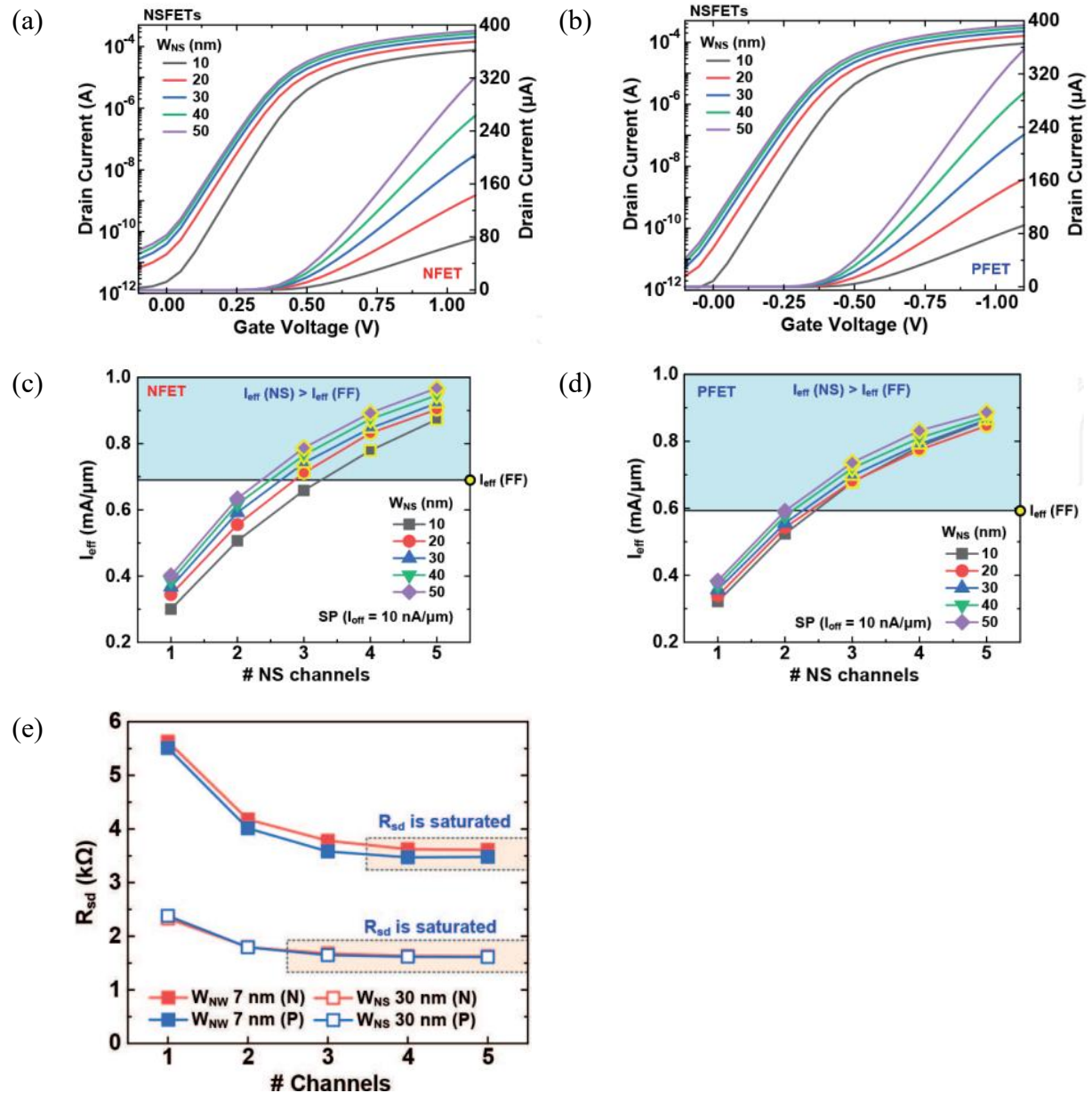


图 4^[3]: (a)、(b): N/PFET 的线性工作区 $I-V_{gs}$ 曲线和亚阈值-有源区导电 $I-V_{gs}$ 曲线; (c)、(d): P/NFET 的等效电流与纳米线条数的关系曲线; (e): NWFET 和 NSFET 在特定宽度下的源漏电阻比较。

最后，考察 FinFET、GAA NWFET 和 NSFET 三者的 AC 特性，直接以 RC 延时作为指标进行对比，如图 5 所示：

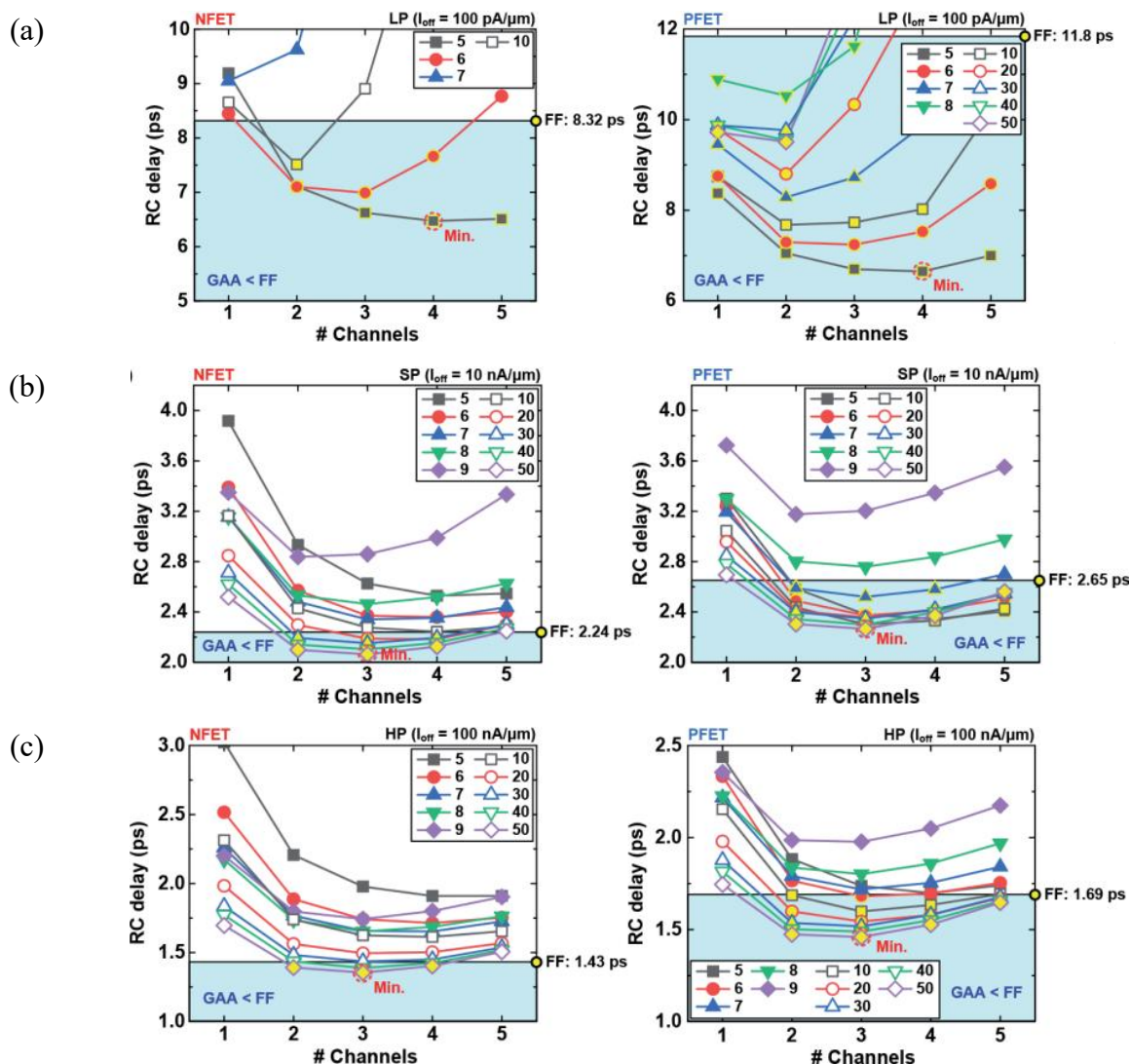


图 5^[3]: 不同导电通道宽度下, 不同导电通道数在三种情况下 (a) 低功耗(LP); (b) 标准功耗 (SP); (c) 高功耗(HP) NWFET/NSFET 的 RC 延时。

从图 5(b) 和 5(c) 可以发现, 在 SP 和 HP 模式下, 50 nm 的 3 通道 GAA NSFET 具有最短延时, 所以这两种模式下的 CMOS 电路最高工作频率分别是 434 GHz 和 714 GHz; 在 LP 模式中, 5 nm 的 4 通道 GAA NWFET 具有最短延时, 猜测是因为载流子的漂移速度低, 所以宽度小的器件可以是载流子更快通过源漏两极。

四、总结

GAA FET 是 FinFET 的新一代产物, 在工艺上大致沿用了 FinFET 的流程, 在结构上增加了一个栅极控制沟道面, 使得 GAA FET 能够在驱动力和工作频率上超越 FinFET 的极限。对比 GAA NWFET 和 NSFET, 后者在电流驱动力和 SP、HP 工作频率方面比前者有着显著优势。不过前者在 SS 上的优点, 使得 NWFET 成为 LP 模式上的优良器件。

五、参考文献

1. ALBANY, N.Y., IBM Unveils World's First 2 Nanometer Chip Technology, Opening a New Frontier for Semiconductors (<https://newsroom.ibm.com/2021-05-06-IBM-Unveils-Worlds-First-2-Nanometer-Chip-Technology,-Opening-a-New-Frontier-for-Semiconductors>), August 26, 2020
2. Dr. Ian Cutress, Where Are My GAA-FETs? TSMC to Stay with FinFET for 3nm (<https://www.anandtech.com/show/16041/where-are-my-gaafets-tsmc-to-stay-with-finfet-for-3nm>) , AnandTech, May 6, 2021
3. J.-S. Yoon, J. Jeong, S. Lee, J. Lee, and R.-H. Baek, ‘Gate-All-Around FETs: Nanowire and Nanosheet Structure’, Nanowires - Recent Progress. IntechOpen, Jul. 14, 2021. doi: 10.5772/intechopen.94060.
4. Dr. Ian Cutress, IBM Creates First 2nm Chip (<https://www.anandtech.com/show/16656/ibm-creates-first-2nm-chip>), AnandTech, May 6, 2021