

Protokoll: Digitale Schaltungen

Tom Kranz, Philipp Hacker

4. Juni 2014

Inhaltsverzeichnis

1	Schaltskizzen	2
2	Durchführung	2
2.1	Versuchsaufgabe 1	2
2.2	Versuchsaufgabe 2	2
2.3	Versuchsaufgabe 3	2
2.4	Geräte	3
2.5	Oszillogramme	3
2.5.1	Versuchsaufgabe 1	3
3	Auswertung	4
3.1	Versuchsaufgabe 1	4
3.2	Versuchsaufgabe 2	4
3.3	Versuchsaufgabe 3	5
4	Anhang	5

1 Schaltskizzen

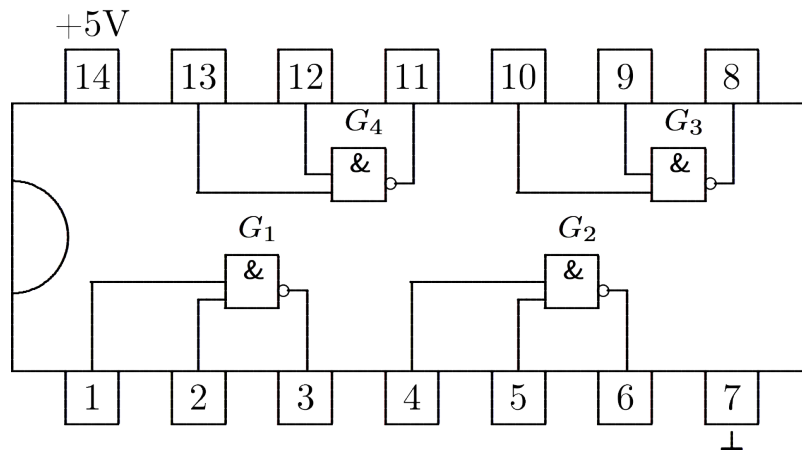


Abb. 1: IC SN 7400 bzw. SN 74HCT00

2 Durchführung

2.1 Versuchsaufgabe 1

Hierbei wurden die beide Eingänge eines NAND-Gatters mit einem Signal U_x beschaltet. Zuerst wurde der Verlauf des Ausgangssignals U_y bei den quasistatischen Variationen $U_x = 0 \rightarrow 5\text{ V}$ und $U_x = 5 \rightarrow 0\text{ V}$ mittels Multimetern gemessen. Anschließend wurde für das Eingangssignal ein systemeigener Rechteckimpuls der Frequenz 1 bzw. 10 MHz eingesetzt. Systemeigen bedeutet hierbei, dass ein Gatter zwischen ursprünglicher Spannungsquelle und Eingang des Messgatters geschaltet war. Der Rechteckimpuls hatte eine Peak-to-Peak-Spannung von 5 V mit einem Offset von 2,5 V. Ein- und Ausgangssignal wurden zeitsynchron oszilloskopiert.

2.2 Versuchsaufgabe 2

Für 2 unterschiedliche ICs (siehe 2.4) wurde die Verlustleistung in Abhängigkeit von der Frequenz des ansteuernden systemeigenen Rechteckimpulses gemessen. Dabei wurde die Stromaufnahme mit freien Gattern, d.h. alle Gatter sind ohne Ein- bzw. Ausgangssignal, und mit beschalteten Gattern gemessen.

2.3 Versuchsaufgabe 3

Wie in Abb. 1 gezeigt, können beliebig Ein- bzw. Ausgänge von Gattern in einem IC miteinander verschaltet werden. Hierbei sollte nun, nacheinander für die ICs aus 2.4, bis zu 3 Gatter in Reihe geschaltet werden. Gemessen wurde die Ausgangsspannung des 1. Gatters, welches für jede Schaltung mit einem High U_H und einem Low U_L auf beiden Eingängen angesteuert wurde.

Für die Schaltung mit keinem nachgeschalteten Gatter wurden die Eingänge 1 und 2 zusammengelegt und, wie in allen anderen Schaltungen auch, der Ausgang 3 gemessen. Mit einem Gattern wurde der Ausgang 3 zusätzlich auf die Eingänge 4 und 5 gelegt. Für 2 Gatter wurde das Signal aus 3 wiederum auf 9 bzw. 10 geschaltet. Schließlich wurde für 3 Gatter das Ausgangssignal aus 3 auf alle Eingänge des ICs weitergegeben (für Nummerierung siehe Abb. 1).

2.4 Geräte

Die verwendete Versuchsplatine ist „Logisches Gatter“. Die Betriebsspannung und die verschiedenen Eingangs-Gleichspannungen lieferte das Stromversorgungsgerät TEKTRONIX PS 280, Rechtecksignale wurden mit dem Funktionsgenerator TEKTRONIX AFG 3022B erzeugt. Die Gleichspannungen wurden mit dem Multimeter VOLTcraftPLUS VC 920 gemessen, Oszillogramme und Signalverläufe mit dem Oszilloskop HAMEG HM1508-2 erstellt bzw. betrachtet.

2.5 Oszillogramme

2.5.1 Versuchsaufgabe 1

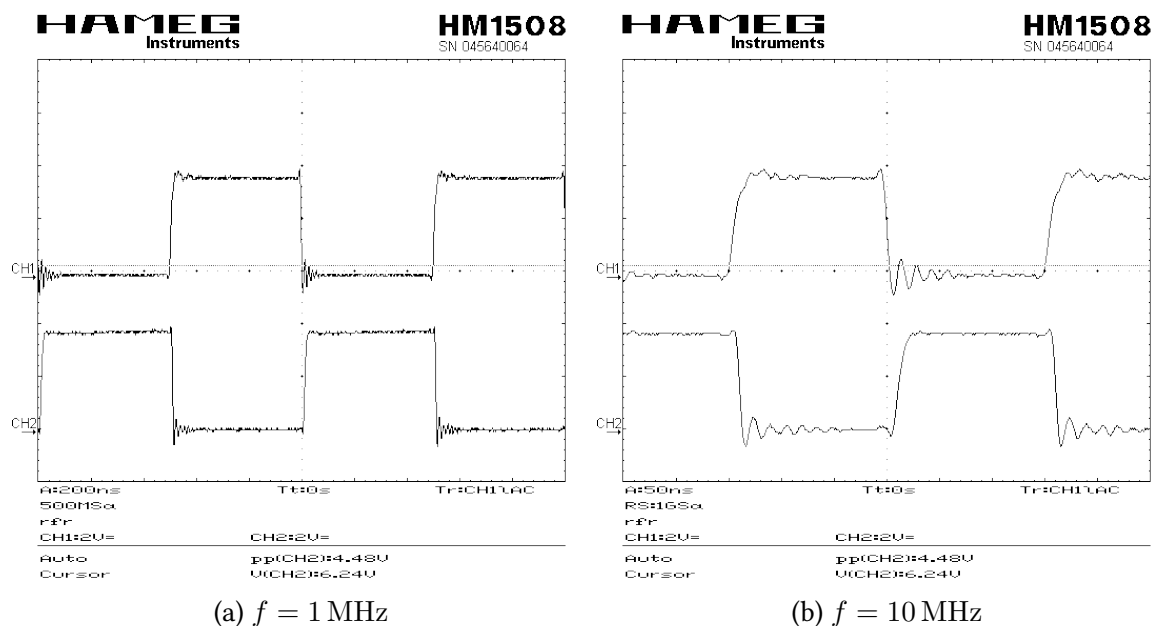


Abb. 2: zeitsynchrone Ein- und Ausgangssignale (systemeigen, Rechteckimpuls)

3 Auswertung

3.1 Versuchsaufgabe 1

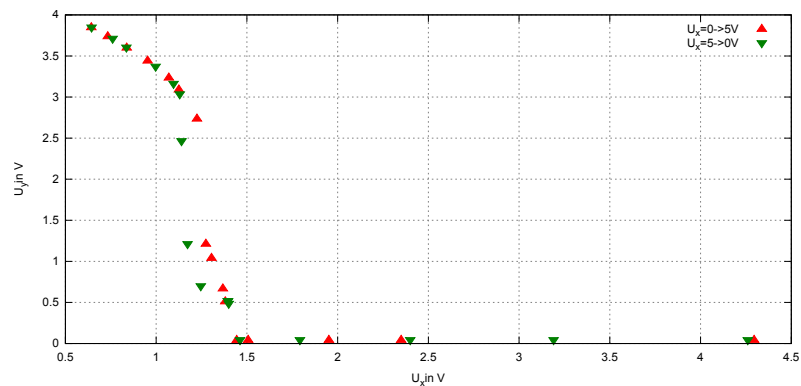


Abb. 3: Ausgangssignal eines Gatters bei variierendem Eingangssignal

Im gezeigten Diagramm ist der Umbruch von High- zu Low-Pegel zu erahnen. Die verbotene Zone sollte jedoch keine Messwerte liefern (0,4...2,4 V).

Aus den Oszillogrammen Abb. 2a und Abb. 2b ergibt sich die Laufzeit zu

$$\tau = \frac{\tau_{HL} + \tau_{LH}}{2} = \frac{(1,47036 - 1,3963) \cdot 10^{-7} \text{s} + (100,29 - 4,634) \cdot 10^{-10} \text{s}}{2} = 8,4858 \text{ ns} .$$

3.2 Versuchsaufgabe 2

Da für ein einziges Gatter die Verlustleistung nicht messbar war, betrachten wir die über den gesamten IC abfallenden Leistung. Dafür wurde der eingehende Strom und die Speisespannung in Abhängigkeit vom Eingangssignaltakt gemessen. Während der Messung waren alle 4 Gatter frei, d.h. nicht beschaltet. Die gesuchte Leistung ist $P_V = \frac{P_{ges}}{4}$.

IC	U_s/V	I_s/mA	f/kHz	P_V/mW
SN7400	4,98	30,989	0	0,198
		31,02	1	0,1544
		31,42	10000	0,1564
SN74HCT00	4,98	36,38	0	0,1811
		32,54	1	0,1621
		35,334	10000	0,1759

3.3 Versuchsaufgabe 3

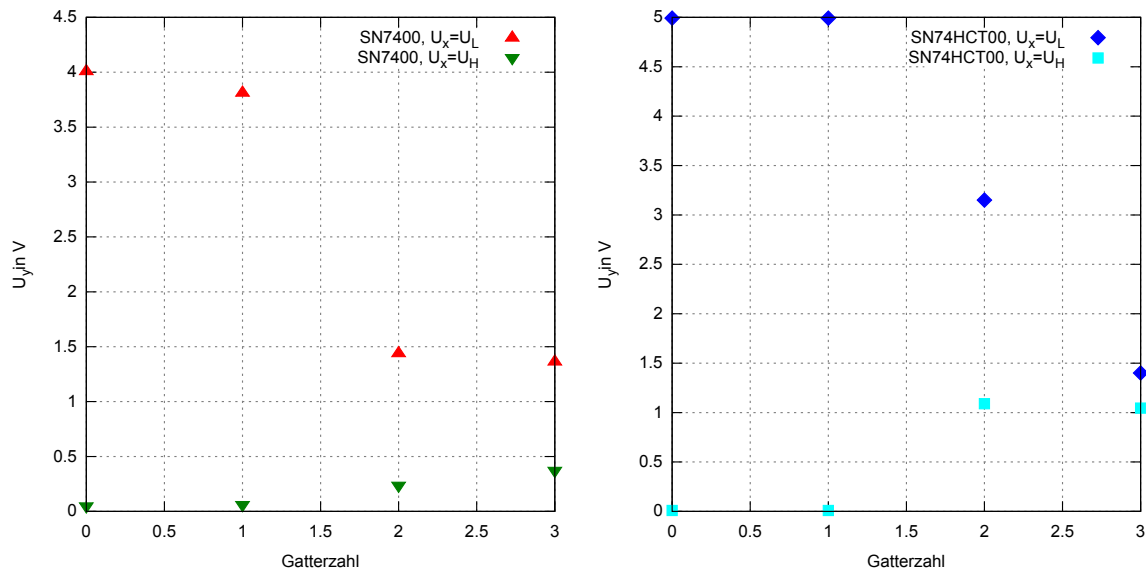


Abb. 4: Ausgangsspannung bei steigender Belastung (Vergleich der ICs)

Der Ausgangslastfaktor eines Gatters (fan-out) gibt an, wie viele, in ihrem Eingangslastfaktor (fan-in) gleichwertige, Gatter angeschlossen werden können, ohne dass das Ausgangssignal den High- bzw. Low-Bereich verlässt. In unserem Fall handelte es sich um ein NAND-Gatter - d.h. dass aus einem, auf beiden Eingängen anliegenden, High am Ausgang ein Low wird und umgekehrt. Der Low-Pegel ist $U_L \in [0 \dots 0,4 \text{ V}]$ und der High-Pegel $U_H \in [2,4 \dots 5 \text{ V}]$.

Für das Gatter des ICs SN7400 wird damit ersichtlich, dass dessen fan-out zwischen 1 und 3 liegen muss. Das Gatter aus dem SN74HCT00 besitzt den Messergebnissen zur Folge einen ähnlichen fan-out. Diese Ergebnisse stehen aber im Widerspruch zu den Annahmen, dass ein fan-out dieser TTL-Gatter etwa 10 betragen sollte.

4 Anhang

Die originalen Messwert-Aufzeichnungen liegen bei.