实验六：斐波那契(Fibonacci)数列计算器设计

1．实验名称

斐波那契(Fibonacci)数列计算器设计。

2．实验目的

要求使用合适的逻辑电路的设计方法，通过工具软件Logisim进行斐波那契(Fibonacci)数列计算器设计和验证，记录实验结果，验证设计是否达到要求。

通过斐波那契(Fibonacci)数列计算器的设计、仿真、验证3个训练过程，掌握数字逻辑电路的设计、仿真、调试的方法。

3．实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

斐波那契(Fibonacci)数列中每项数值都是其两个直接前项的和，其生成规则如下公式1所示。

（公式1）

（1）求Fibonacci数的矩阵算法

对于数列的初始条件对应公式2的矩阵运算：

（公式2）

更一般化地，有公式3：

（公式3）

根据递推关系可以得到公式4：

（公式4）

由公式4可推出，。

因此，对求斐波那契数列的第n项的问题，可以转化为对一个二维矩阵求n次幂。采用矩阵的快速幂算法，操作次数可优化为O(log2 n)。

由于F(47)=(2971215073)10<232，F(48)=(4807526976)10>232，电路中采用32位二进制数表示一个整数。为了避免整数溢出，取2≤n≤47，n用6位二进制数表示。

（2）算法描述

Fibonacci(){

初始化：, Start=0；

For (i=5 downto 0)

{

if (Start==0) then

{

if (n[i]==1) then Start=1;

}

Else

{

if (n[i]==1)

then X=X2•A;

else

X=X2; }

}

return(X);

}

例如：n = (101100)2 = (44)10

step1：i=5，Start=0，n[5]=1，此时Start置1；

step2：i=4，Start=1，n[4]=0，此时X = X2 = A2；

step3：i=3，Start=1，n[3]=1，此时X = X2 •A = (A2)2•A；

step4：i=2，Start=1，n[2]=1，此时X = X2 •A = ((A2)2•A)2 •A；

step5：i=1，Start=1，n[1]=0，此时X = X2 = (((A2)2•A)2 •A)2；

step6：i=0，Start=1，n[0]=0，此时X = X2 = ((((A2)2•A)2 •A)2)2；

循环执行完后，X = ((((A2)2•A)2 •A)2)2 = A44

（3）矩阵计算模块

**（a）**计算X2模块sqrX

（公式5）

其相应的输入/输出如图6.1所示。

sqrX

a

b

c

d

a′ = a2+bc

b′ = ab+bd

c′ = ac+cd

d′ = bc+d2

图6.1 计算X2模块sqrX输入/输出示意图

这里，a, b, c, d, a′, b′, c′, d′都为32位无符号二进制整数。

**（b）计算X2·A模块sqrX\*A**

（公式6）

其相应的输入/输出如图6.2所示。

sqrX\*A

a

b

c

d

a″ = ab+bd

b″ = a2+bc+ab+bd

c″ = bc+d2

d″ = ac+cd+bc+d2

图6.2 计算X2·A模块sqrX\*A输入/输出示意图

这里，a, b, c, d, a″, b″, c″, d″都为32位无符号二进制整数。

（4）矩阵快速幂算法迭代模块

该模块Fibo输入/输出端如图6.3所示。

Fibo

start

clr

ni-1

clk

Fi = bi′ or bi″

图6.3 Fibo输入/输出示意图

这里，start为Fibonacci()算法中的6位二进制数n左移出的第一个（最高位的）1的标志信号；ni-1是start=1之后左移出的下一位；clr为初始化（清零）信号，此时X = A；clk为时钟脉冲信号。Fi为Fibonacci()算法迭代的中间结果，根据ni-1取0或1来决定Fi是取sqrX或者sqrX\*A运算后的矩阵元素bi，在第6个时钟脉冲时，Fi即为输入n的Fibonacci数Fn。

其内部逻辑结构图如图6.4所示。

（5）Fibonacci数显示模块

将二进制数转换成十进制数在数码显示管上显示出来。

输入为32位二进制的Fibonacci数F(n)。

由于32位二进制Fibonacci数表示的最大十进制数的位数是10位，该模块的输出为10组8421BCD码D9、D8、D7、D6、D5、D4、D3、D2、D1、D0，每组8421BCD码表示1位10进制数。



图6.4 Fibo内部逻辑结构图

（6）斐波那契(Fibonacci)数列计算器

斐波那契(Fibonacci)数列计算器的逻辑结构图6.5所示。



图6.5 斐波那契(Fibonacci)数列计算器 的逻辑结构图

控制器Controller中包括三个功能块：6位二进制数n的左移控制电路、6个时钟脉冲控制电路、start信号产生电路。

6位二进制数n的左移控制电路，使用一个移位寄存器，在时钟脉冲作用下产生ni-1。用clear信号装入n，进行移位寄存器的初始化。

使用1个8位计数器、1个比较器和适当的门电路，可以控制Fibo只接收6个clock时钟脉冲（产生clk）。直至下一个clear信号初始化后，才准备产生下一组6个时钟脉冲。

使用1个D触发器加适当的门电路构成一个锁存器Latch，在接收到n的最高位1时start=1，直至下一个clear信号使start=0。

在6个clock时钟脉冲信号后，电路就产生了第n个Fibonacci数F(n)，并经过Display电路转换成十进制数在数码管上显示出来。

6．实验方案设计

**具体要求：**

（1）给出Fibonacci数列通项公式、Fibonacci数列的递归算法（指数时间复杂度）形式化描述、Fibonacci数列的多项式时间复杂度算法形式化描述；

a) Fibonacci数列通项公式为

b) Fibonacci数列的递归算法描述（指数时间复杂度），可以直接根据它的通项公式通过递归的方式得到。其伪代码描述如下

|  |
| --- |
| int Fibonacci( int n)  {  if (n==0) return 0;  if (n==1) return 1;  return Fibonacci(n-1) + Fibonacci(n-2);  } |

具体调用过程如图6.6所示，时间复杂度为O（2^n）

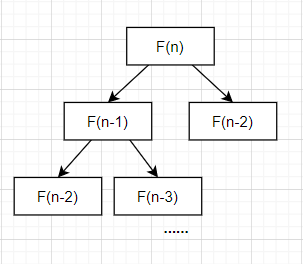


图6.6 F(n)的递归过程

c) Fibonacci数列的多项式时间复杂度算法描述：从减少递归算法的枝干的角度思考，从n>1开始，令F’(n-2)<=F(n-1)，F’(n-1)<=F(n-1)+F(n-2),直到算出F(n)为止。这样做有效避免了递归过程中计算F(n-1)和F(n-2)中的大量重复，流程图描述如下图6.7所示，时间复杂度为O（n）：

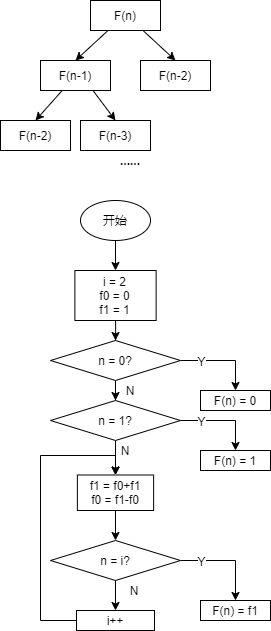


图6.7多项式时间复杂度算法

（2）给出矩阵X2计算模块的设计思路、给出logisim软件绘制的电路图（经过仿真验证基本正确）、对矩阵X2模块进行封装；

（3）给出矩阵X2·A计算模块的设计思路、给出Logisim软件绘制的电路图（经过仿真验证基本正确）、对矩阵X2·A模块进行封装；

（4）给出矩阵快速幂算法迭代模块设计思路、给出Logisim软件绘制的电路图（经过仿真验证基本正确）；对矩阵X2·A模块进行封装；

（5）说明斐波那契(Fibonacci)数列计算器中控制和显示部分的设计思路、给出主模块的Logisim软件绘制的电路图（经过仿真验证基本正确）。

设计思路：控制部分通过一个8位的计数器实现计数，计数器根据输入的clk信号每次加1，结果小于6则时钟信号有效，clear用于清空计数。

Logisim的移位寄存器是单向右移的，所以输入的n经过分线器后，以低位-高位的形式接入移位寄存器，clear用于重新初始化n。

使用1个D触发器加适当的门电路构成一个锁存器Latch，在接收到n的最高位1时start=1，直至下一个clear信号使start=0。

显示部分需要将32位的二进制数F转换成8421码，设计思路是用除法器将F除以10的余数的低4位输出成D0，再令F等于F除以10的商，这个过程循环10次，依次输出为D0、D1、D2….D9，这样就能轻松地得到转换后的8421码。

主模块的电路图如下图所示。

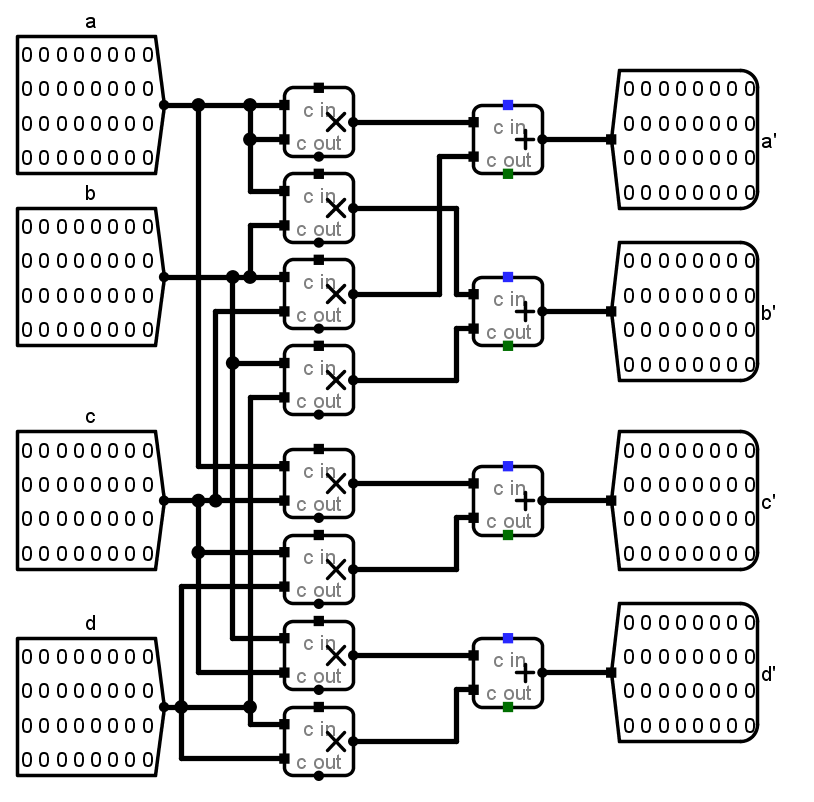


图6.8 矩阵X2计算模块的电路图

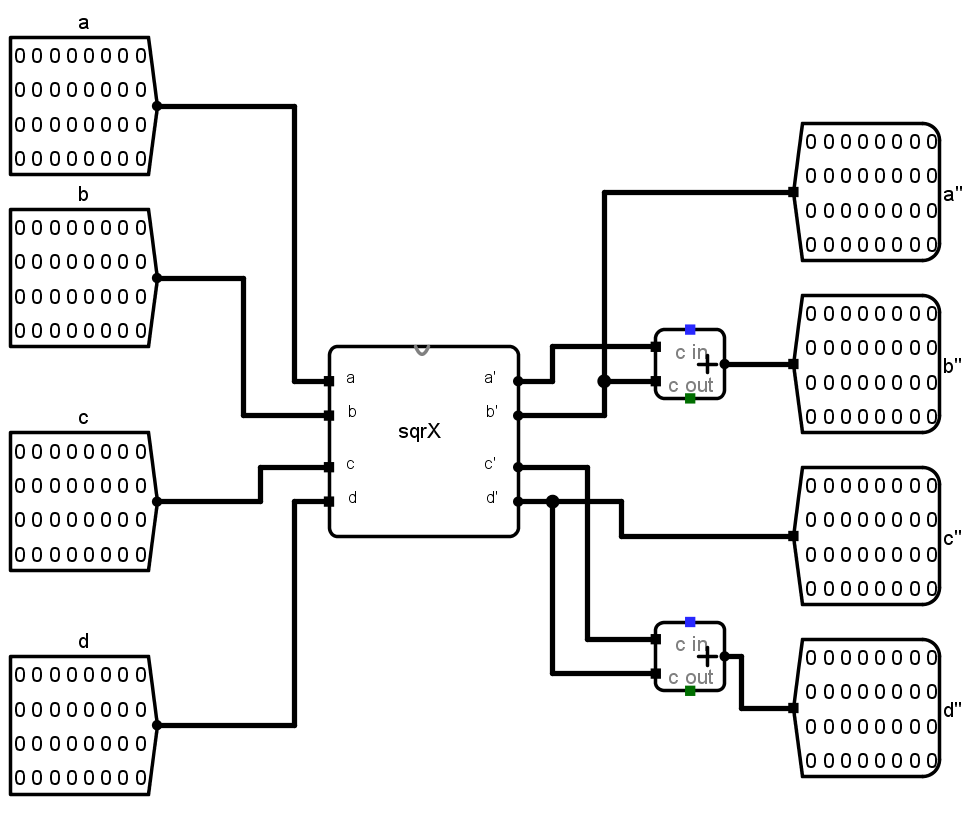


图6.9 矩阵X2·A计算模块的电路图

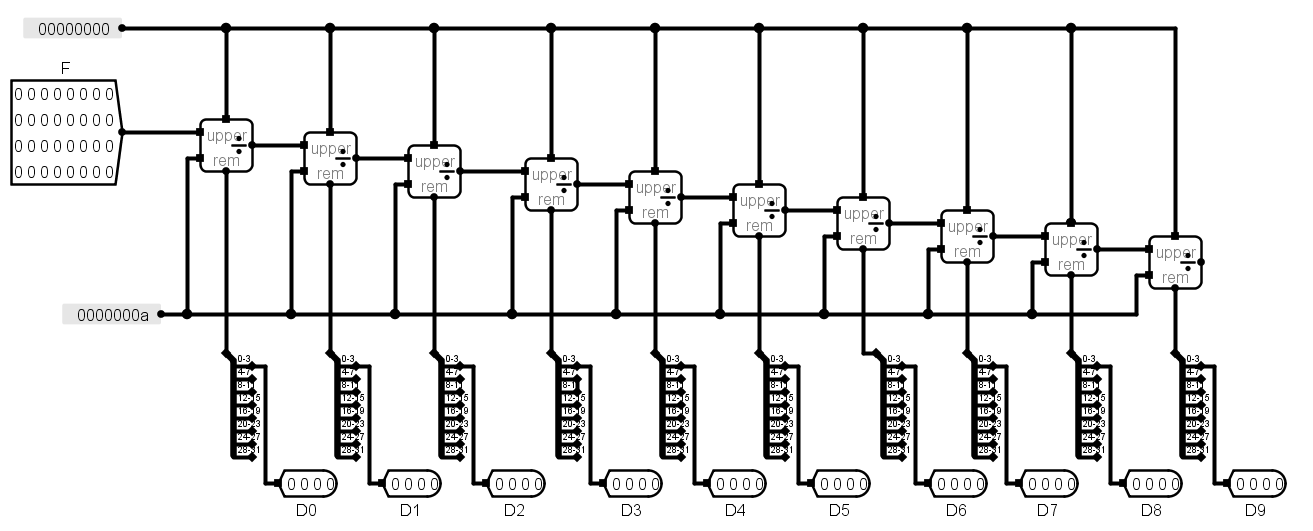


图6.10 显示模块的电路图

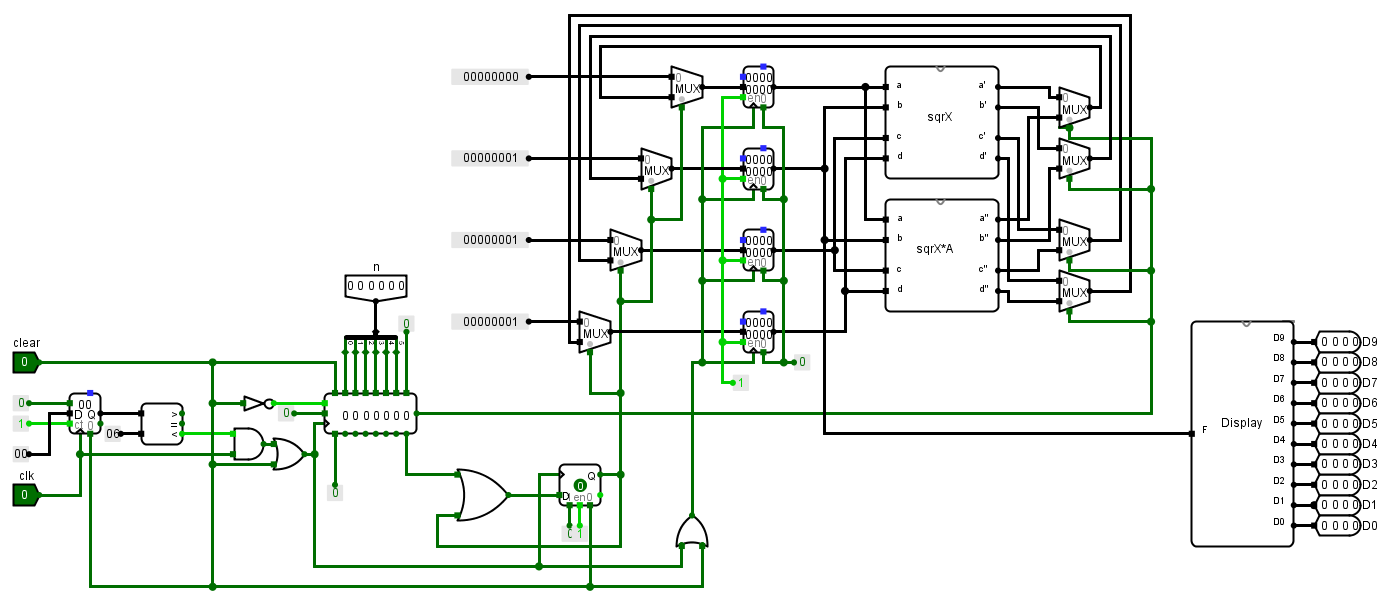


图6.11 Fibonacci数列计算综合模块的电路图

7．实验结果记录

根据下表中所列内容，记录相应信号作用后输出数码管显示数据，并填入表6.1中（注：要求clear、clock使用按钮输入）。

表6.1 实验结果记录表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Input n | clear | 1st clock | 2nd clock | 3rd clock | 4th clock | 5th clock | 6th clock | After  6th clock |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 5 | 1 | 1 | 1 | 1 | 1 | 1 | 5 | 5 |
| 10 | 1 | 1 | 1 | 1 | 1 | 5 | 55 | 55 |
| 17 | 1 | 1 | 1 | 1 | 3 | 21 | 1597 | 1597 |
| 25 | 1 | 1 | 1 | 2 | 8 | 144 | 75025 | 75025 |
| 32 | 1 | 1 | 1 | 3 | 21 | 987 | 2178309 | 2178309 |
| 44 | 1 | 1 | 1 | 5 | 89 | 17711 | 701408733 | 701408733 |
| 45 | 1 | 1 | 1 | 5 | 89 | 17711 | 1134903170 | 1134903170 |
| 46 | 1 | 1 | 1 | 5 | 89 | 28657 | 1836311903 | 1836311903 |
| 47 | 1 | 1 | 14 | 5 | 89 | 28657 | 2971215073 | 2971215073 |

8. 实验结果提交

要求：（1）本次实验的全部电路都在同一个Logisim文件中，子电路结构如图6.6所示；

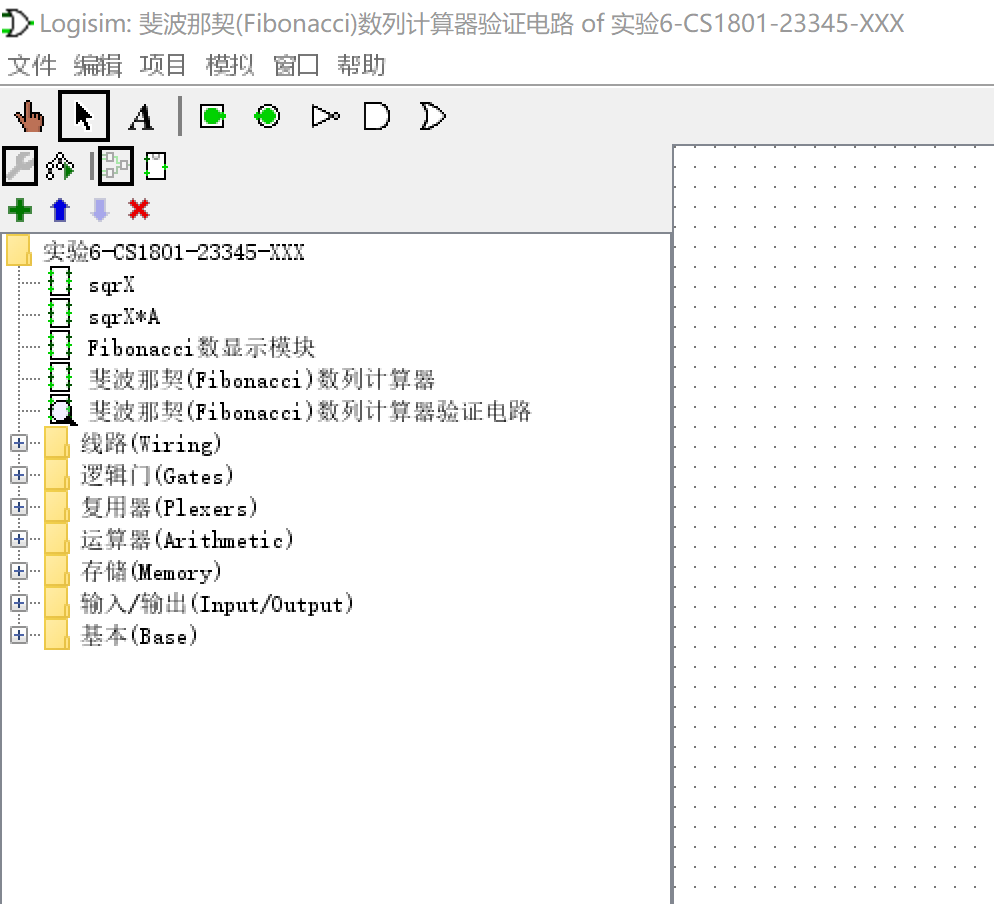


图6.6 实验6子电路结构

（2）上交Logisim电路文件，命名格式：实验6-班级-学号-姓名。

（3）以word文档的形式提交实验要求中的（1）、（5）以及表6.1，命名格式：实验6 -班级-学号-姓名。