实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，12小时计时；当Set=1时，24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 5.3 led点阵显示器

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“**Alarm**”为输入的时间设定提醒值（闹钟值）；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5.7电子钟的“输入、输出检查要求”



图 5.8电子钟的测试电路

6. 实验方案设计

要求：（1）给出设计过程或设计思路；（2）画出电路图。

（1）具有校准计数值的六十进制计数器电路

设计思路：采用两个实验二所设计的“四位二进制可逆计数器”作为六十进制的工具。当Adj为0时，CPd输入信号视为无效；当Adj为1时，CPd输入信号有效。Adj不影响CPu，当个位计数器输出为（1111）2且存在CPu输入信号时，十位计数器的CPu获得一个输入信号，形成一个两位的十六进制计数器。最后利用乘法器获得十位\*16+个位的十进制值，再利用除法器获得该值除以10得到的商和余数分别获得**Q1D Q1C Q1B Q1A**和**Q0D Q0C Q0B Q0A** ,即转换成8421码输出**。**

当十位和个位的输出为（0011 1100）2= 60时, CLR启动，将个位和十位清零，此时如果Adj为0，则输出进位信号。

测试电路图如图5.9所示：

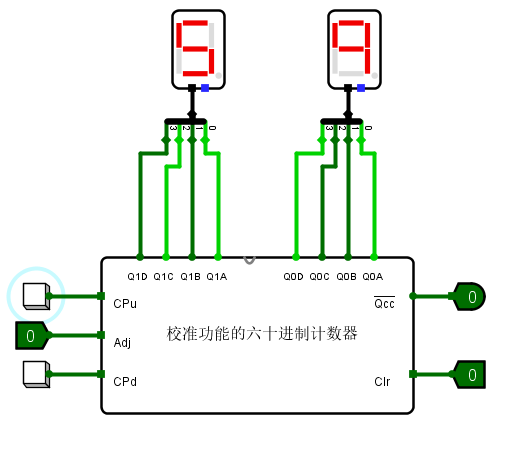


图5.9 六十进制计数器封装测试电路

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

设计思路：采用两个实验二所设计的“四位二进制可逆计数器”作为工具。基本思路和六十进制计数器一致。十二进制和二十四进制每个时刻的对应关系如表5-1所示。

表5-1 十二进制与二十四进制对应时间表

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 二十四进制 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |
| 十二进制（上） | 12 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |
| 二十四进制 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 |
| 十二进制（下） | 12 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |

由于要多考虑一层二十四进制和十二进制的切换，经过多次调整改动，最终确定的设计是：当计数器到达12时进行CLR清零，同时输出进位信号；进位信号连接一个T触发器的时钟端，该触发器的输出信号改变表示上/下午的切换，0表示上午，1表示下午。

Set输入信号作为选择器的选择端，当Set = 0时，只要将0点转换成12点，就可根据计数器的结果正常输出；当Set = 1时，所有时间按照（计数器结果+ 上下午输出信号\*12）的结果进行输出。

测试电路图如图5.10所示：

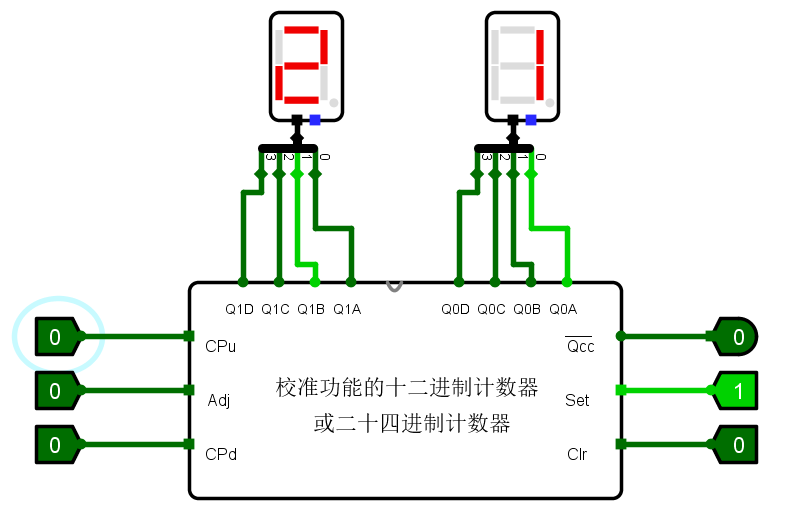


图5.10 十二进制或二十四进制的计数器封装测试电路

（3）显示“上午”、“下午”的电路

设计思路：利用五个多路选择器，TT等于0时，每列的输出均为0000000；TT等于1时，根据AM/FM作为选择端的每列输出的变化拼出“上”和“下”的字符。

测试电路图如图5.11所示：

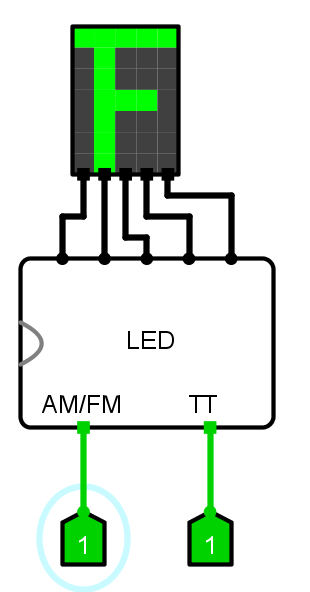


图5.11 上下午显示器封装测试电路

（4）电子钟整点报时电路

设计思路：由于整点报时在59分50秒被触发，持续10秒，所以只要判断输入的分钟为“5”“9”，输入的秒的十位为“5”时，报时系统被触发即可。

测试电路图如图5.12所示：

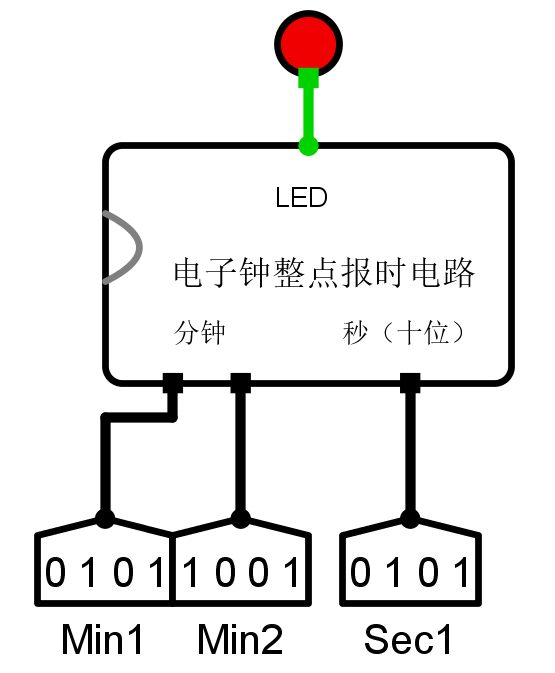


图5.12 电子钟整点报时器封装测试电路

（5）秒计时脉冲产生电路

设计思路：将8hz的信号转换成1hz，思路是使用一个计数器，当输入一个脉冲则计数器加1，直到正向计数达到最大值时输出一个高电平信号。计数器的最大值设置成不同值可以满足不同频率的转换需求。

（6）闹钟（选做）

设计思路：

闹钟的输入有：一个开关输入On/Off，一个设定开关Alarm-Set，一个十二进制或二十四进制判断输入Set，两个加减控制输入CPu、CPd，一个对小时/分钟控制的切换Adj1，以及当前电子钟的小时、分钟、秒（十位）。

闹钟的输出有：设定好的小时、分钟；进位信号，闹钟相应信号Output（用Led灯表示）。

当Alarm-Set为1时，可以通过CPu、CPd和Adj1改变设定的时间；Set与电子钟正常时钟相连通，使闹钟进制与外部一致。

当On/Off为0，闹钟不生效；当On/Off为1，电子钟时间与设定时间的小时和分钟都一致的时候，秒十位等于0的情况下，输出Led会持续亮灯十秒。

测试电路图如图5.13所示：

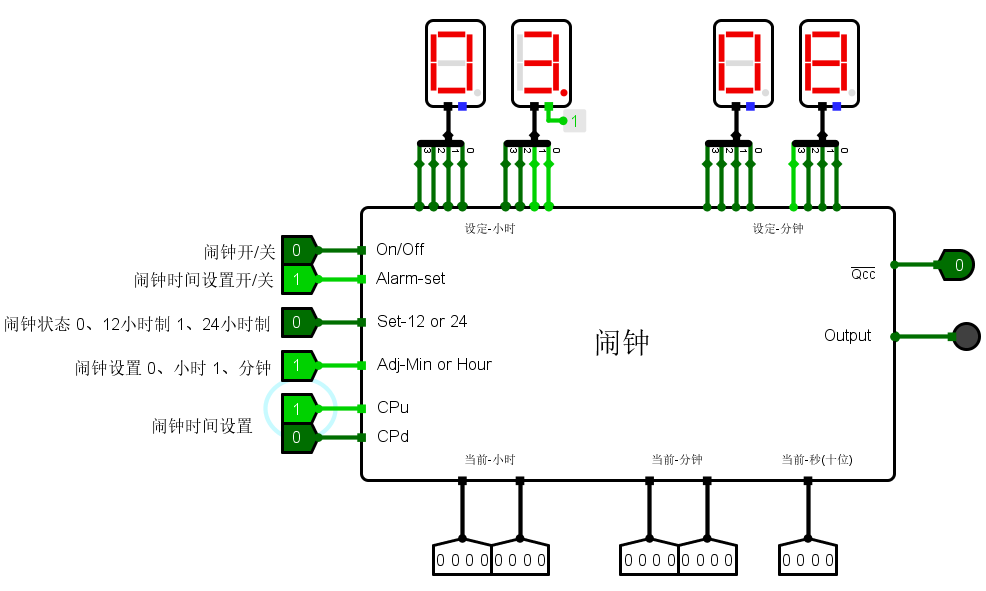


图5.13 闹钟封装测试电路

（7）多功能数字钟电路

设计思路：将上述电路进行组合

时间显示模块：使用两个六十进制计数器作为分钟和秒的计数，一个十二进制或二十四进制计数器作为小时的计数。秒计时脉冲产生电路产生秒的CPu输入信号，秒的计数器的进位信号接分钟的CPu，分钟的计数器的进位信号接小时的CPu，小时的计数器的进位信号接入一个T触发器，每次改变AM/PM的输入，改变“上/下”的输出，TT的输入等于。

时间调整模块：利用二路选择器，当Adj0等于1时，秒计时脉冲产生电路不产生输入信号，此时可以通过Adj1的值手动使用CPu、CPd进行时间的调整；

整点报时模块：将输出的电子钟时间连接到整点报时的输入；

闹钟模块：通过一个二路选择器将闹钟设定的时间（秒为“00”）和电子钟本身的时间分成两路，用Alarm\_Set进行显示的切换。

测试电路图如图5.14所示：

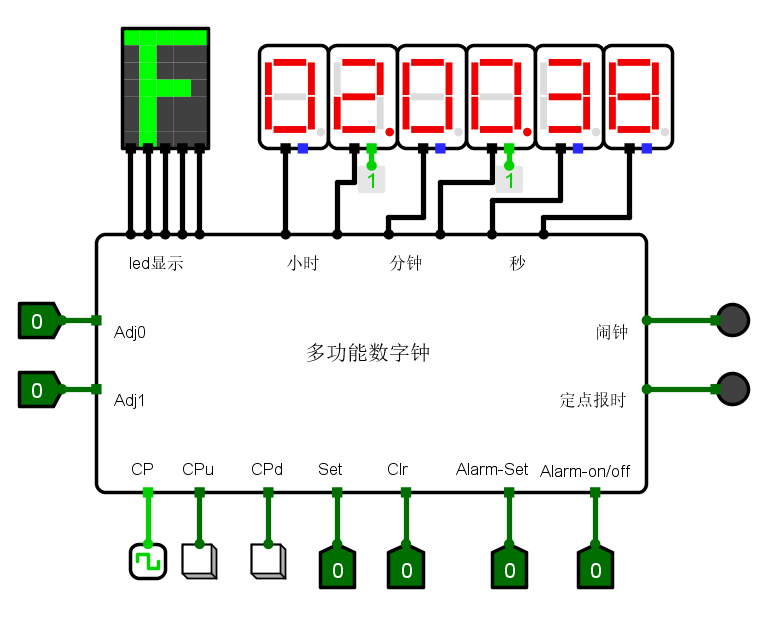


图5.14 多功能数字钟封装测试电路

7. 实验结果记录

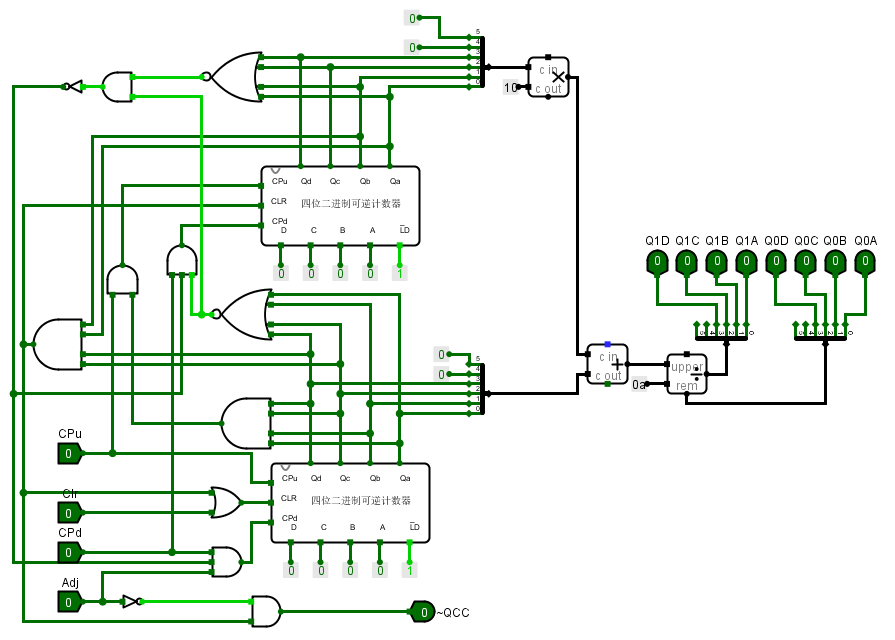


图5.15 六十进制计数器电路图

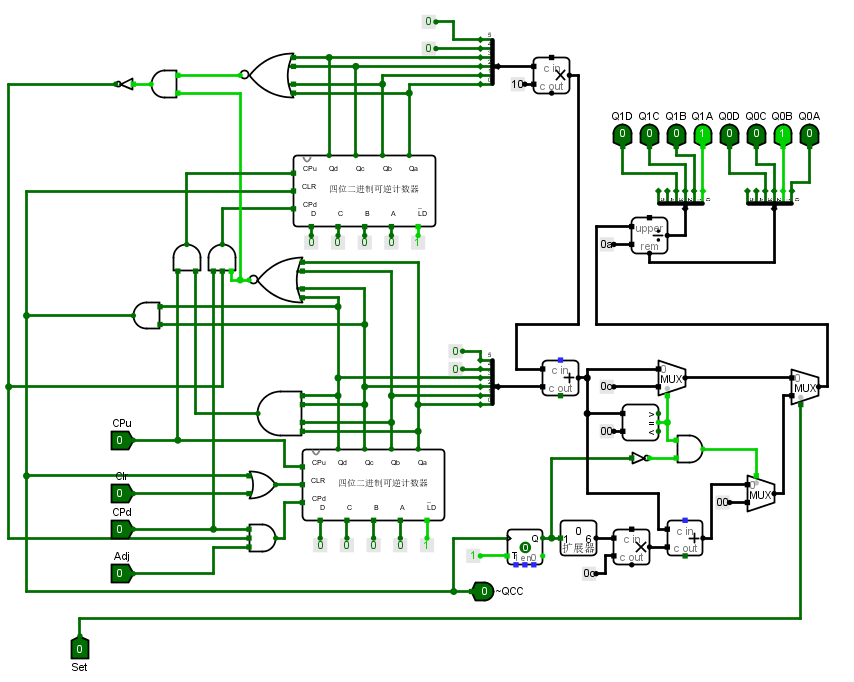


图5.16十二进制或二十四进制的计数器电路图

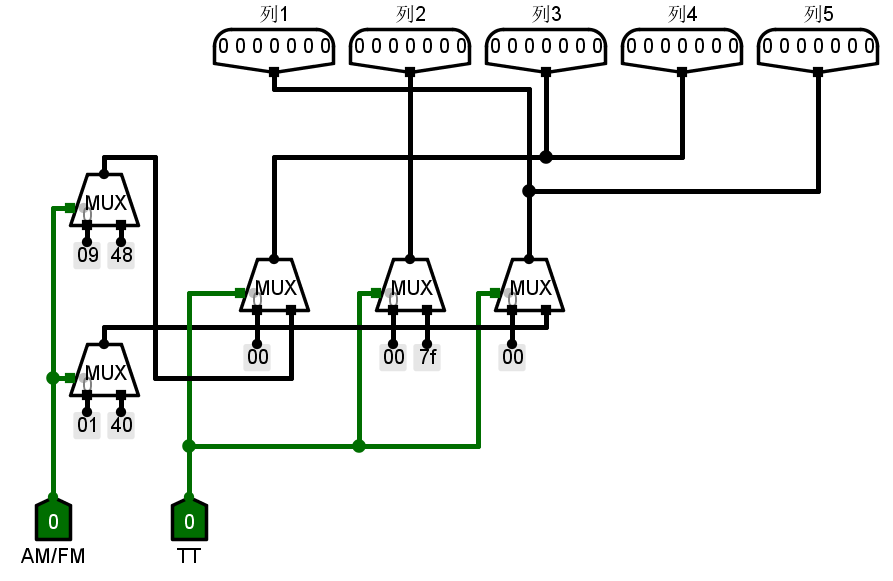


图5.17 上下午显示器电路图

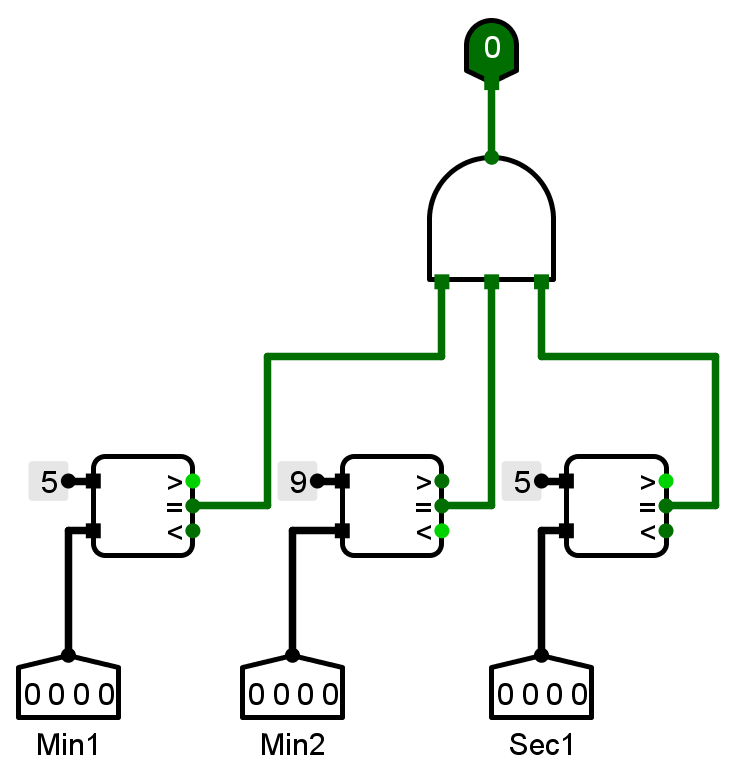


图5.18 电子钟整点报时器电路图

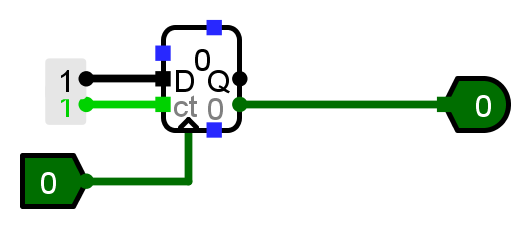


图5.19 秒计时脉冲产生电路图

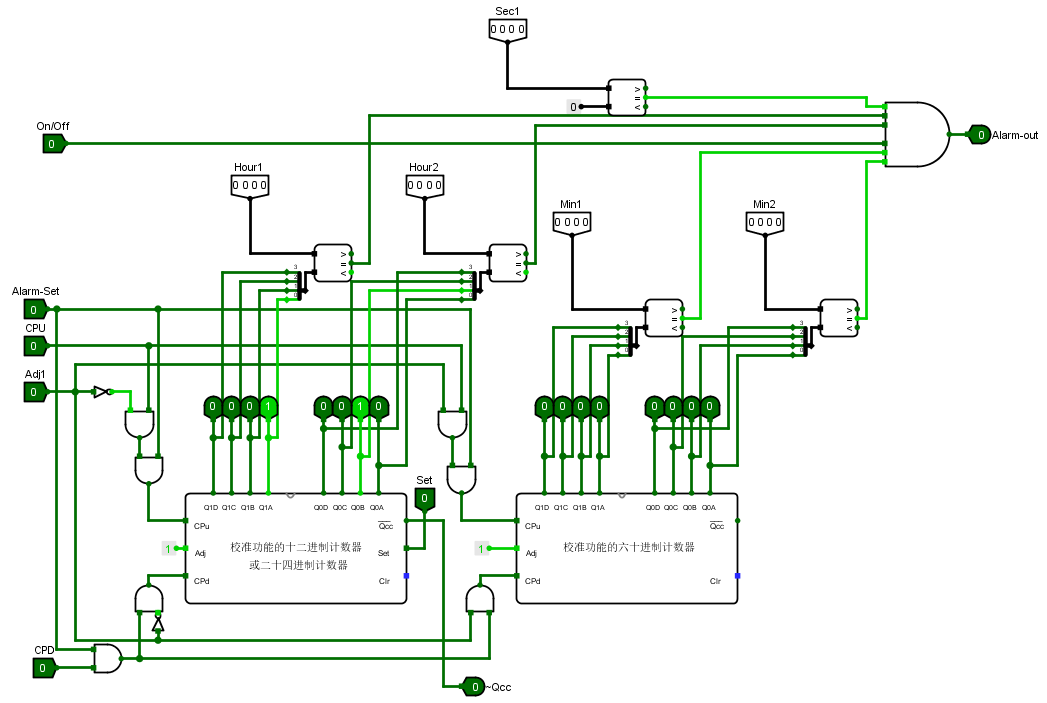


图5.20 闹钟电路图

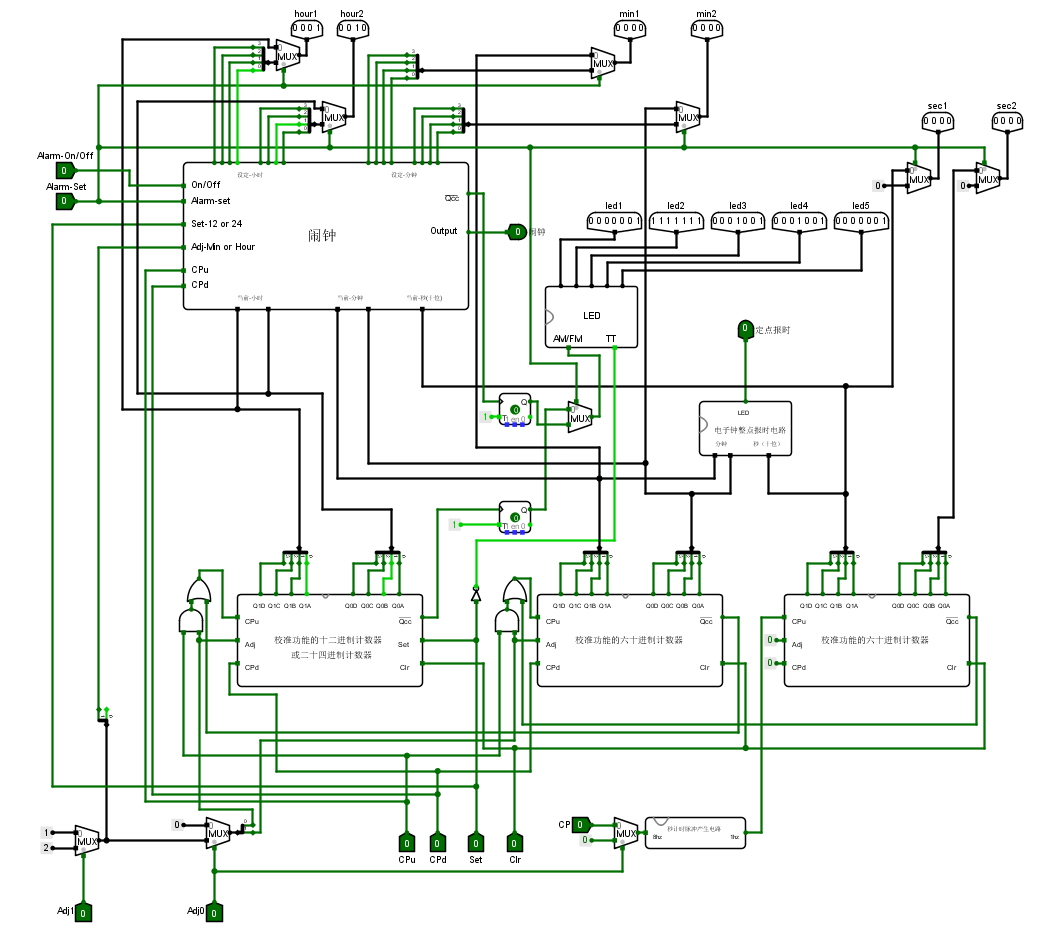


图5.21 多功能数字钟电路图

8. 实验后的思考

（1）实验的难点在哪些方面？

问题一：在进行十二进制和二十四进制切换时，无法同时实现以下两点：

1. 改变Set后十二进制的数和二十四进制的相对应；
2. 在二十四进制的23点到0点时输出进位信号，在十二进制的两次上下午切换时输出进位信号；

问题二：做闹钟的时候，一开始考虑不周全，只想到使用比较器使得“设定时间=电子钟时间”就可以，结果发现在切换进制后两个时间在数值上不相等（比如23点和下午11点）；

问题三：在调整闹钟时间的时候，电子钟系统时间和闹钟时间的显示切换。

（2）如何解决这些难点？

问题一解决方法：一开始的思路是以24进制为主，12进制通过运算转换而得，这样做可以解决1，但是无法解决2；然后尝试着根据Set切换改变进制，24进制就在23-0点进位，12进制就在12进位，这样做导致Set更换时两个进制无法对应转换。最后解决的方法是以12进制为主，每次进位输出的进位信号经过一个T触发器进行上下午的切换，有效地解决了1、2两点问题。

问题二解决方法：给闹钟也加上Set输入，使其进制和电子钟系统时间一致，这样只要报纸调试和切换时进制、上下午的一致，都可以直接比对时间来判断是否响铃；

问题三解决方法：在电子钟最后的输出中加上二路选择器，用Alarm-Set作为选择端输入，在设定闹钟的时候输出闹钟的设定时间，在正常工作的时候输出系统时间，两者互不干扰，只是取决于Alarm-Set的值来判断显示哪一个。