实验四：无符号数的除法器设计

1. 实验名称

无符号数除法器的设计。

2. 实验目的

要求使用合适的逻辑电路的设计方法，通过工具软件Logisim进行无符号数的除法器的设计和验证，记录实验结果，验证设计是否达到要求。

通过无符号数的除法器的设计、仿真、验证3个训练过程，使学生掌握数字逻辑电路的设计、仿真、调试的方法。

3．实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内4个课时，课外4个课时。

5．实验内容

（1）四位除法器设计

四位除法器实现两个无符号的4位二进制数的除法运算，其结构框图如图4.1所示。设被除数为n2(3:0)，除数为d(3:0)，商为quot(3:0)，余数为rem(3:0)。

Div4

n2(3:0)

d(3:0)

quot(3:0)

rem(3:0)

4.1 四位除法器结构框图

四位除法器Div4算法步骤如下：

1. 设n1="0000"，将被除数以n1:n2 的形式拼接，除数为d；
2. 重复4次：

将n1:n2左移1位；

if (n1>=d) begin n1= n1-d; n2 (0)=1 end

1. 商和余数的结果为：quot= n2 ；rem= n1 。

四位除法器也可以用4个相同的模块串接而成。每个模块均包含一个减法器、两个2选1多路选择器、一个比较器和一个移位器shl。请参照四位乘法器的设计思路，实现两个无符号的4位二进制数的除法器。

（2）32位除法器设计

32位除法器Div32实现两个无符号的32位二进制数的除法运算，其结构框图如图4.2所示。设被除数为n(31:0)，除数为d(31:0)，商为quot(31:0)，余数为rem(31:0)。

Div32

n(31:0)

d(31:0)

quot(31:0)

rem(31:0)

图 4.2 32位除法器结构框图

对四位除法器Div4中4个相同的模块之一进行改进，将数据通路上的数据位宽都扩展为32位，得到一个Div1。将32个Div1拼接起来即可实现Div32。

6. 实验设计过程

要求写出设计思想，画出除法器Div4的内部逻辑结构框图（仿照Mul4🞨4内部结构）；（2）给出Logisim软件绘制的电路图。

7. 实验结果记录

根据实验方案设计要求，对于相应的除法器，在给定的输入条件下，填写表4.1。

表4.1 无符号数的除法器实验结果记录表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **电路** | **输入1（16进制）** | **输入2（16进制）** | **输出（16进制）** | |
| Div4 | n2=0🞨E | d=0🞨9 | quot= | rem= |
| Div4 | n2=0🞨E | d=0🞨0 | quot= | rem= |
| Div32 | n=0🞨019ABEF1 | d=0🞨00004EF1 | quot= | rem= |
| Div32 | n=0🞨A0504EF1 | d=0🞨019ABEF1 | quot= | rem= |

8. 实验结果提交

要求：（1）本次实验的全部电路都在同一个Logisim文件中，子电路结构如图4.3所示；

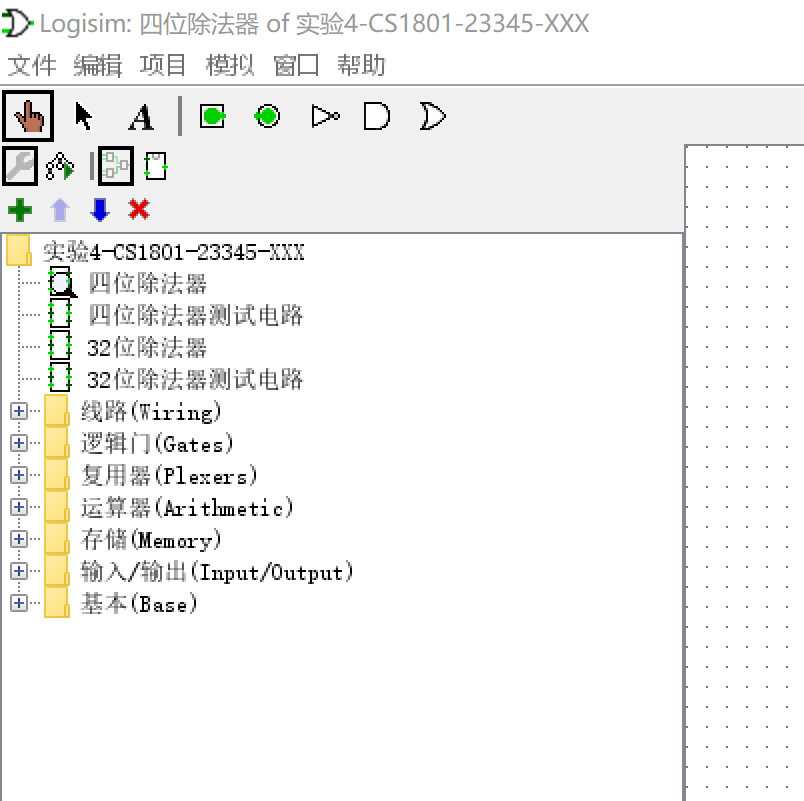


图4.3 实验四子电路结构

注意，所有的测试电路都是指封装之后加入外部的输入输出信号的电路。

（2）上交Logisim电路文件，命名格式：实验4-班级-学号-姓名。

（3）提交表4.1填写结果的截图，命名格式：实验4表4.1-班级-学号-姓名