实验二：小型实验室门禁系统设计

1. 实验名称

小型实验室门禁系统设计。

2. 实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件Logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使学生掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3．实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内4个课时，课外4个课时。

5．实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用Logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用Logisim提供的逻辑元件库。

具体要求如下：

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号如图2.1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、预置控制端、预置初置端DCBA、四个计数器状态输出值**QD QC QB QA**。当预置控制端为低电平时，计数器输出**QD QC QB QA**被预置为DCBA端输入的值。

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

**D C B A**

图2.1 四位二进制可逆计数器

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，满足如下要求：

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号如图2.2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g** **a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2.2 封装后的小型实验室门禁系统

6. 实验方案设计

要求：（1）给出函数表达式或逻辑描述；（2）画出电路图。

1. **四位二进制可逆计数器**

根据题目要求采用异步时序逻辑电路，用D触发器的钟控端实现刷卡加减功能，列出四位二进制可逆计数器的二进制状态表如表2-1所示：

**表2-1**

|  |  |  |
| --- | --- | --- |
| 现态  Q3Q2Q1Q0 | 次态Q3n+1Q2n+1Q1n+1Q0n+1 | |
| CPU | CPD |
| 0000 | 0001 | 1111 |
| 0001 | 0010 | 0000 |
| 0010 | 0011 | 0001 |
| 0011 | 0100 | 0010 |
| 0100 | 0101 | 0011 |
| 0101 | 0110 | 0100 |
| 0110 | 0111 | 0101 |
| 0111 | 1000 | 0110 |
| 1000 | 1001 | 0111 |
| 1001 | 1010 | 1000 |
| 1010 | 1011 | 1001 |
| 1011 | 1100 | 1010 |
| 1100 | 1101 | 1011 |
| 1101 | 1110 | 1100 |
| 1110 | 1111 | 1101 |
| 1111 | 0000 | 1110 |

根据表2-1所示状态表，采用下降沿的D触发器，做出在输入脉冲作用下的状态转移关系和激励函数真值表，如表2-2所示。

**表2-2**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | 次态 | 状态跳变 | | | | 激励函数 | | | | | | | |
| CPDCPU | Q3Q2Q1Q0 | Q3n+1Q2n+1Q1n+1Q0n+1 | Q3 | Q2 | Q1 | Q0 | C3 | D3 | C2 | D2 | C1 | D1 | C0 | D0 |
| 01 | 0000 | 0001 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0001 | 0010 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 0010 | 0011 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0011 | 0100 |  |  |  |  |  | d |  | 1 |  | 0 |  | 0 |
| 0100 | 0101 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0101 | 0110 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 0110 | 0111 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0111 | 1000 |  |  |  |  |  | 1 |  | 0 |  | 0 |  | 0 |
| 1000 | 1001 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1001 | 1010 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 1010 | 1011 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1011 | 1100 |  |  |  |  |  | d |  | 1 |  | 0 |  | 0 |
| 1100 | 1101 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1101 | 1110 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 1110 | 1111 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1111 | 0000 |  |  |  |  |  | 0 |  | 0 |  | 0 |  | 0 |
| 10 | 0000 | 1111 |  |  |  |  |  | 1 |  | 1 |  | 1 |  | 1 |
| 0001 | 0000 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0010 | 0001 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 0011 | 0010 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0100 | 0011 |  |  |  |  |  | d |  | 0 |  | 1 |  | 1 |
| 0101 | 0100 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0110 | 0101 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 0111 | 0110 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1000 | 0111 |  |  |  |  |  | 0 |  | 1 |  | 1 |  | 1 |
| 1001 | 1000 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1010 | 1001 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 1011 | 1010 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1100 | 1011 |  |  |  |  |  | d |  | 0 |  | 1 |  | 1 |
| 1101 | 1100 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1110 | 1101 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 1111 | 1110 |  |  |  |  |  | d |  | d |  | d |  | 0 |

利用卡诺图化简得到

根据表格，可得

最后做出的电路图和封装测试电路图如图2.3、图2.4所示

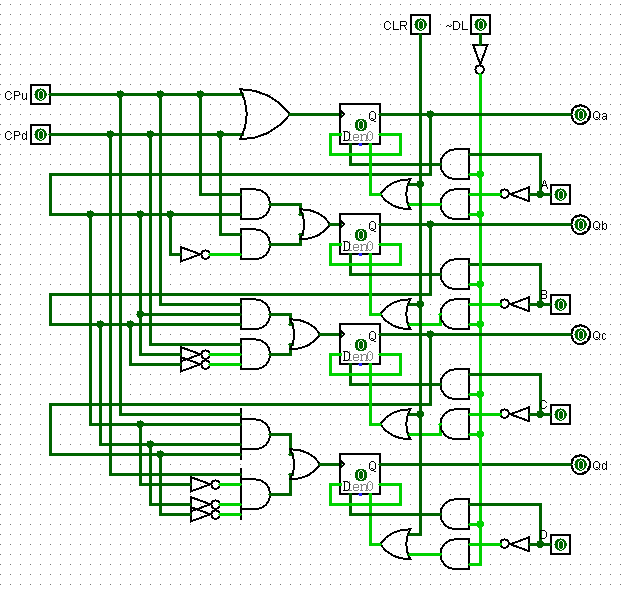


图2.3 四位二进制可逆计数器

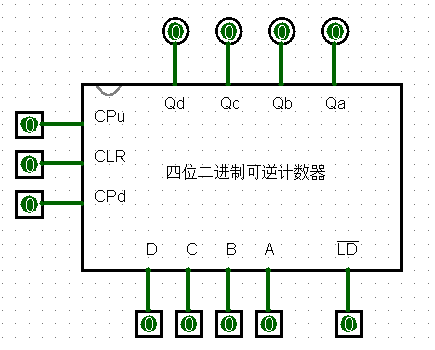


图2.4 四位二进制可逆计数器封装测试电路

1. **二进制转8421BCD码电路**

在转换过程可以利用上次实验实现的先行进位并行加法器，先列出四位二进制数和8421码的对应关系，如表2-3所示。

**表2-3 四位二进制数与8421码对应表**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 十进制数 | 输入(4位二进制数) | | | | 输出(8421码) | | | | | 修正控制 |
| N | A3 | A2 | A1 | A0 | C4 | S8 | S4 | S2 | S1 | Z |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 13 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 15 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |

利用卡诺图化简得：

S8 S4 S2 S1 = A3 A2 A1 A0 + 0ZZ0

据此可以画出四位二进制数转8421码的电路图和封装测试电路如图2.5和图2.6所示：

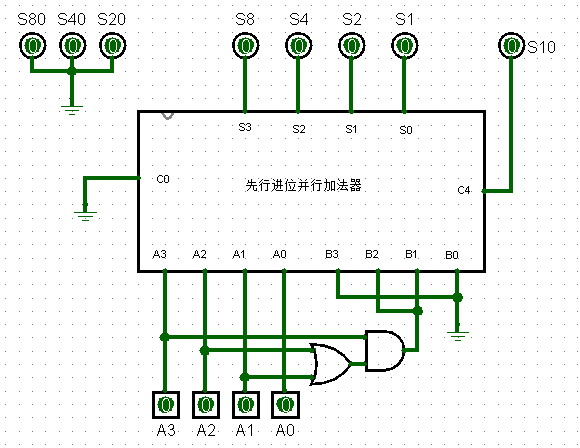


图2.5 四位二进制数转8421码的电路图

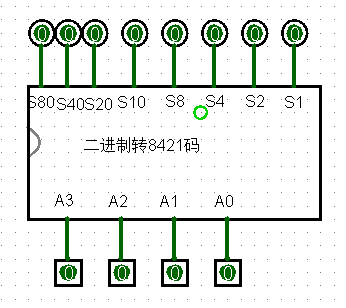


图2.6 四位二进制数转8421码的封装测试电路

1. **显示电路**

根据书上电路，首先设计7段译码器，7段译码器的真值表如表2-4所示：

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  | **a** | **b** | **c** | **d** | **e** | **f** | **g** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

化简得：

a= 210+32A1+3A2A0+A31A0

b= 32+10+21+3A1A0

c= 3A2+21+2A0

d= A21A0+20+2A1A0+ A2A10

e= A10+20

f= 10+A21+A321+A20

g= A21+ A32+2A1+A10

做出显示电路的电路图和封装后的测试电路如图2.7、2.8所示：

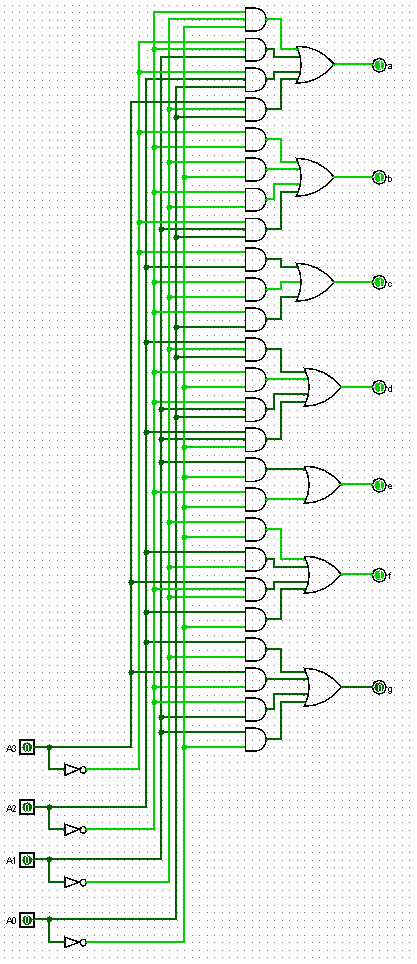


图2.7 显示电路的电路图

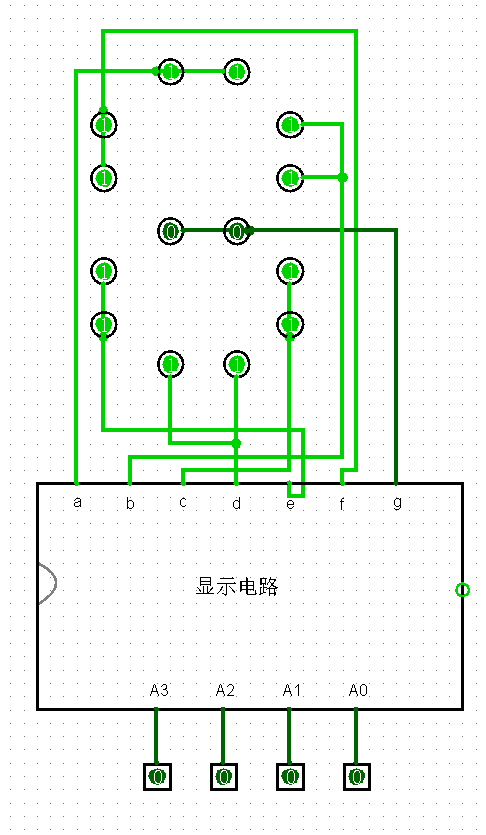


图2.8 显示电路的封装测试电路图

1. **报警电路**

当实验室满员时计数器的输出均是高电平，将4个输出端相与后取非得到满员状态的信号。

当实验室无人时计数器的输出均是低电平，将4个输出端的非相与后取非得到无人状态信号。

利用A·0=0，设满员信号为M，无人信号为N：

CPu = 进入刷卡信号·M ； CPd = 出门刷卡信号·N

报警 = 进入刷卡信号·

报警系统的电路图如图2-9所示：

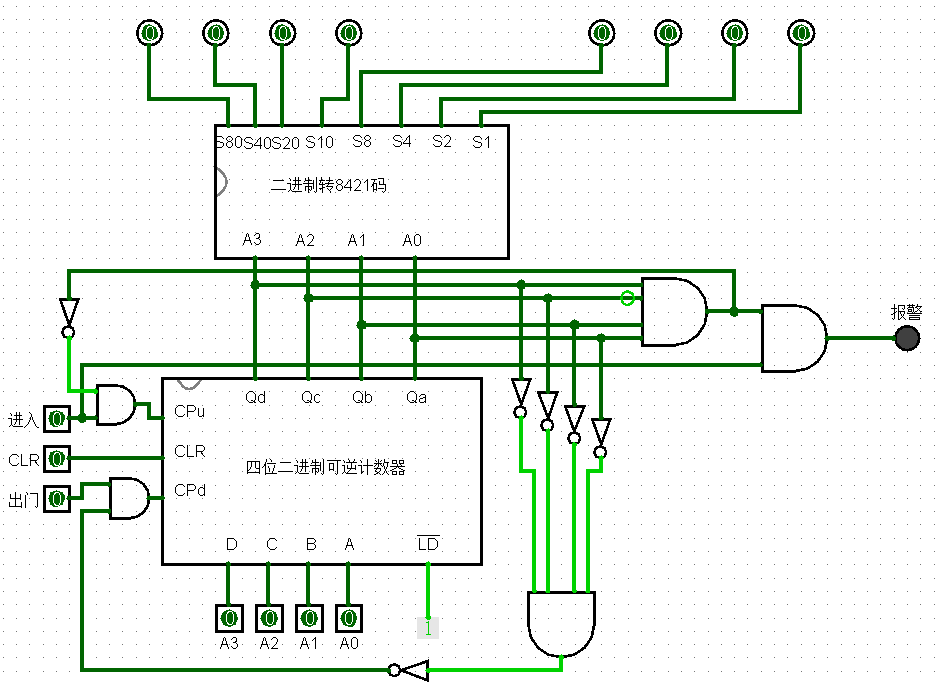


图2-9 报警电路的电路图

1. **小型实验室门禁系统电路的封装**

将上述系统耦合后得到小型实验室门禁系统电路的电路图，如图2-10所示；

利用7段数码管和发光二极管进行封装，测试电路如图2-11所示；

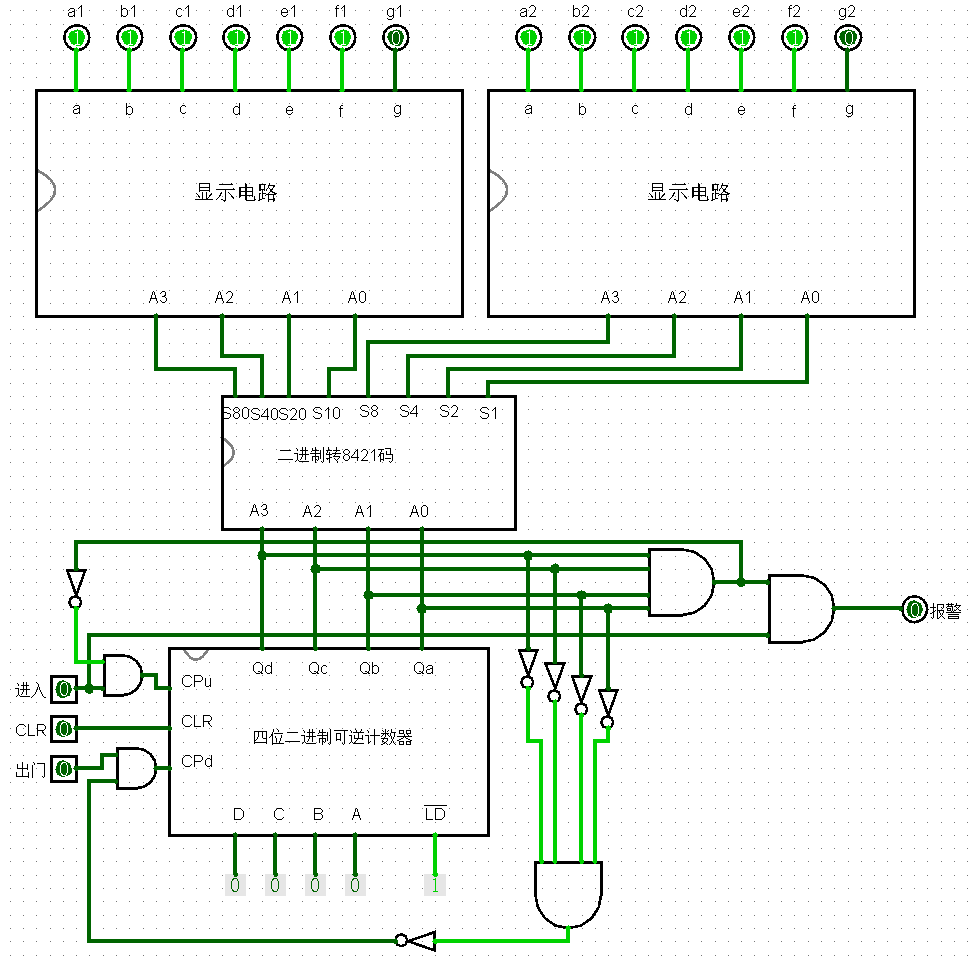


图2-10 小型实验室门禁系统的电路图

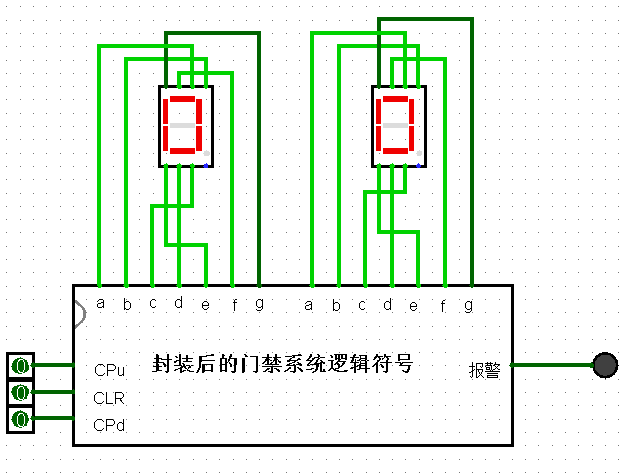


图2-11 小型实验室门禁系统的封装测试电路