



## چکیده

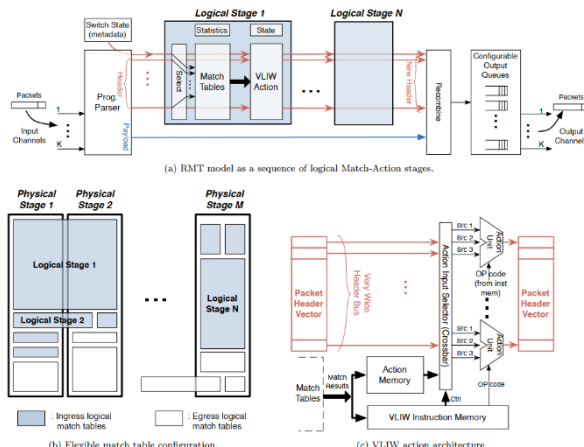
متن معرفی یک مدل نوین به نام "جدول تطابق بازپیکرانه" یا RMT را مطرح می‌کند که امکانات بیشتری را در سویچ‌های شبکه ایجاد می‌کند. این مقاله طراحی یک تراشه سویچ که این مدل را پیاده‌سازی می‌کند، شرح داده شده و امکان پذیر بودن آن نشان داده می‌شود. این تراشه به تعدادی امکانات و انعطاف بیشتر نسبت به سویچ‌های معمولی ارائه می‌دهد، هرچند که مصرف برق بیشتری دارد و هزینه آن کمی بیش‌تر است. متن همچنین به سایر فناوری‌ها اشاره می‌کند و محدودیت‌های آن‌ها را برجسته می‌کند. طراحی تراشه بر اساس مدل RMT این امکان را فراهم می‌کند که فیلدهای جدید افزوده شوند، جدول جستجو بازپیکرانه شوند، و پردازش سرآیند از طریق بازپیکرانه‌سازی نرم‌افزاری انجام شود. متن به نتیجه می‌رسد که طراحی پیشنهادی تراشه امکانات جدیدی را برای سویچ‌های شبکه باز می‌کند.

## خلاصه

### مقدمه

این مقاله درباره شبکه‌های (SDN) حرف می‌زند که در آن صفحه کنترل به صورت فیزیکی از صفحه انتقال جدا شده است. نرم‌افزار کنترل این صفحه انتقال (مانند سوئیچ‌ها و روترها) را با استفاده از یک رابط باز، مانند OpenFlow، برنامه‌نویسی می‌کند. این مقاله از دو محدودیت در تراشه‌های جاری سوئیچ و پروتکل OpenFlow استفاده می‌کند: (۱) سوئیچ‌های سخت‌افزاری جاری بسیار انعطاف‌ناپذیر هستند و تنها "انطباق-عمل" پردازش را تنها در یک مجموعه ثابت از فیلدها ممکن می‌سازند، و (۲) مشخصات OpenFlow فقط یک مجموعه محدود از اقدامات پردازش بسته را تعریف می‌کند. مقاله مدل RMT را معرفی می‌کند، یک مدل معماری خط لوله‌ای جدید الهام گرفته از RISC برای تراشه‌های سوئیچ، و مجموعه حداقلی از ابزارهای عملیاتی را مشخص می‌کند تا نحوه پردازش سرآیندها در سخت‌افزار را مشخص کند. RMT امکان تغییر صفحه انتقال را در زمینه بدون انجام تغییرات سخت‌افزاری فراهم می‌کند. در واقع، برنامه‌نویس می‌تواند چندین جدول انطباق را با عرض و عمق دلخواه مشخص کند، هر جدول قابل پیکربندی برای انطباق با هر فیلد دلخواه باشد، و همچنین به برنامه‌نویس این امکان را می‌دهد که تمامی فیلدهای سرآیند را بسیار گسترده‌تر از OpenFlow تغییر دهد. این مقاله طراحی یک تراشه ۶۴ پورت با سرعت ۱۰ گیگابیت بر ثانیه را که مدل RMT را پیاده‌سازی می‌کند، شرح می‌دهد. طراحی نشان می‌دهد که پیاده‌سازی انعطاف‌پذیر سوئیچ OpenFlow تقریباً هزینه یا توان اضافی نیاز ندارد.

## معماری RMT



این معماری توسط چندین مرحله پایپ‌لاین تشکیل شده است، هرکدام دارای یک جدول مطابقت با ابعاد قابل تنظیم برای مطابقت با فیلدها هستند. سوئیچ RMT شامل یک پارسر برای مطابقت با فیلدها و مراحل مختلف مطابقت است، که ممکن است با مشکلات ازدحام روبرو شوند. این پارسر قابل تنظیم است، به این معنا که می‌تواند تغییرات در تعاریف فیلدها اعمال کند، و خروجی آن یک بردار سرآیند بسته با اطلاعات فراداده است. مراحل منطقی

مطابقت امکان اندازه‌گیری جداول مطابقت با قابلیت تنظیم را فراهم می‌کند، و دستورات گسترده امکان اعمال تغییرات همزمان در فیلدهای بردار هدر را فراهم می‌کنند. جریان کنترل توسط آدرس‌های جدول بعدی مدیریت می‌شود که بر مراحل پردازش بعدی تأثیر می‌گذارند. یک بلوک بازترکیب اصلاحات بردار سرآیند را یکپارچه می‌کند، و صف‌گذاری با انضباط‌های قابل تنظیم مدیریت خروجی بسته را انجام می‌دهد. این معماری افزودن فیلدها، حافظه‌ها، اقدامات و انضباط‌های صف را بدون نیاز به تغییرات سخت‌افزاری پشتیبانی می‌کند. معماری اجرایی با سرعت ۶۴۰ گیگابیت بر ثانیه از مراحل فیزیکی لوله‌ای، تجزیه و تحلیل وضعیت، تخصیص منابع انعطاف‌پذیر و بهینه‌سازی چیدمان استفاده می‌کند. محدودیت‌هایی نیز برای اجرای این معماری وجود دارد که شامل مراحل مطابقت ثابت، محدودیت‌های هدر بسته، محدودیت‌های حافظه و اقدامات است. پیگیری نیاز به یک نمودار برای توالی‌های هدر و یک نمودار جریان برای جداول مطابقت و کنترل جریان دارد، که ممکن است به وسیله یک کامپایلر هنوز به طور کامل توسعه یافته نشده باشد.

### طراحی تراشه

تراشه این سویچ با فرکانس ۱ گیگاهرتز کار می‌کند و اطلاعات ورودی از ۶۴ پورت ۱۰ گیگابیتی را پردازش می‌کند. از ۱۶ پارسر ورودی برای مدیریت تا ۴۰ گیگابیت پهنای‌بند استفاده شده است. پارسرها اطلاعات ورودی را با استفاده از بردار سرآیند ۴ کیلوبیتی مشخص و ثابت پردازش می‌کنند و این اطلاعات به یک لوله مطابقت ۳۲ مرحله‌ای هدایت می‌شوند. بافر مشترک بزرگی برای جبران تأخیرهای صف‌گذاری فراهم شده است. سیستم صف‌گذاری به همراه بافر داده مشترک از اطلاعات بسته مراقبت می‌کند. پس از پردازش خروجی و انجام مطابقت در ۳۲ مرحله، داده‌ها به پورت خروجی مناسب هدایت می‌شوند و از تراشه توسط ۶۴ کانال خروجی SerDes خارج می‌شوند. استفاده از لوله پردازش جداگانه در ورودی و خروجی این امکان را فراهم می‌کند که بسته‌های چندگانه را بدون نیاز به ذخیره چندین نسخه در بافر مدیریت کرده و سفارشی‌سازی‌های مرتبط با خروجی انجام شود.

هزینه‌های قابل تنظیم بودن تراشه به ازای افزایش مساحت و توان نسبت به یک تراشه‌ی کمتر قابل برنامه‌ریزی معمولی مورد بررسی قرار گرفته است. مقایسه‌ی هزینه‌ها در بخش ۵.۵ به مقایسه‌ی کل مساحت و توان تراشه می‌انجامد. ابتدا هزینه‌های پارسر، مراحل مطابقت و پردازش عملیات به تفصیل مورد بررسی قرار گرفته‌اند. برنامه‌پذیری با هزینه‌هایی همراه است. یک پارسر معمولی بهینه‌سازی شده برای یک گراف تجزیه خاص استفاده می‌شود، در حالی که یک پارسر برنامه‌پذیر باید هر گراف تجزیه پشتیبانی شده را اداره کند. هزینه پارسر برنامه‌پذیر حدوداً دو برابر هزینه پارسر سنتی است، اما این هزینه نهایی نسبت به کل مساحت تراشه کمتر از ۱ درصد است. هزینه حافظه‌ها شامل هزینه فناوری حافظه، هزینه داده‌های اضافی مورد نیاز در هر ورودی جدول مطابقت و هزینه فراگمان‌سازی داخلی است. هزینه فناوری حافظه بررسی شده و نشان داده شده که استفاده از تکنیک‌های مختلف حافظه به همراه برنامه‌پذیری، هزینه را بهبود می‌بخشد. به عنوان مثال، استفاده از شیوه هش کوکو (cuckoo hashing) برای مطابقت دقیق و استفاده از حافظه‌های متناوب (TCAM) برای مطابقت گسترده، با توجه به افزایش بهره‌وری تکنیک‌ها، هزینه‌ها را کاهش می‌دهد. همچنین نشان داده شده است که افزودن اطلاعات اضافی به هر ورودی جدول مطابقت، همچنین هزینه‌های اضافی به حافظه اضافه می‌کند. در نهایت، هزینه‌های فراگمان‌سازی داخلی یا هزینه‌های بسته‌بندی نیز مورد بررسی قرار گرفته‌اند. استفاده از ترکیب دو تکنیک، بسته‌بندی داده‌های متغیر در یک واژه داده و بسته‌بندی گروه‌های مختلف از ورودی‌های جدول مطابقت، باعث استفاده بهینه از حافظه در تنوع وسیعی از پیگیری‌ها می‌شود. هزینه‌های حافظه مطابقت و عملیات به میزان قابل توجهی به مساحت تراشه اضافه می‌کنند. نتایج نشان می‌دهند که هزینه‌های اضافی توان و مساحت تراشه در حدود ۱۵٪ نسبت به یک سویچ معمولی است، که با توجه به قابلیت‌ها و عملکرد گسترده‌تر تراشه، به‌طور کلی بسیار کمتر از مزایای کلی آن است.