



دانشکده مهندسی کامپیوتر
استاد : خانم دکتر پریا دربانی

سید مهدی رضوی

آذر ۱۴۰۱

فهرست مطالب

۳	۱ مقدمه
۴	۲ T Flip-Flop
۵	۳ پیاده سازی با زبان VHDL
۷	۱.۳ تست کردن پیاده سازی فلیپ فلاپ
۸	۴ طراحی یک شمارنده ۳ بیتی
۱۰	۵ نتیجه گیری

فهرست تصاویر

۴	۱ جدول درستی T-FF
۴	۲ مدار T-FF
۶	۳ شکل موج فلیپ فلاپ
۸	۴ جدول تحریک فلیپ فلاپ ها
۹	۵ مدار یک شمارنده ۳ بیتی
۹	۶ دیاگرام شمارنده ۳ بیتی

کلیه مدارهای دیجیتالی که در آزمایش‌های قبلی مورد بررسی قرار گرفت ، از نوع ترکیبی بودند ؛ بدان معنا که خروجی مدار دیجیتال تنها تابع ورودی‌های مدار هست.

در بسیاری از سیستم‌ها ما با مفهوم حافظه و وابستگی خروجی به مقدار قبلی روبرو هستیم.

مفهوم حافظه با وجود عنصر زمان معنا پیدا خواهدکرد. برای این منظور از مفهوم سیگنال ساعت clock . استفاده خواهیم کرد

از ساده‌ترین عناصر حافظه‌ای می‌توان به فلیپ‌فلاپ اشاره کرد.

انواع مختلفی از فلیپ‌فلاپ‌ها مانند J-K Flip-Flop و D Flip-Flop و S-R Flip-Flop خواهدبود.

که در جلوتر به پیاده‌سازی یک فلیپ‌فلاپ از نوع T Flip-Flop می‌پردازیم.

T Flip-Flop ۲

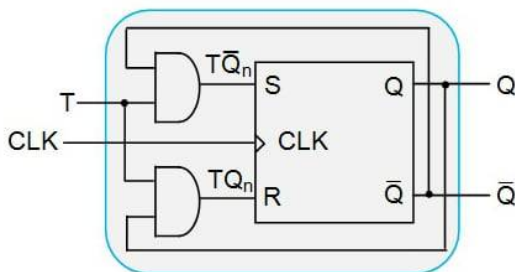
همانطور که از جدول درستی این فلیپ‌فلاپ نیز پرشفاف است، در صورت وجود لبه بالارونده سیگنال clock و همچنین یک بودن سیگنال T، فلیپ‌فلاپ خروجی ما را نسبت به خروجی قبلی معکوس خواهد کرد. همچنین در صورت وجود لبه بالارونده سیگنال clock و همچنین صفر بودن سیگنال T خروجی ما نسبت به حالت قبلی تغییر نخواهد کرد. در صورت وجود لبه پایین رونده سیگنال clock نیز تغییری در خروجی نخواهیم داشت.

Truth table			
CLK	T	Q_{next}	Comment
Rising edge	0	Q	Hold state
Falling edge	0	Q	Hold state
Rising edge	1	\bar{Q}	Toggle
Falling edge	1	Q	No change

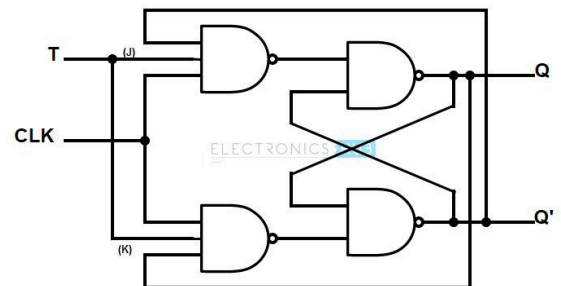
Q_{next} - "after the clock transition" output

Q - the current output

شکل ۱: جدول درستی T-FF



(ب) مدار دیجیتال T-FF



(آ) مدار در سطح گیت T-FF

شکل ۲: مدار T-FF

۳ پیاده سازی با زبان VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity T_FLIPFLOP_SOURCE is
    Port ( T,CLK,RES,TEMP : in STD_LOGIC;
          Q,QB : out STD_LOGIC);
end T_FLIPFLOP_SOURCE;

architecture Behavioral of T_FLIPFLOP_SOURCE is

begin

PROCESS(T,CLK,RES)

VARIABLE TEMP:STD_LOGIC:='0';

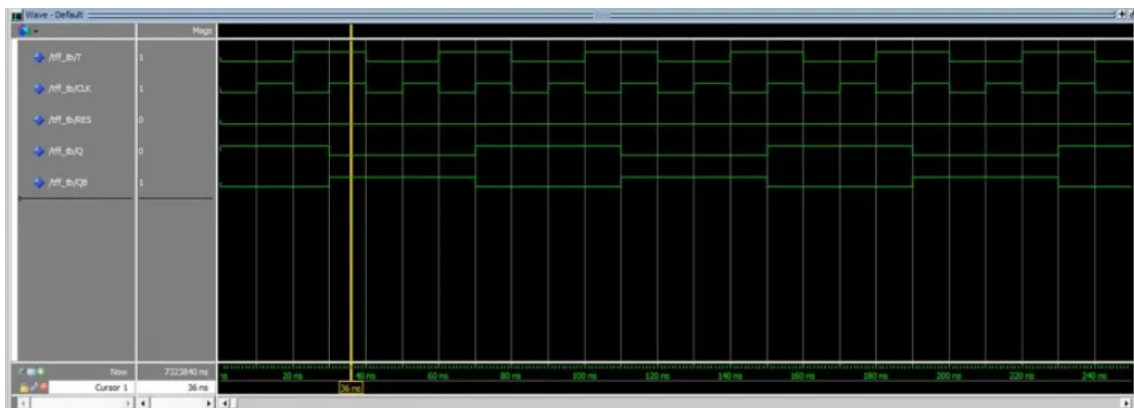
BEGIN

IF (RES='1') THEN
TEMP:='0';

ELSIF (RISING_EDGE(CLK)) THEN
IF (T='1') THEN
TEMP:= NOT TEMP;

END IF;
END IF;
Q<= NOT TEMP;
QB<= TEMP;

END PROCESS;
END BEHAVIORAL;
```



شکل ۳: شکل موج فلیپ فلاپ

```
entity TFF_tb is
end entity;

architecture tb of TFF_tb is
  component T_FLIPFLOP_SOURCE is
    Port ( T,CLK,RES : in STD_LOGIC;
          Q,QB : out STD_LOGIC);
  end component;

  signal T,CLK,RES,Q,QB : STD_LOGIC;

begin
  uut: T_FLIPFLOP_SOURCE port map(
    T => T,
    CLK => CLK,
    RES => RES,
    Q => Q,
    QB => QB);

  clock : process
  begin

    CLK <= '0';
    wait for 10 ns;
    CLK <= '1';
    wait for 10 ns;

  end process;

  stim: process
  begin

    RES <= '0';
    T <= '0';
    wait for 20 ns;

  end process;
end tb;
```

۴ طراحی یک شمارنده ۳ بیتی

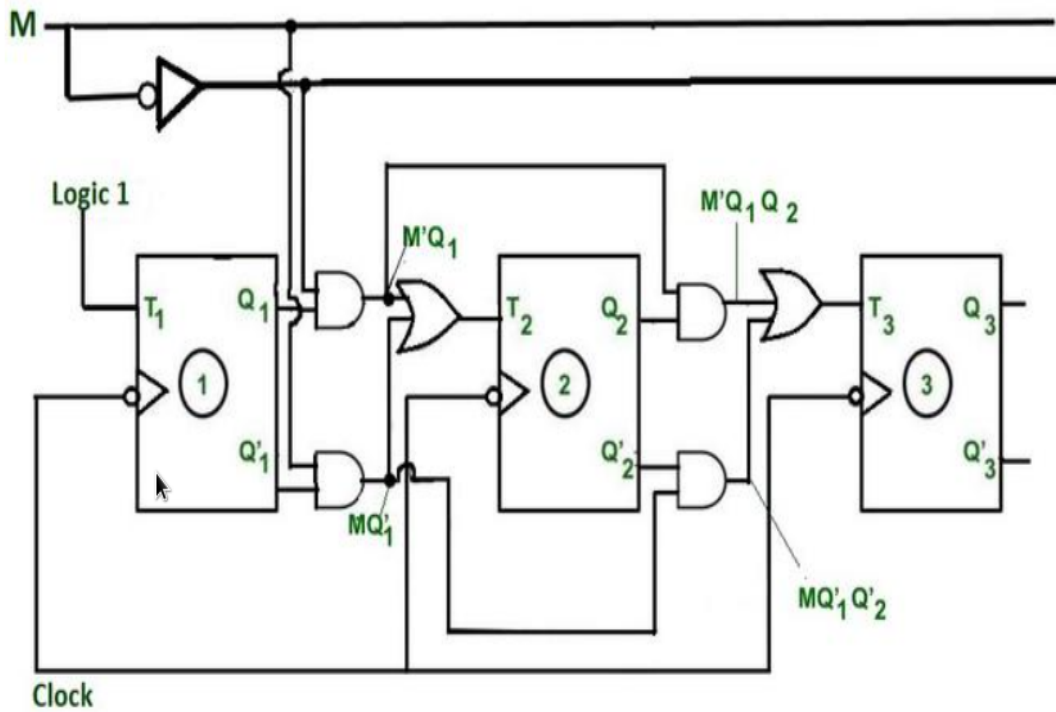
نمودار دیاگرام حالات یک شمارنده ۳ بیتی به صورت صعودی و نزولی به صورت زیر خواهد بود. چون شمارنده سه بیتی می باشد در نتیجه به ۳ فلیپ فلاپ نیاز خواهیم داشت. همانطور که از مدار شکل ۵ مشاهده می توان کرد با استفاده از متغیر M می توان مدار شمارنده را در دو حالت صعودی و نزولی توأمان با هم داشته باشیم. جدول تحریک مدار، حالت های فعلی دنباله شمارش و حالات بعدی را پس از اعمال پالس ساعت و ورودی فلیپ فلاپ های را نشان می دهد.

حال با توجه به ترتیب شمارش مورد نیاز جدول زیر را تشکیل خواهیم داد.

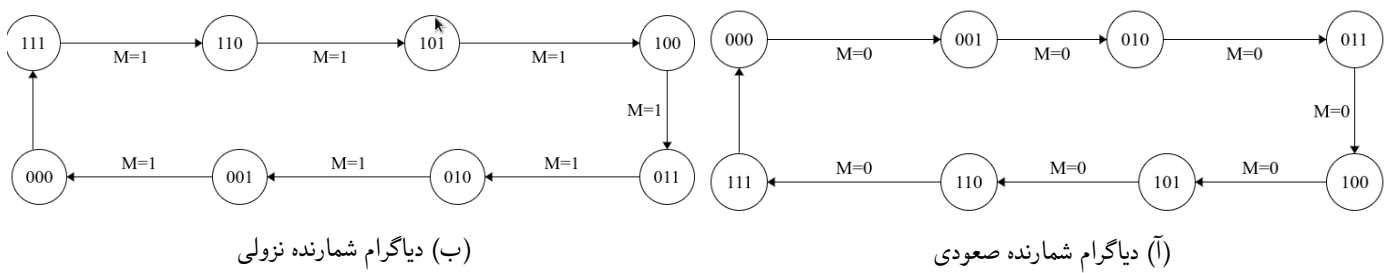
سپس با کمک جدول کارنو می بایستی به ساده سازی مقدار خروجی های فلیپ فلاپ ها و تشکیل مدار منطقی آن بپردازیم.

M	Q_3	Q_2	Q_1	Q_3^*	Q_2^*	Q_1^*	T_3	T_2	T_1
0	0	0	0	0	0	1	0	0	1
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	1	0	0	1
0	0	1	1	1	0	0	1	1	1
0	1	0	0	1	0	1	0	0	1
0	1	0	1	1	1	0	0	1	1
0	1	1	0	1	1	1	0	0	1
0	1	1	1	0	0	0	1	1	1
1	0	0	0	1	1	1	1	1	1
1	0	0	1	0	0	0	0	0	1
1	0	1	0	0	0	1	0	1	1
1	0	1	1	0	1	0	0	0	1
1	1	0	0	0	1	1	1	1	1
1	1	0	1	1	0	0	0	0	1
1	1	1	0	1	0	1	0	1	1
1	1	1	1	0	1	0	0	0	1

شکل ۴: جدول تحریک فلیپ فلاپ ها



شکل ۵: مدار یک شمارنده ۳ بیتی



شکل ۶: دیاگرام شمارنده ۳ بیتی

۵ نتیجه‌گیری

با توجه به نیاز ما به عنصر حافظه‌ای می‌بایستی با شناخت فلیپ‌فلاپ و جدول تحریک آن از عنصر زمان در جهت حافظه‌دار کردن مدارهای دیجیتال استفاده کنیم.

به عنوان مثال ساده‌ای از مدارهای حافظه‌دار از شمارنده‌ها نام‌برد که مقدار هر حالت به حالت قبل وابسته خواهد بود. برای یک شمارنده ۳ بیتی ما از ۳ فلیپ‌فلاپ T استفاده خواهیم کرد.