



## فصل سوم

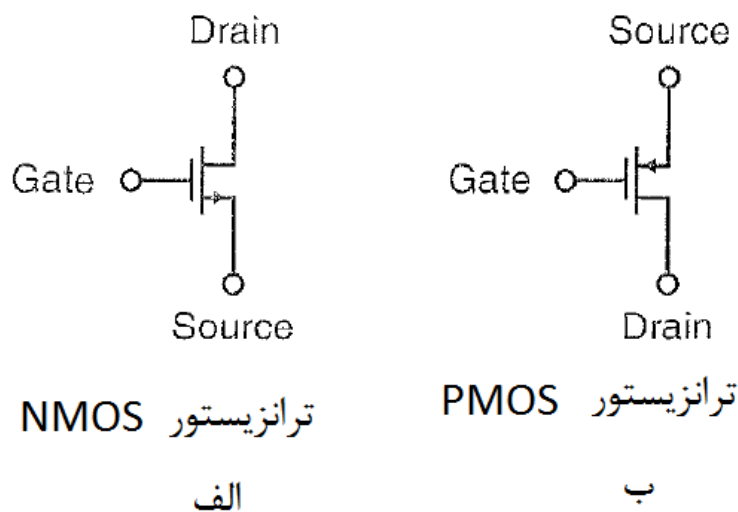
مدارهای مجتمع و مدلسازی آنها

در این فصل مدل سازی و عملکرد ادوات نیمه هادی مورد بررسی قرار خواهد گرفت. طراحی بسیاری از مدارهای مجتمع دیجیتال، با داشتن دانشی نسبی از مدل سازی ادوات نیمه هادی امکان پذیر است.

### ۱،۳ مدل سازی ساده ترانزیستورها

#### ترانزیستورهای MOS

نمادهایی که در این کتاب برای نمایش ترانزیستورهای MOS افزایشی به کار می رود، در شکل (۱-۳) نشان داده شده است. ترانزیستورهای MOS در واقع دارای چهار پایه می باشند که پایه چهارم اتصالی به زیرلایه<sup>۱</sup> دارد. برای مدارهای دیجیتال، اتصال زیرلایه در ترانزیستورهای نوع N تقریباً منفی ترین ولتاژ در IC خواهد بود (یعنی زمین و یا  $V_{SS}$ ) و بطور مشابه، اتصال زیرلایه در ترانزیستورهای نوع P مثبت ترین ولتاژ در IC در نظر گرفته می شود که با  $V_{DD}$  مشخص می شود. از آنجایی که مطلب مذکور اغلب رعایت می شود، پایه چهارم معمولاً در شماتیک نشان داده نمی شود، مگر آنکه پایه چهارم به ولتاژی غیر از آنچه بیان شد متصل شده باشد.



شکل ۱-۳. یک ترانزیستور افزایشی از نوع (الف) NMOS و (ب) PMOS.

در یک ترانزیستور NMOS، پایه سورس پایه ای است که دارای کمترین پتانسیل الکتریکی باشد و پایه دیگر درین نام دارد. عکس این مطلب در مورد ترانزیستور PMOS صادق است. اگر یک ترانزیستور MOS افزایشی دارای ولتاژ گیت- سورس نزدیک به صفر باشد، هدایت نخواهد کرد و هیچ گونه کانالی بین درین و سورس وجود نخواهد داشت. این بدان معنی است که در هنگام بررسی عملکرد تابع منطقی مدار، می توان ترانزیستور را نادیده گرفت، گویی هرگز در مدار وجود نداشته است. هرچند، در نتیجه نواحی تهی موجود بین پایه- زیرلایه در بایاس معکوس، خازن های پارازیتیکی بین پایه های ترانزیستور تا زمین (برای ترانزیستور

<sup>۱</sup> Substrate

(NMOS) و یا  $V_{DD}$  (برای ترانزیستور PMOS) وجود خواهد داشت. این خازن های مربوط به پایه ها را تنها زمانی که تأخیر گذرای گیت های در حال تغییر وضعیت را تخمین می زنیم، در نظر خواهیم گرفت. این خازن های پارازیتیک هم در اثر محیط و هم در اثر مساحت پایه ها بوجود می آیند. خازن پایه، هنگامی که ولتاژ بایاس معکوس پایه افزایش یابد، بطور غیر خطی کاهش می یابد (تقریباً بطور متناسب با معکوس جذر ولتاژ بایاس معکوس پایه). تقریب مناسب در حدود  $0.6$  برابر ظرفیت خازنی کل پایه است هنگامی که پایه در صفر ولت بایاس شده باشد. محیط و مساحت یک پایه را می توان از روش های خاصی محاسبه نمود که در آینده در این رابطه بحث خواهد شد اما این مباحث بطور دقیق تر در درس VLSI بررسی خواهد شد. البته این حقیقت که خازن های پایه های ترانزیستورهای PMOS بین پایه و  $V_{DD}$  هستند، در مدارهای دیجیتال تا حدودی نا محسوس است و خازن های پایه ها را می توان با خازن های پارازیتیک بین پایه ها و زمین تخمین زد. هرگاه ولتاژ مؤثر گیت- سورس بیشتر از صفر باشد، کانالی در ترانزیستورهای MOS شکل می گیرد. برای یک ترانزیستور NMOS یعنی  $V_{eff} = V_{GS} - V_{tn} > 0$  و داریم  $V_{tn} \approx 0.7v$  و برای یک ترانزیستور PMOS یعنی  $V_{eff} = V_{SG} - |V_{tp}| = V_{SG} + V_{tp} > 0$  و داریم  $V_{tp} \approx -0.7v$ . در این حالت معادلات سیگنال بزرگی که رابطه I-V را برای یک ترانزیستور MOS تخمین می زند برای  $V_{DS} < V_{eff}$  بصورت رابطه (۳-۱) و برای  $V_{DS} > V_{eff}$  بصورت رابطه (۳-۲) می باشد.

$$I_D = \mu_n \frac{W}{L} C_{ox} \left[ (V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.1)$$

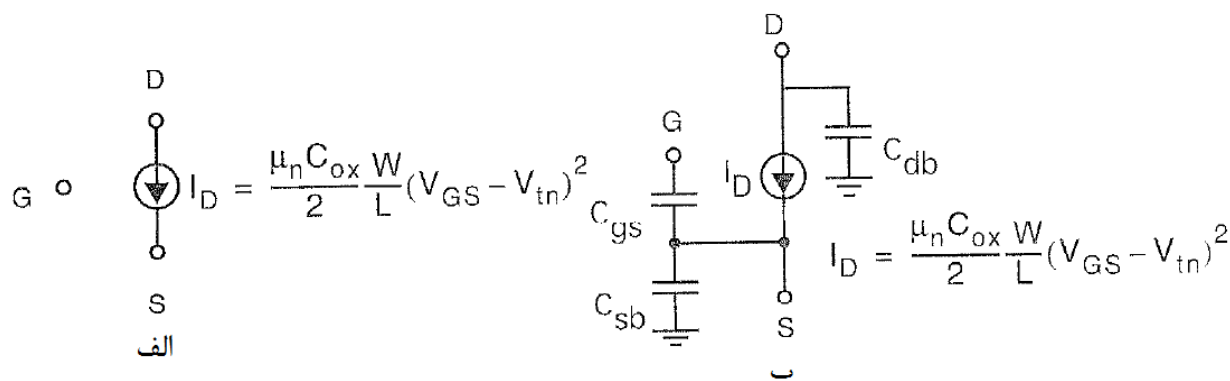
$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{tn})^2 \quad (3.2)$$

در این روابط  $\mu_n$  قابلیت تحرک الکترون ها است تقریباً برابر است با  $0.05 \frac{m^2}{V.s}$  و  $C_{ox}$  خازن گیت در واحد سطح است که یک پارامتر وابسته به تکنولوژی است و مقدار نوعی آن برای تکنولوژی  $0.6 \mu m$  میکرون برابر است با  $3.5 \frac{fF}{\mu m^2}$ . عرض مؤثر ترانزیستور  $W$  و طول مؤثر آن  $L$  می باشد. در مدارهای دیجیتال، تقریباً تمام ترانزیستورها کوچکترین طول ممکن را دارا می باشند. این بدان معناست که گذشته از اینکه توپولوژی مدار چه باشد، تنها انتخاب ممکن برای طراح، معمولاً فقط عرض ترانزیستور است.

در ترانزیستورهای PMOS همین روابط به کار می رود اما با یک منفی قبل از هر ولتاژ (به استثنای  $V_{eff}$ ). برای مثال، در تعیین ناحیه کاری ترانزیستور که آیا اکنون در ناحیه فعال یا اشباع<sup>۱</sup> قرار دارد، نامسای  $V_{DS} > V_{eff}$  تبدیل می شود به  $V_{SD} > V_{eff}$ . قابلیت تحرک حامل های p یا حفره ها، در حدود  $0.02 \frac{m^2}{V.s}$  می باشد. به تجربه می توان گفت که خواننده محترم تنها لازم است که معادلات ترانزیستور NMOS را به خاطر بسپارد و هر کجا که لازم شد با تغییرات گفته شده و یادآوری این نکته که همواره در ترانزیستورهای PMOS جریان (بار الکتریکی) از سورس به درین جاری می شود (بر خلاف ترانزیستورهای NMOS که از درین به سورس جاری می شود)، معادلات را برای ترانزستور PMOS تبدیل نماید.

<sup>۱</sup> Active or Saturation

زمانی که ولتاژ درین- سورس یک ترانزیستور NMOS (یا ولتاژ سورس- درین یک ترانزیستور PMOS) مقدار بزرگی باشد، آنگاه رابطه (۲-۳) به کار می رود و ترانزیستور بصورت یک منبع جریان ساده که در شکل (۳-۲ الف) مشاهده می شود و عملکرد dc مد نظر است، مدل می شود. هرگاه عملکرد گذرای مدار مد نظر باشد، مدل شکل (۳-۲ ب) مورد استفاده قرار خواهد گرفت. خازن  $C_{gs}$  در ترانزیستوری که دارای ولتاژ درین- سورس بزرگی باشد تقریباً مساوی است با  $\frac{2}{3} \cdot W \cdot L \cdot C_{ox}$ . اگر ولتاژ درین- سورس یک ترانزیستور بزرگ نباشد، آنگاه خازن کلی دیده شده توسط یک گیت منطقی که به گیت ترانزیستور متصل به آن معمولاً با حاصلضرب مساحت گیت ترانزیستور در  $C_{ox}$  که به عبارتی یعنی  $C_g \approx W \cdot L \cdot C_{ox}$  تقریب زده می شود. هرگاه ولتاژ درین- سورس معلوم نباشد و یا در حال تغییر باشد، آنگاه این مقدار حد اکثر به منظور تقریب مورد استفاده قرار خواهد گرفت.



شکل ۳-۲. مدل‌های ساده شده یک ترانزیستور NMOS که ولتاژ درین- سورس بزرگی دارد و بنابراین در ناحیه اشباع است (الف) برای فرکانس های پایین و (ب) برای تحلیل گذرا.

این خازن های گیت ترانزیستورها و خازن های پایه های ترانزیستور که قبلاً به آنها اشاره شد، اغلب در مدارهای مجتمع، بزرگترین فاکتورهای موجود در بارهای خازنی پارازیتیک محسوب می شوند. خازن های پارازیتیک مربوط به اتصالات میانی که فلزی هستند نیز اگر طول این اتصالات میانی بلند باشد بسیار مهم خواهند بود. خازن های  $C_{db}$  و  $C_{sb}$  خازنه های پایه های ترانزیستور هستند. این خازن ها در صورتی که ولتاژ بایاس معکوسی در پایه مربوطه موجود باشد، بشدت غیر خطی رفتار می کنند. در یک مدار مجتمع در عمل تمام پایه ها بایاس معکوس هستند و بطور مؤثر هیچ جریانی از آنها عبور نمی کند، به استثنای پایه های ترانزیستورهای دوقطبی. خازن های مذکور، شدیداً با مساحت پایه ها نسبت مستقیم دارند. اغلب، خازن پایه در واحد سطح که با  $C_{j-0}$  نمایش داده می شود، برای هر تکنولوژی IC برای ولتاژ بایاس معکوس صفر ولت برای هر کدام از پایه داده می شود. تقریب مرسوم می که به منظور در نظر گرفتن غیر خطی بودن خازن پایه زده می شود بصورت حاصلضرب  $C_{j-0}$  در مساحت گیت در ضریب ۰.۶ است. محاسبات دقیق تر خازن های پایه ها و توضیح اینکه چگونه مساحت پایه ها تخمین زده می شوند، در این فصل و فصول آینده ارائه خواهد شد. البته این محاسبات بطور گسترده ای توسط سیستم های طراحی به کمک کامپیوتر بطور خودکار صورت می پذیرد. این سیستم ها قادرند ساین ترانزیستورها را به محض اینکه چپینش<sup>۱</sup> مدار آماده شد استخراج کنند.

<sup>۱</sup> Layout

هرگاه ولتاژ درین- سورس یک ترانزیستور NMOS (یا ولتاژ سورس- درین یک ترانزیستور PMOS) خیلی کوچک باشد، رابطه (۳-۳) را می توان بصورت رابطه (۳-۳) نوشت.

$$I_D = \mu_n \frac{W}{L} C_{ox} (V_{GS} - V_{tn}) V_{DS} \quad (3.3)$$

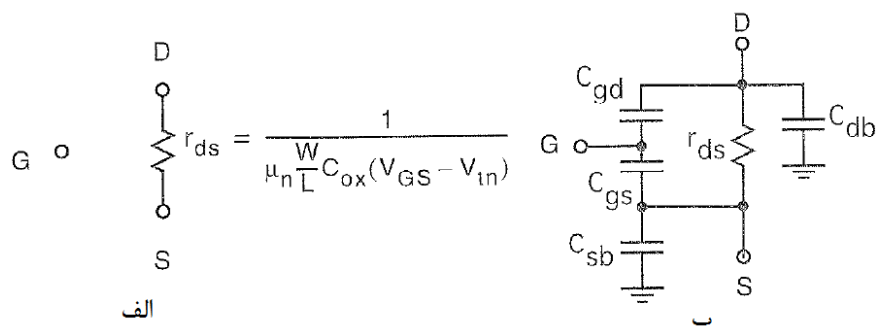
به طوری که داریم:

$$r_{ds} = \frac{V_{DS}}{I_D} \approx \frac{1}{\mu_n \frac{W}{L} C_{ox} (V_{GS} - V_{tn})} \quad (3.4)$$

بنابراین، هنگامی که عملکرد dc مد نظر باشد، مدل ساده ترانزیستوری که در این ناحیه کاری قرار دارد، تنها یک مقاومت است که در شکل (۳-۳ الف) نشان داده شده است. هرگاه عملکرد گذرای مدار مد نظر باشد، مدل پیچیده تری که در شکل (۳-۳ ب) نشان داده شده است و شامل خازنهای پارازیتیکی پایه های ترانزیستور و خازن گیت- سورس و خازن گیت- درین می باشد، مورد استفاده قرار می گیرد. خازن های مذکور اغلب با استفاده از فرمول  $C_{gs} = C_{gd} = \frac{1}{2} W \cdot L \cdot C_{ox}$  تقریب زده می شوند. هرگاه مدل سازی در این سطح الزامی باشد، مدل های ساده شده ای که در این بخش معرفی شدند ممکن است کافی نباشند و باید از مدل های دقیق تری که بعداً در همین فصل معرفی خواهند شد باید استفاده کرد. زمانی که یک ترانزیستور دارای تغییرات ولتاژ درین- سورس در محدوده بسیار کوچک تا بسیار بزرگ باشد و برعکس، آنگاه ترانزیستور را می توان با یک مقاومت که مقدار آن از رابطه زیر محاسبه می شود، تقریب زد.

$$r_{ds} \approx \frac{2.5}{\mu_n \frac{W}{L} C_{ox} (V_{GS} - V_{tn})} \quad (3.5)$$

اثبات و تصدیق این تقریب، در فصل ۴ ارائه خواهد شد. این رابطه با حدود ۲۵ درصد خطا عمل می کند اما در تحلیل های ساده پاسخ گذرا و با فرض اینکه خازن های پارازیتیک را بتوان تقریب زد (در فصل ۴ توضیح داده خواهد شد)، بسیار مفید است.



شکل ۳-۳. مدل های ساده شده برای یک ترانزیستور NMOS که دارای ولتاژ درین- سورس کوچکی است و بنابراین در ناحیه خطی قرار دارد (الف) برای فرکانس های پایین و (ب) برای تحلیل گذرا.

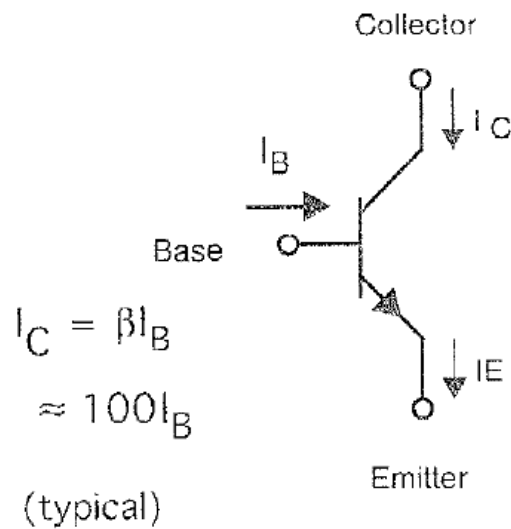
به شباهت ها و تفاوت های روابط (۳-۴) و (۳-۵) توجه کنید. باید واضح باشد که در مدل سازی ترانزیستورهای MOS بسیاری از تقریب ها بطور الزامی مورد استفاده قرار گرفت. این تقریب ها لازم هستند چراکه عملکرد غیرخطی ترانزیستور و بسیاری از اثرات مرتبه دوم که مهم هستند، به منظور تحلیل دقیق، بسیار پیچیده می باشند، به ویژه در مورد ترانزیستورهای نوین با ابعاد زیر مایکرون. بدین دلایل، سرعت مدارهای دیجیتال را به ندرت می توان بهتر از ۱۰ الی ۲۰٪ تخمین زد و از این رو، طراحان محتاط، همیشه روش های طراحی محافظه کارانه ای را برای داشتن حاشیه های بالا در نظر می گیرند تا از طرح آنها از مدل سازی های نا دقیق در امان باشد.

### ترانزیستورهای دو قطبی<sup>۱</sup>

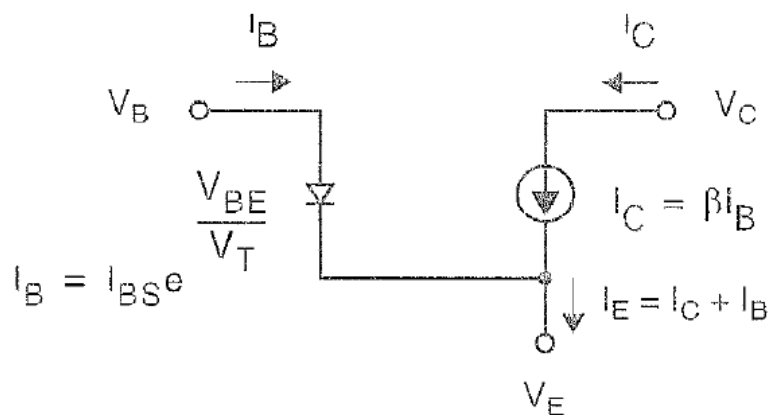
عموماً به منظور پیاده سازی مدارهای مجتمع دیجیتال دوقطبی از ترانزیستورهای دوقطبی npn استفاده می شود چراکه نوعاً ترانزیستورهای pnp بسیار کند هستند. نمادی که به منظور نمایش یک ترانزیستور npn مورد استفاده قرار می گیرد در شکل (۳-۴) (الف) و مدلی که به منظور درک عملکرد dc اکثر گیت های منطقی دوقطبی کفایت می کند در شکل (۳-۵) نشان داده شده است. جریان بیس از رابطه (۳-۶) محاسبه می شود به طوری که  $I_{CS} = I_{BS} / \beta$  و  $I_{BS} = I_{CS} / \beta$  به بهره جریان ترانزیستور است و معمولاً مقداری بین ۵۰ تا ۲۰۰ دارد. زمانی از این مدل استفاده می شود که ولتاژ بیس-امیتر بزرگتر از حدود ۰.۵۷V و ولتاژ کلکتور-امیتر بزرگتر از ۰.۳۷V باشد. اگر شرط اول برقرار نباشد، ترانزیستور هدایت نخواهد کرد و در فرکانس های پایین می توان حضور ترانزیستور در مدار را نادیده گرفت و اگر شرط دوم برقرار نباشد، ترانزیستور اشباع خواهد بود. در صورت اشباع بودن، سرعت عملکرد مدارهای دیجیتال بسیار پایین خواهد آمد چرا که در ناحیه بیس و کلکتور، بار الکتریکی اضافی بیش از اندازه ای ذخیره خواهد شد و بنابراین در مدارهای منطقی دوقطبی خوب، نباید هرگز چنین شرایطی اتفاق بیافتد.

$$I_B = \frac{I_C}{\beta} = \frac{I_{CS}}{\beta} e^{V_{BE}/V_T} = I_{BS} e^{V_{BE}/V_T} \quad (3.6)$$

<sup>۱</sup> Bipolar Junction Transistor



شکل (۳-۴). نماد مداری یک ترانزیستور دوقطبی npn.



شکل (۳-۵). مدل سیگنال بزرگ یک ترانزیستور دوقطبی.

تخمین عملکرد گذرای مدارهای دوقطبی دیجیتال نیازمند مدلسازی دقیق تری است که در این بخش ارائه می گردد. ابتدا باید در نظر داشت که بزرگترین خازن های پارازیتیک مدارهای منطقی دوقطبی، خازن های بیس-امیتر هستند و از رابطه (۳-۷) محاسبه می شوند.

$$C_d = \tau_b \frac{I_C}{V_T} = g_m \tau_b \quad (3.7)$$

بطوری که در دمای اتاق،  $V_T = KT/q \cong 25mv$  (و رابطه مستقیم با دمای مطلق دارد) و ثابت  $\tau_B$  تقریباً برابر است با معکوس فرکانس بهره واحد<sup>۱</sup> ترانزیستور (بر حسب رادیان). از این رو، اغلب خازن های پارازیتیک متناسب هستند با جریان های بایاس ترانزیستور. از آنجا که جریان ها برای شارژ و دشارژ این خازن ها نیز متناسب است با جریان های بایاس، سرعت خانواده منطقی دوقطبی تقریباً مستقل از جریان بایاس است. این عبارت، به ویژه در جریان های بایاس بزرگتر، صدق می کند. در جریان های بایاس کوچکتر، خازن های اتصال نیز افزایش خواهند یافت و هرچه جریان بایاس کمتر شود، سرعت بدتر خواهد شد.

در یک تحلیل dc مرتبه اول، اغلب فرض بر این است که ولتاژ بیس-امیتر به منظور هدایت کردن یک ترانزیستور دوقطبی مساوی ۰٫۷v بوده و جریان کلکتور، تقریباً مساوی جریان امیتر است. در این کتاب، این دو فرض به منظور درک عملکرد dc گیت های دوقطبی کافی است.

مطالب گفته شده و مدل های مطرح شده که تا کنون ارائه گشت، برای خوانندگانی که در زمینه ترانزیستورها اطلاعات قبلی نداشته اند کافی است و در موارد طراحی مدارهای مجتمع عمومی و غیر بحرانی کافی است. اما به منظور طراحی مدارهای مجتمع دیجیتال خاص، دانش دقیق تری از مدل سازی ترانزیستورها مورد نیاز است که در ادامه این فصل به آن خواهیم پرداخت و مطالب مربوطه در فصول آینده نیز هر کجا که لازم باشد یادآوری خواهد شد.

## نیمه هادی ها و اتصالات pn

یک نیمه هادی یک ساختار شبکه ای کریستالی است که می تواند دارای الکترون های آزاد (که حامل های منفی هستند) باشد و یا حفره های آزاد (که عدم حضور الکترون ها محسوب می شوند و معادل بارهای مثبت می باشند). نوع نیمه هادی هایی که معمولاً استفاده می شوند، از جنس سیلیکن است که در شن و ماسه به وفور یافت می شود. این ماده دارای ولانس ۴ می باشد و بدان معناست که در هنگام تشکیل پیوندها کو والانسی شبکه کریستال، هر اتم دارای چهار الکترون است که در اشتراک با اتم های مجاور خود است. سیلیکن خالص یک ساختار کریستالی است که دارای تعداد مساوی الکترون و حفره آزاد می باشد. این حامل های آزاد، الکترون ها یا حفره هایی هستند که بر اثر بر آشفستگی های دمایی، انرژی کافی را به منظور فرار از پیوند های خود بدست آورده اند. در دمای اتاق، تقریباً  $1.5 \times 10^{10}$  حامل از نوع در سانتی متر مکعب یا بطور معادل  $1.5 \times 10^{16}$  حامل بر متر مکعب وجود دارد. این تعداد حامل، تقریباً به ازاء افزایش هر ۱۱ درجه سانتی گراد دو برابر می شود. اگر سیلیکن را با یک ناخالصی پنج ظرفیتی (اتم های یک المان والانس ۵ دارند و یا بطور معادل، ۵ الکترون در پوسته خارجی موجود است زمانی که با اتم های مجاور پیوند تشکیل می شود) تغلیظ<sup>۲</sup> شود، یک الکترون در هر اتم ناخالصی آزاد خواهد ماند. در حقیقت حامل های متحرک اندکی کمتر از تعداد اتم های ناخالصی است چراکه برخی از الکترون های آزاد از ناخالصی با حفره ها بازترکیب می شوند. هر چند، از آنجا که تعداد حفره های سیلیکن خالص بسیار کمتر از نواحی متمرکز تغلیظ است، این عدم دقت ناچیز است. از الکترون های آزاد می توان به منظور هدایت جریان استفاده کرد. ناخالصی پنج ظرفیتی اصطلاحاً الکترون های آزاد خود را به کریستال سیلیکن اهدا<sup>۳</sup> می

<sup>۱</sup> unity-gain frequency

<sup>۲</sup> Doping

<sup>۳</sup> Donate



کند و از این رو به این نوع ناخالصی دهنده<sup>۱</sup> می گویند. مثال هایی از دهنده های مشهور، فسفر (P) و آرسنیک (AS) هستند. این ناخالصی ها را مواد تغلیظی نوع n نیز می نامند چراکه حامل های آزاد آنها که مورد استفاده قرار می گیرند دارای بار منفی هستند. زمانی که یک ناخالصی نوع n مورد استفاده قرار گیرد، تعداد کل حامل های منفی یا الکترون ها تقریباً برابر است با ناحیه تغلیظ و بسیار بزرگتر است از تعداد الکترون های آزاد در سیلیکن خالص. به عبارت دیگر داریم:

$$n_n = N_D \quad (3.8)$$

بطوری که  $n_n$  الکترون های آزاد متمرکز در ماده نوع n است (که این n بصورت اندیس نوشته شده است) و  $N_D$  تمرکز تغلیظ (اندیس D به معنی دهنده است) می باشد. از طرف دیگر، می توان اثبات کرد که تعداد حفره های در ماده تغلیظ شده با نوع n بسیار کم است از تعداد حفره ها در سیلیکن خالص می باشد و داریم:

$$p_n = \frac{n_i^2}{N_D} \quad (3.9)$$

در این جا  $P_n = \frac{n_i}{N_D}$  تمرکز حامل در سیلیکن خالص است. بطور مشابه، اگر سیلیکن با اتم هایی که دارای والانس ۳ هستند، برای مثال بور<sup>۲</sup> (B) تغلیظ شود، تمرکز حامل های مثبت یا حفره ها تقریباً برابر است با تمرکز پذیرنده<sup>۳</sup> که با  $N_A$  نشان داده می شود. به عبارتی داریم:

$$p_p = N_A \quad (3.10)$$

و تعداد حامل های منفی در سیلیکن نوع p که با  $n_p$  نشان داده می شود برابر است با:

$$n_p = \frac{n_i^2}{N_A} \quad (3.11)$$

مثال ۳،۱

سیلیکن خالص با عنصر بور با میزان غلظت  $10^{26}$  اتم بر مترمکعب تغلیظ شده است. در دمای اتاق ناخالصی حاصل چه میزان الکترون و حفره خواهد داشت؟ فرض کنید که  $n_i = 1.5 \times 10^{16}$  حامل بر مترمکعب است.

پاسخ: غلظت حفره ها ( $P_p$ ) تقریباً برابر است با غلظت تغلیظ یعنی  $P_p = N_A = 10^{26} \text{ holes/m}^3$ . غلظت الکترون ها از رابطه (۳-۱) محاسبه می شود یعنی

<sup>۱</sup> Donor

<sup>۲</sup> Boron

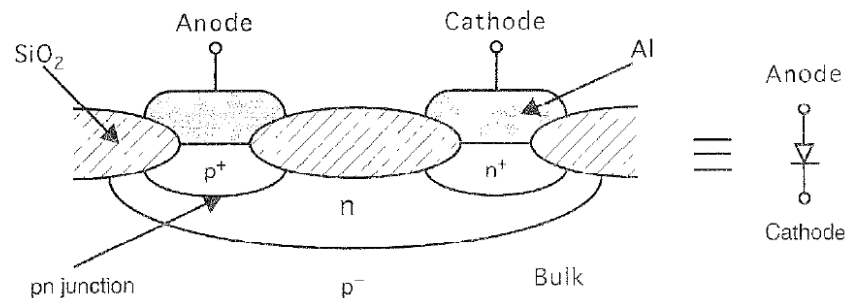
<sup>۳</sup> Acceptor

$$n_p = \frac{(1.5 \times 10^{16})^2}{10^{26}} = 2.3 \times 10^6 \text{ electrons/m}^3 \quad (3.12)$$

چنین سیلیکن تغلیظ شده ای به عنوان نوع p تلقی می شود چراکه تعداد حفره های آزاد آن از تعداد الکترون های آزاد در آن بسیار بیشتر است.

## دیود ها

به منظور پیاده سازی یک دیود یا بطور معادل یک اتصال pn بخشی از یک نیمه هادی با نوع n و بخش نزدیک دیگری با نوع p تغلیظ می شود و در شکل (۳-۶) قابل مشاهده است.



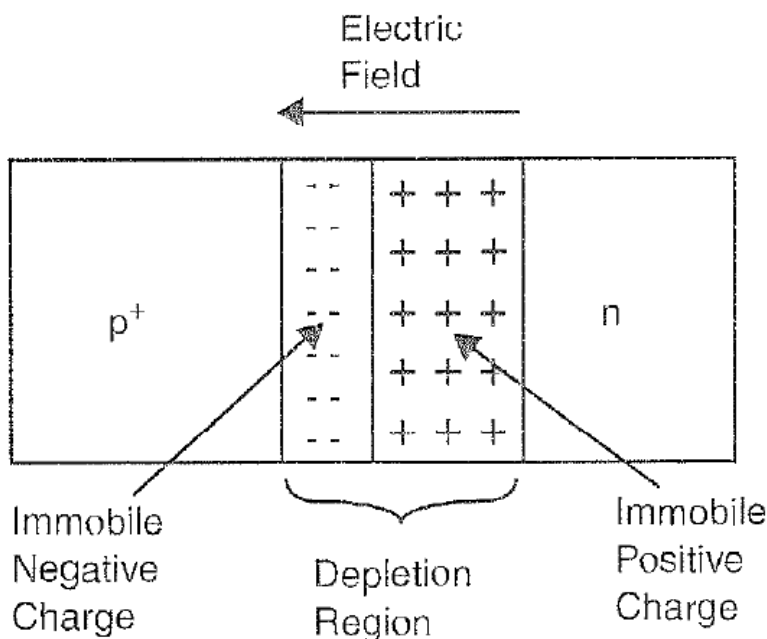
شکل (۳-۶). نمای مقطع عرضی از یک دیود pn.

در اینجا، دیود یا اتصال، در بین نواحی  $p^+$  و  $n$  تشکیل می گردد. توجه داشته باشید که علائم مثبت و منفی به منظور نشان دادن میزان تغلیظ نسبی به کار می رود. برای مثال ناحیه بدنه  $p^-$  به میزان  $5 \times 10^{21}$  حامل بر مترمکعب ناخالصی دارد در حالی که نواحی  $p^+$  و  $n^+$  باید بسیار بیشتر تغلیظ شده باشند و به میزان حدوداً  $10^{25}$  الی  $10^{27}$  حامل بر متر مکعب ناخالصی دارند. همچنین دقت کنید اتصالات فلزی به دیود (که در اینجا منظور فلز آلومینیوم است) به نواحی از دیود که بشدت تغلیظ شده اند اتصال دارد. در غیر این صورت یک دیود شاتیکی ایجاد خواهد شد. دیود های شاتیکی در ادامه توضیح داده خواهند شد. به منظور عدم ایجاد یک دیود شاتیکی، اتصال ناحیه  $n$  در عمل از طریق ناحیه  $n^+$  صورت خواهد پذیرفت.

در سمت  $p^+$  تعداد زیادی حامل های آزاد مثبت و در سمت  $n$  تعداد زیادی حامل آزاد منفی موجود است. حفره های موجود در سمت  $p^+$  تمایل به نفوذ<sup>۱</sup> در سمت  $n$  دارند و الکترون های آزاد موجود در سمت  $n$  تمایل به نفوذ در سمت  $p^+$ . این نفوذ، میزان تغلیظ حامل های آزاد را در ناحیه بین دو طرف کاهش می دهد. هنگامی که دو نوع از حامل ها به سمت یکدیگر نفوذ می کنند، بازترکیب می شوند. هر الکترون که از سمت  $n$  به سمت  $p$  نفوذ کرده باشد، در جای خود یک بار الکتریکی مثبت به جای می گذارد. به طور مشابه، هر حفره ای که از سمت  $p$  به سمت  $n$  نفوذ کند، یک الکترون را در نزدیکی ناحیه عبود به جای می گذارد. نتیجه نهایی این عملیات در شکل (۳-۷) نشان داده شده است. عمل نفوذ حامل های آزاد یک ناحیه تهی را در اتصال دو طرف بوجود می

<sup>۱</sup> diffuse

آورد که هیچ حامل آزادی در آن موجود نیست و دارای یک شبکه بار منفی در سمت  $p^+$  و یک شبکه بار مثبت در سمت  $n$  می باشد. میزان کل بار در دو سمت اتصال باید بر اساس تعادل بار، یکسان باشد. این مطلب باعث می شود که ناحیه تهی بیشتر به سمت ناحیه کمتر تغلیظ شده (سمت  $n$ ) به پیش برود.



شکل (۷-۳). مدل ساده یک دیود. توجه داشته باشید که در اثر نفوذ، یک ناحیه تهی<sup>۱</sup> در اتصال وجود دارد که در ناحیه کمتر تغلیظ شده، بیشتر گسترش یافته است.

در این هنگام یک میدان الکتریکی از سمت  $n$  به سمت  $p$  ایجاد می شود. این میدان الکتریکی اغلب پتانسیل ساخت<sup>۲</sup> اتصال نامیده می شود. میدان الکتریکی در برابر نفوذ حامل های آزاد مخالفت می کند و در نهایت هیچگونه تحرک در شرایط مدار باز دیود وجود نخواهد داشت و به شرایط پایدار می رسیم. ولتاژ ساخت یک اتصال مدار باز  $pn$  از رابطه (۱۳-۳) محاسبه می گردد.

$$\Phi_0 = V_T \ln \left( \frac{N_A N_D}{n_i^2} \right) \quad (3.13)$$

بطوری که

$$V_T = \frac{kT}{q} \quad (3.14)$$

<sup>۱</sup> Depletion

<sup>۲</sup> Built-in Potential

و T دما بر حسب کلونین (در دمای اتاق تقریباً ۳۰۰ کلونین است)، K ثابت بولتزمن ( $1.38 \times 10^{-23} / K^{-1}$ ) و q بار یک الکترون ( $1.602 \times 10^{-19}$  کولن) است. در دمای اتاق  $V_T$  تقریباً ۲۶mv است.

مثال ۳,۲

یک اتصال pn دارای  $N_A = 10^{25} \text{ holes} / m^3$  و  $N_D = 10^{22} \text{ electrons} / m^3$  است.

میزان پتانسیل ساخت چقدر است؟ فرض کنید  $n_i = 1.5 \times 10^{16} \text{ carriers} / m^3$

پاسخ:

با استفاده از رابطه زیر داریم:

$$\Phi_0 = V_T \times \ln \left( \frac{N_A \times N_D}{n_i^2} \right)$$

$$\Phi_0 = 0.026 \times \ln \left( \frac{10^{25} \times 10^{22}}{(1.5 \times 10^{16})^2} \right) = 0.88v \approx 0.9v$$

این میزان نوعی برای پتانسیل ساخت یک اتصال است که یک سمت آن بشدت تغلیظ شده باشد. بصورت تقریبی  $\Phi_0 = 0.9$  را در نظر می گیریم.

### دیود در بایاس معکوس

یک دیود سیلیکونی که دارای ولتاژ آند به کاتد (سمت p به n) ۰,۴ ولت یا کمتر داشته باشد، جریان بسیار ناچیزی عبور خواهد داد. در این حالت گفته می شود که دیود بایاس معکوس شده است. اگر دیودی در بایاس معکوس قرار گیرد، جریان آن ناشی از حامل هایی است که بر اثر حرارت در ناحیه تهی ایجاد شده اند و میزان آنها بسیار کم است. هر چند این جریان بایاس معکوس، تنها بطور ضعیفی بستگی به ولتاژ کاری دارد اما این جریان مستقیماً با مساحت اتصال دیود رابطه مستقیم دارد. هر چند اثری که به ویژه در فرکانس های بالا نباید نادیده گرفته شود، خازن اتصال یک دیود است. در دیودهای بایاس معکوس شده، این خازن بر اثر

تغییرات بار ذخیره شده در ناحیه تهی است و بصورت یک خازن تهی<sup>۱</sup> مدل می شود. برای تعیین خازن تهی، ابتدا رابطه بین عرض تهی و ولتاژ معکوس اعمال شده ( $V_R$ ) را بیان می کنیم.

$$x_n = \left[ \frac{2K_s \epsilon_0 (\Phi_0 + V_R)}{q} \frac{N_A}{N_D(N_A + N_D)} \right]^{1/2} \quad (3.16)$$

$$x_p = \left[ \frac{2K_s \epsilon_0 (\Phi_0 + V_R)}{q} \frac{N_D}{N_A(N_A + N_D)} \right]^{1/2} \quad (3.17)$$

در این روابط  $\epsilon_0$  گذردهی فضای آزاد (مساوی است با  $8.854 \times 10^{-12} F/m$ )،  $V_R$  ولتاژ بایاس معکوس دیود و  $K_s$  گذردهی نسبی سیلیکن (مساوی با ۱۱٫۸) می باشد. در این روابط فرض بر این است که تغییرات تغلیظ به شدت از  $n$  به  $p$  می باشد. از روابط مذکور مشاهده می شود که اگر یک سمت اتصال بیشتر از سمت دیگر تغلیظ شده باشد، ناحیه تهی، بیشتر در سمتی که کم تغلیظ شده است گسترش خواهد یافت. برای مثال، اگر  $N_A \gg N_D$  (یعنی ناحیه  $p$  به مراتب بیشتر از ناحیه  $n$  تغلیظ شده باشد) می توان روابط (۳-۱۶) و (۳-۱۷) را بصورت زیر تقریب زد.

$$x_n \cong \left[ \frac{2K_s \epsilon_0 (\Phi_0 + V_R)}{q N_D} \right]^{1/2} \quad x_p \cong \left[ \frac{2K_s \epsilon_0 (\Phi_0 + V_R) N_D}{q N_A^2} \right]^{1/2} \quad (3.18)$$

در این حالت داریم:

$$\frac{x_n}{x_p} \cong \frac{N_A}{N_D} \quad (3.19)$$

این حالت خاص، دیود یک طرفه<sup>۲</sup> نامیده می شود.

مثال ۳٫۳

برای یک اتصال pn که دارای مشخصات داده شده است، در ولتاژ بایاس معکوس ۳٫۳ ولت عمق لایه های تهی چیست؟

$$N_D = 10^{22} \text{ electrons/m}^3 \quad \text{و} \quad N_A = 10^{25} \text{ holes/m}^3$$

پاسخ: از آنجا که  $N_A \gg N_D$  و از نتایج بدست آمده از مثال (۳-۲) داریم  $\Phi_0 = 0.9v$  می توانبا استفاده از رابطه (۳-۱۸) پاسخ های مطلوب را بدست آورد که عبارتند از:

<sup>۱</sup> Depletion Capacitance

<sup>۲</sup> Single-Sided Diode

$$x_n = \left[ \frac{2 \times 11.8 \times 8.854 \times 10^{-12} \times 4.2}{1.6 \times 10^{-19} \times 10^{22}} \right]^{1/2} = 0.74 \mu\text{m} \quad (3.20)$$

$$x_p = \frac{x_n}{(N_A/N_D)} = 0.74 \text{ nm} \quad (3.21)$$

توجه داشته باشید که عرض تهی در ناحیه کمتر تغلیظ شده  $1000 \text{ n}$  بار بزرگتر است از ناحیه بیشتر تغلیظ شده  $p$ .

بار ذخیره شده در ناحیه تهی در واحد مقطع عرضی ناحیه تهی، از حاصلضرب عرض ناحیه تهی در تغلیظ بارهای غیر متحرک (که تقریباً مساوی است با  $q$  برابر چگالی تغلیظ ناخالصی) بدست می آید. به عنوان مثال، در سمت  $n$  میزان بار ناحیه تهی را از حاصلضرب رابطه (۳-۱۶) در  $q \cdot ND$  بدست می آوریم. داریم:

$$Q^+ = \left[ 2qK_s\epsilon_0(\Phi_0 + V_R) \frac{N_A N_D}{N_A + N_D} \right]^{1/2} \quad (3.22)$$

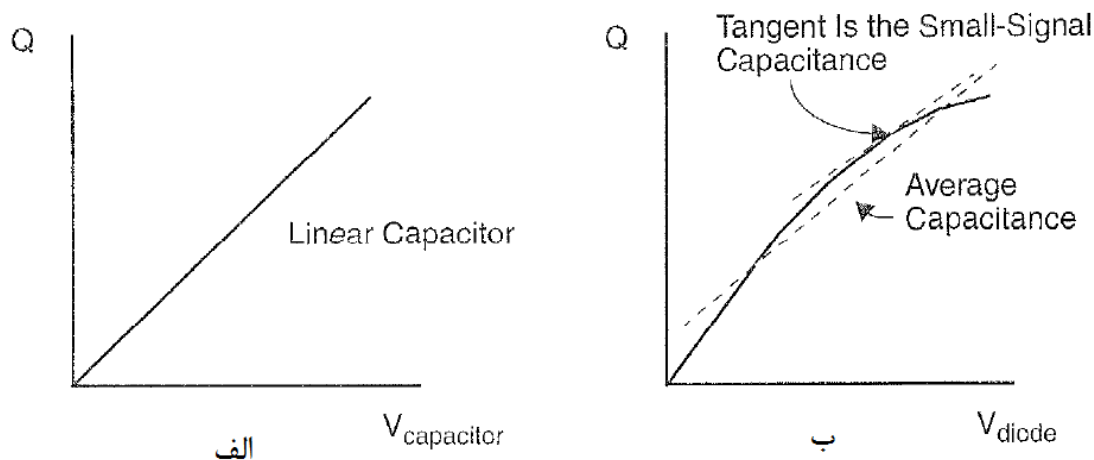
این میزان بار بر اساس تعادل بار، باید با  $Q^-$  در سمت  $p$  یکسان باشد. در مورد یک دیود یک طرفه، یعنی زمانی که  $N_A \gg N_D$  است داریم:

$$Q^- = Q^+ \equiv [2qK_s\epsilon_0(\Phi_0 + V_R)N_D]^{1/2} \quad (3.23)$$

توجه داشته باشید که این نتیجه، مستقل از میزان تغلیظ ناخالصی در سمت بیشتر تغلیظ شده است. از این رو، از رابطه فوق مشاهده می کنیم که میزان بار ذخیره شده در ناحیه تهی وابسته است به ولتاژ بایاس معکوس به کار گرفته شده. این رابطه ولتاژ-بار است که توسط یک خازن غیر خطی ناحیه تهی مدل شده است.

اتصالات بایاس معکوس فاکتور مهمی در ظرفیت های خازنی در مدارهای مجتمع دیجیتال می باشد. یک خازن ایدآل رابطه خطی بین ولتاژ و بار ذخیره شده در خود را دارد و در شکل (۳-۸ الف) نشان داده شده است. نمودار یک ناحیه تهی بایاس معکوس یا یک اتصال که از روابط (۳-۲۲) یا (۳-۲۳) بدست آمد، غیر خطی است و بصورت تقریبی در شکل (۳-۸ ب) نشان داده شده است. همانطور که در این شکل نشان داده شده است، در هر نقطه بایاس مورد نظر، خازن سیگنال-کوچک بصورت تانژانت نمودار  $Q-V$  در آن نقطه بایاس نشان داده شده. همچنین در این شکل نشان داده شده است که این امکان وجود دارد که خازن متوسط سیگنال بزرگ را تعریف کرد بطوری که نمودار کامل  $Q-V$  را تقریب بزند. برای یک اتصال بایاس معکوس، خازن سیگنال کوچک در

ولتاژهای بایاس معکوس بزرگ، عموماً کوچکتر از خازن متوسط است. خازن سیگنال کوچک در ولتاژهای بایاس معکوس کوچک، عموماً بزرگتر از خازن متوسط است.



شکل ۳-۸. نمودار Q-V (الف) یک خازن ایدآل و (ب) یک اتصال بایاس معکوس.

برای تغییرات کوچک در ولتاژ اتصال بایاس معکوس، در محدوده ولتاژ بایاس، می توان یک خازن معادل سیگنال کوچک که با  $C_j$  نشان داده می شود را با مشتق گیری از رابطه (۳-۲۲) نسبت به  $V_R$  بدست آورد. بنابراین داریم:

$$C_j = \frac{dQ^+}{dV_R} = \left[ \frac{qK_s \epsilon_0}{2(\Phi_0 + V_R)} \frac{N_A N_D}{N_A + N_D} \right]^{1/2} = \frac{C_{j-0}}{\sqrt{1 + (V_R/\Phi_0)}} \quad (3.24)$$

بطوری که  $C_{j-0}$  خازن تهی در واحد سطح و در  $V_R = 0$  است و از رابطه زیر محاسبه می گردد.

$$C_{j-0} = \sqrt{\frac{qK_s \epsilon_0}{2\Phi_0} \frac{N_A N_D}{N_A + N_D}} \quad (3.25)$$

در مورد یک دیود یک طرفه که  $N_A \gg N_D$  داریم:

$$C_j = \left[ \frac{qK_s \epsilon_0 N_D}{2(\Phi_0 + V_R)} \right]^{1/2} = \frac{C_{j-0}}{\sqrt{1 + (V_R/\Phi_0)}} \quad (3.26)$$

که اکنون  $C_{j-0}$  از رابطه زیر محاسبه می گردد.

$$C_{j-0} = \sqrt{\frac{qK_s\epsilon_0 N_D}{2\Phi_0}} \quad (3.27)$$

بسیاری از خازن هایی که در مدارهای مجتمع با آنها مواجه می شویم، اتصالات یک طرفه هستند که سمت کمتر تغلیظ شده، زیرلایه<sup>۱</sup> است که گاهی اوقات چاه آنیز نامیده می شود. سمت بیشتر تغلیظ شده اغلب به منظور برقراری اتصال با یک اتصال میانی فلزی است. از رابطه (۳-۲۷) دیدیم که برای این اتصالات یک طرفه، خازن اتصال تقریباً مستقل از میزان تغلیظ سمت بیشتر تغلیظ شده است و متناسب است با جذر میزان تغلیظ سمت بیشتر تغلیظ شده. از این رو، خازن های تهی کوچکتر از زیرلایه های کمتر تغلیظ شده حاصل می شوند. بنابراین انگیزه قوی به منظور داشتن زیرلایه های کمتر تغلیظ شده موجود است.

نهایتاً توجه داشته باشید که با ترکیب روابط (۳-۲۲) و (۳-۲۵) می توان معادله ای برای بارهای غیر متحرک در هر سمت اتصال بایاس معکوس شده بصورت زیر بیان نمود.

$$Q = 2C_{j-0}\Phi_0\sqrt{1 + \frac{V_R}{\Phi_0}} \quad (3.28)$$

همانطور که در مثال (۱-۶) مشاهده شد، این معادله زمانی مفید است که شخص زمان شارژ (یا دشارژ) سیگنال بزرگ را برای یک دیود بایاس معکوس تخمین می زند.

مثال ۳،۴

برای یک اتصال pn که دارای  $N_A = 10^{25}$  حفره بر مترمکعب و  $N_D = 10^{22}$  الکترون بر مترمکعب می باشد، برای یک دیود با مساحت ۱۰ در ۱۰ میکرون، خازن تهی بایاس صفر چیست؟ خازن تهی آن برای ولتاژ بایاست معکوس ۳،۳ ولت چیست؟

پاسخ:

با استفاده از رابطه (۳-۲۷) داریم:

$$C_{j-0} = \sqrt{\frac{1.6 \times 10^{-19} \times 11.8 \times 8.854 \times 10^{-12} \times 10^{22}}{2 \times 0.9}} = 304.7 \mu F/m^2 \quad (3.29)$$

از آنجا که مساحت دیود  $100 \times 10^{-12} m^2$  می باشد، خازن کل بایاس صفر عبارت است از:

<sup>۱</sup> Substrate

<sup>۲</sup> Well



$$C_{T-j-0} = 100 \times 10^{-12} \times 304.7 \times 10^{-6} = 30.5 \text{ fF} \quad (3.30)$$

در ولتاژ بایاس معکوس ۳,۳ ولت از رابطه (۲۶-۳) داریم.

$$C_{T-j} = \frac{30.5 \text{ fF}}{\sqrt{1 + (3.3/0.9)}} = 14.1 \text{ fF} \quad (3.31)$$

همان گونه که انتظار می رفت، هرچه عرض ناحیه تهی افزایش می یابد، خازن اتصال کاهش می یابد.

### اتصالات مدرج<sup>۱</sup>

در تمامی روابط فوق فرض بر این بوده است که اتصال ناگهانی<sup>۲</sup> داریم که تمرکز تغلیظ بطور ناگهانی از  $p$  به  $n$  و در طول یک مسیر کوچک تغییر می کند. هرچند برای بسیاری از مدارهای مجتمع می تواند تقریب خوبی به شمار آید اما همیشه صحیح نیست. برای مثال، اتصال کلکتور- بیس یک ترانزیستور دوقطبی اکثراً بصورت یک اتصال مدرج پیاده سازی می شود. در این حالت، در رابطه (۲۲-۳) توان  $\frac{1}{2}$  صحیح نخواهد بود و بهتر است از عددی نزدیک به ۱ یعنی حدود ۰,۶ یا ۰,۷ استفاده شود. از این رو برای اتصالات مدرج می توان رابطه (۲۲-۳) را بصورت زیر بازنویسی کرد. در این رابطه  $m$  ثابت است بین  $\frac{1}{3}$  تا  $\frac{1}{2}$ .

$$Q = \left[ 2qK_s \varepsilon_0 (\Phi_0 + V_R) \frac{N_A N_D}{N_A + N_D} \right]^{1-m} \quad (3.32)$$

با مشتق گیری از (۳۲-۳) به منظور یافتن خازن تهی داریم:

$$C_j = (1-m) \left[ 2qK_s \varepsilon_0 \frac{N_A N_D}{N_A + N_D} \right]^{1-m} \frac{1}{(\Phi_0 + V_R)^m} \quad (3.33)$$

این خازن تهی را می توان بصورت زیر بازنویسی کرد:

$$C_j = \frac{C_{j-0}}{[1 + V_R/\Phi_0]^m} \quad (3.34)$$

<sup>۱</sup> Graded Junctions

<sup>۲</sup> Abrupt

بطوری که

$$C_{j-0} = (1-m) \left[ 2qK_s \epsilon_0 \frac{N_A N_D}{N_A + N_D} \right]^{1-m} \frac{1}{\Phi_0^m} \quad (3.35)$$

از (۳-۳۴) مشاهده می شود که اتصال مدرج، خازن تهی ای را نتیجه می دهد که در مقایسه با خازن معادل در اتصالات ناگهانی<sup>۱</sup>، کمتر به  $V_R$  وابسته است. به عبارت دیگر، از آنجا که  $m$  کمتر از ۰,۵ است، خازن تهی برای یک اتصال مدرج خطی تر است از یک اتصال ناگهانی. بنابراین، در یک اتصال مدرج افزایش ولتاژ بایاس معکوس در کاهش خازن تهی به اندازه ای که یک اتصال ناگهانی مؤثر است، تأثیر نخواهد گذاشت.

در نهایت، مشابه اتصال ناگهانی، می توان بار تهی را در هر سمت اتصال بصورت زیر بازنویسی کرد.

$$Q = \frac{C_{j-0}}{1-m} \Phi_0 \left( 1 + \frac{V_R}{\Phi_0} \right)^{1-m} \quad (3.36)$$

مثال ۳,۵

مثال ۳,۴ را برای یک اتصال مدرج با  $m=0.4$  تکرار کنید.

پاسخ:

با یادآوری مجدد  $N_A \gg N_D$  می توان رابطه (۳-۳۵) را بصورت زیر تخمین زد.

$$C_{j-0} = (1-m) [2qK_s \epsilon_0 N_D]^{1-m} \frac{1}{\Phi_0^m} \quad (3.37)$$

که نتیجه می دهد

$$C_{j-0} = 81.5 \mu F/m^2 \quad (3.38)$$

بطوری که در مساحت دیود ۱۰ در ۱۰ میکرون ضرب شود، می دهد:

$$C_{T-j-0} = 8.1 \text{ fF} \quad (3.39)$$

---

<sup>۱</sup> Abrupt

برای ولتاژ بایاس معکوس ۳,۳ ولت داریم:

$$C_{T-j} = \frac{8.1 \text{ fF}}{(1 + 3.3/0.9)^{0.4}} = 4.4 \text{ fF} \quad (3.40)$$

توجه داشته باشید که در اتصال های مدرج، حتی برای کاهش اندکی در m خازن سیگنال کوچک می تواند به طور قابل ملاحظه ای کوچکتر باشد. این بدان معناست که مقادیر بدست آمده برای خازن های سیگنال کوچک از تحلیل ها می تواند بطور قابل ملاحظه ای خطا داشته باشد (به ویژه برای اتصالات مدرج).

### خازن اتصال سیگنال بزرگ

برای مدارهای دیجیتال، شاید یک پارامتر مناسب تر، خازن سیگنال بزرگ باشد. معادلات ارائه شده برای خازن های اتصال تا کنون، تنها برای تغییرات کوچک در ولتاژ بایاس معکوس معتبر هستند. این محدودیت در نتیجه این واقعیت است که  $C_j$  وابسته به اندازه ولتاژ بایاس معکوس است و مقدار ثابتی نیست. در نتیجه، به هنگام محاسبه زمان شارژ یا دشارژ، زمانی که تغییرات ولتاژ بزرگ باشد، در نظر گرفتن این خازن غیر خطی بسیار مشکل و زمان گیر است. تقریب مرسوم می که در هنگام تحلیلی پاسخ گذرا برای تغییرات بزرگ ولتاژ مورد استفاده قرار می گیرد این است که اندازه متوسطی برای خازن اتصال در نظر بگیریم و این کار با محاسبه خازن اتصال در دو مقدار نهایی ولتاژ بایاس معکوس صورت می پذیرد. متأسفانه ایرادی که این روش دارد این است که زمانی که دیود بایاس مستقیم است (با  $\varphi_0 \cong V_R$ ) رابطه (۳-۲۶) به شدت به سمت بی نهایت می رود. به منظور غلبه بر این مشکل، شخص می تواند بار ذخیره شده در اتصال را برای دو مقدار انتهایی ولتاژ به کار گرفته شده را با استفاده از (۳-۲۸) محاسبه نماید و سپس با استفاده از رابطه  $Q=CV$  خازن متوسط را با توجه به رابطه زیر محاسبه نماید، بطوری که  $V_1$  و  $V_2$  دو ولتاژ حدی هستند.

$$C_{j-av} = \frac{Q(V_2) - Q(V_1)}{V_2 - V_1} \quad (3.41)$$

از رابطه (۳-۲۸) برای یک اتصال مدرج با ولتاژ بایاس معکوس  $V_i$  داریم:

$$Q(V_i) = 2C_{j-0}\Phi_0\sqrt{1 + \frac{V_i}{\Phi_0}} \quad (3.42)$$

بنابراین:

$$C_{j-av} = 2C_{j-0}\Phi_0 \frac{(\sqrt{1+(V_2/\Phi_0)} - \sqrt{1+(V_1/\Phi_0)})}{V_2 - V_1} \quad (3.43)$$

مورد خاصی که با آن مواجه می شویم شارژ یک اتصال از ۰ تا ۳,۳ ولت است. برای این حالت و با استفاده از مقدار  $\varphi_0 = 0.9$  بدست می آوریم:

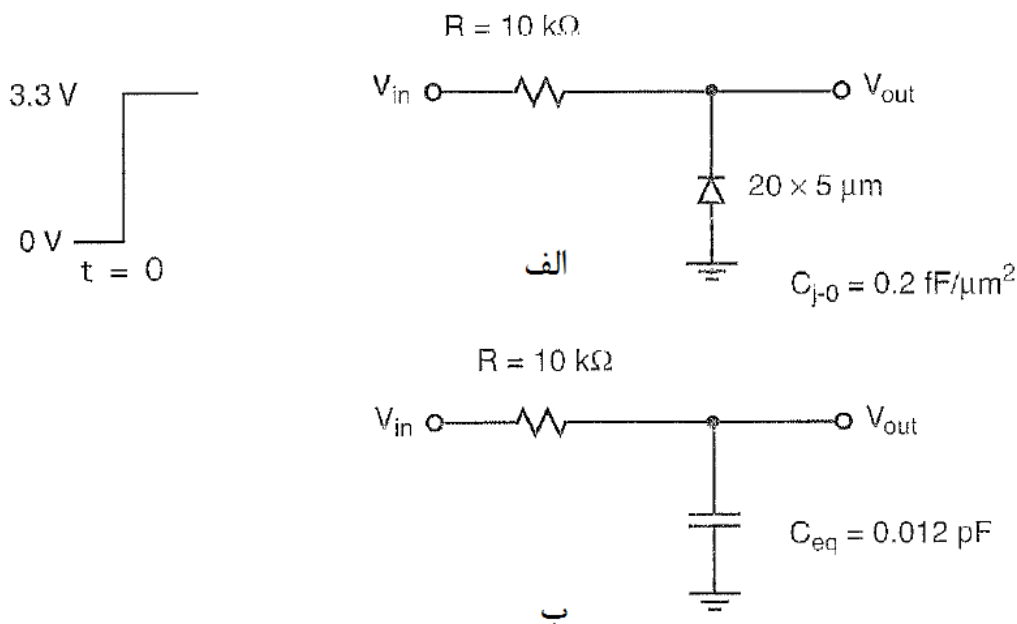
$$C_{j-av} = 0.63C_{j-0} \quad (3.44)$$

در مثال بعد مقایسه خوبی با شبیه سازی اسپایس ارائه خواهد شد. به منظور تخمین سریع زمان شارژ یک خازن اتصال از ۰ تا ۳,۳ ولتا (یا بر عکس) می توان از رابطه زیر استفاده نمود.

$$C_{j-av} \approx 0.6C_{j-0} \quad \text{or} \quad C_{j-av} \approx \frac{2}{3}C_{j-0} \quad (3.45)$$

مثال ۳,۶

برای مدار نشان داده شده در شکل (۳-۹) که یک دیود بایاس معکوس شده از طریق یک مقاومت ۱۰ کیلو اهمی از ۰ تا ۳,۳ ولت در حال شارژ شدن است، زمان لازم به منظور شارژ دیود از ۰ تا ۳,۳ ولت را محاسبه نمایید. فرض کنید  $C_{j-0} = 0.2 \text{ fF}/\mu\text{m}^2$  و مساحت دیود برابر است با ۲۰ در ۵ میکرون. نتایج خود را با نتایج حاصل از شبیه سازی با اسپایس مقایسه کنید. این مسئله را برای حالتی که دیود از ۳,۳ ولت تا ۱ ولت در حال دشارژ شدن است تکرار کنید.



شکل ۳-۹. (الف) مداری مورد استفاده در مثال ۳،۶ و (ب) تخمین معادل RC آن.

پاسخ:

خازن کل سیگنال بزرگ اتصال در ولتاژ بایس صفر ولت از حاصلضرب  $0.2 \frac{fF}{\mu m^2}$  در مساحت اتصال و بصورت زیر بدست می آید:

$$C_{T-j-0} = 0.2 \times 10^{-15} \times 20 \times 5 = 0.02 \text{ pF} \quad (3.46)$$

با استفاده از رابطه (۳-۴۴) داریم:

$$C_{T-j-av} = 0.63 \times 0.02 = 0.013 \text{ pF} \quad (3.47)$$

که ثابت زمانی زیر را نتیجه می دهد:

$$\tau = RC_{T-j-av} = 0.13 \text{ ns} \quad (3.48)$$

چندان مشکل نیست که نشان دهیم زمانی که برای یک مدار مرتبه اول طول می کشد تا به مقدار ۷۰٪ نهایی خود صعود (یا نزول کند) مساوی است با  $1.2\tau$ . در مورد این مدار داریم:

$$\Delta t_{70\%} = 1.2\tau = 0.16 \text{ ns} \quad (3.49)$$

برای بررسی صحت پاسخ بدست آمده برای مدار شکل (۳-۹ الف) می توان از شبیه سازی اسپایس به عنوان مرجع استفاده نمود. کد اسپایس بدین منظور بصورت زیر است.

```
The Transient Response of Charging and Discharging a Diode
R 1 210k
D02 DMOD
*
VIN 1 0 PULSE (03.30 10p 10p 0.99n 2.0n)
*
.MODEL DMOD D(CJO=0.02E-12, PB=0.9)
*
.OPTION NOMaD POST INGOLD=2 NUMDGT=6 BRIEF
.TRAN 0.01 n 2.0n
.PRINTTRAN V(1) V(2)
.END
```

اسپایس، زمان صعود از صفر به ۲،۳ ولت را ۰،۱۶ نانوثانیه و زمان نزول از ۳،۳ ولت به ۱ ولت را ۰،۱۳ نانوثانیه محاسبه می نماید. تفاوت در مقادیر زمان صعود و نزول اسپایس با تحلیل دستی، در غیر خطی بودن خازن اتصال است. برای ولتاژهای بایاس کوچکتر،

این تفاوت بیشتر از آن چیزی است که با استفاده از رابطه (۴۴-۳) محاسبه شد، در حالی که برای ولتاژهای بایاس بزرگتر، این تفاوت کوچکتر است. اگر از تقریب دقیقتری از رابطه (۴۳-۳) استفاده کنیم، برای زمان صعود از صفر ولت تا ۲,۳ ولت داریم:

$$C_{T-j-av} = 2 \times 0.02 \times \frac{0.9}{2.3} \left( \sqrt{1 + \frac{2.3}{0.9}} - 1 \right) = 0.014 \text{ pF} \quad (3.50)$$

همچنین برای زمان نزول داریم:

$$C_{T-j-av} = 2 \times 0.02 \times \frac{0.9}{1.0 - 3.3} \left( \sqrt{1 + \frac{1.0}{0.9}} - \sqrt{1 + \frac{3.3}{0.9}} \right) = 0.011 \text{ pF} \quad (3.51)$$

این تخمین های دقیق تر بدست می دهد:

$$\Delta t_{+70\%} = 0.17 \text{ ns} \quad (3.52)$$

9

$$\Delta t_{-70\%} = 0.13 \text{ ns} \quad (3.53)$$

که به مقادیر اسپایس نزدیک تر هستند. عموماً افزایش دقت رابطه (۴۳-۳) نسبت به (۴۴-۳) ارزش افزایش محاسبات اضافی را ندارد چراکه به ندرت می توان مساحت واقعی اتصال را با خطای کمتر از ۲۰٪ مطلع بود.

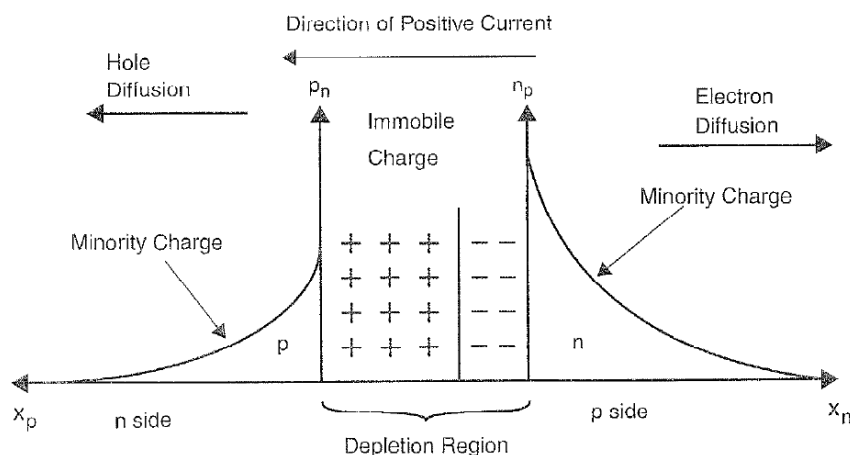
### اتصال های بایاس مستقیم

یک ولتاژ مثبت اعمال شده از سمت p به n یک دیود، میدان الکتریکی را که در برابر نفوذ حامل های آزاد در طول ناحیه تهی مخالفت می کرد کاهش می دهد. این ولتاژ مثبت، همچنین عرض ناحیه تهی را نیز کاهش می دهد. اگر این ولتاژ بایاس مستقیم به حد کافی بزرگ باشد، نفوذ حامل ها در طول ناحیه تهی بر نفوذ نشتی<sup>۱</sup> که به علت پتانسیل موجود در ناحیه تهی است غلبه می کند و باعث جاری شدن جریان از آند به کاتد می شود. برای دیود سیلیکونی، در حدود ولتاژ بایاس مستقیم ۰,۵ ولت جرباین قابل توجهی شروع به جاری شدن می کند. در مورد دیود نیمه هادی های ژرمانیوم و گالیم-آرسناید به ترتیب در ولتاژهای ۰,۳ و ۰,۹ ولت جریان، شروع به جاری شدن می کند.

<sup>۱</sup> Drift

هرگاه پتانسیل اتصال به حد کافی برای هدایت پایین آمد، حامل ها بر اثر گرادیان شدید در تمرکز حامل های متحرک، در امتداد اتصال نفوذ خواهند کرد. توجه داشته باشید که حامل های نفوذی از سمت بیشتر تغلیظ شده به سمت کمتر تغلیظ شده، بیشتر از حامل های نفوذی از سمت کمتر تغلیظ شده به سمت بیشتر تغلیظ شده است. پس از آنکه حامل ها از ناحیه تهی عبور کردند، مطابق شکل (۳-۱۰) تمرکز بارهای اقلیت را در لبه ناحیه تهی افزایش خواهند داد. این حامل های اقلیت از سمت اتصال به سمت بدنه نفوذ خواهند کرد. هنگامی که نفوذ کنند، با حامل های اکثریت بازترکیب خواهند شد که این مسئله میزان تمرکز آنها را کاهش خواهد داد. این گرادیان میزان تمرکز بارهای اکثریت است که باعث می شود بارهای دورتر به سمت اتصال برسند و دلیلی بر جاری شدن جریانی نزدیک اتصال است.

حامل های اکثریت که با حامل های اقلیت بازترکیب می شوند به دلیل وجود ولتاژ بایاس مستقیم، از اتصالات فلزی می آیند. این حامل های اکثریت از بدنه و اتصالات فلزی به سمت اتصال pn عبور می کنند و دلیل آن میدان الکتریکی موجود در بدنه است. این جریان را جریان نشستی می نامند و نتیجه آن، افت پتانسیل دو سر بدنه و به ویژه در سمت کمتر تغلیظ شده می باشد. مقادیر نوعی این افت ولتاژ در حدود ۵۰ میلی ولت الی ۰٫۱ ولت می باشد که این مقدار به میزان تمرکز غلظت در سمت کمتر تغلیظ شده، فاصله از اتصالات فلزی تا اتصال pn و همچنین سطح مقطع عرضی اتصال دارد.



شکل ۳-۱۰. تمرکز حامل های اقلیت و جهت نفوذ حامل ها در نزدیکی یک اتصال بایاس مستقیم.

در ناحیه بایاس مستقیم، رابطه جریان-ولتاژ نمایی است و می توان آن را بصورت زیر نوشت:

$$I_D = I_S e^{V_D/V_T} \quad (3.54)$$

بطوری که  $V_D$  ولتاژ موجود در دو سر دیود است و داریم:

$$I_S \propto A_D \left( \frac{1}{N_A} + \frac{1}{N_D} \right) \quad (3.55)$$

پارامتر  $I_s$  را با عنوان جریان مقیاس<sup>۱</sup> می شناسند و مقدار آن متناسب است با سطح اتصال دیود ( $A_D$ ) و نسبت عکس دارد با میزان تمرکزهای تغلیظ.

### خازن اتصال یک دیود بایاس مستقیم

زمانی که یک اتصال، از بایاس معکوس (با جریان اندکی در آن) به سمت بایاس مستقیم (با جریان قابل توجهی در آن) تغییر کند، باری که در نزدیکی و در امتداد اتصال ذخیره می شود، تغییر می کند. بخشی از تغییر در بار در اثر تغییر عرض ناحیه تهی است و بنابراین در اثر میزان بار غیر متحرک ذخیره شده در آن است. این تغییر بار را می توان مشابه زمانی که اتصال بایاس معکوس بود، با خازن تهی  $C_j$  می توان مدل کرد. یک تغییر اضافی در بار ذخیره شده دیگر را نیز باید به حساب آورد و آن تغییر میزان تمرکز حامل های اقلیت نزدیک به اتصال مورد نیاز برای جریان نفوذی است. برای مثال، اگر جریان یک دیود بایاس مستقیم دو برابر شود، آنگاه شیب های بار ذخیره شده اقلیت در لبه های اتصال دیود باید دو برابر شود و این به نوبه خود باعث می شود که میزان بار ذخیره شده اقلیت باید دو برابر شود. این مؤلفه با خازن دیگری مدل می شود که به آن خازن نفوذی<sup>۲</sup> می گویند و با  $C_d$  نشان می دهند. خازن نفوذی را می توان از رابطه زیر محاسبه نمود بطوری که  $\tau_T$  زمان گذرای دیود است. عموماً  $\tau_T$  برای هر تکنولوژی، بطور مشخص داده می شود، بطوری که شخص می تواند با استفاده از آن، خازن نفوذی را محاسبه نماید. توجه داشته باشید که خازن نفوذی برای یک اتصال بایاس مستقیم، متناسب است با جریان دیود.

$$C_d = \tau_T \frac{I_D}{V_T} \quad (3.56)$$

خازن کل اتصال بایاس مستقیم عبارت است از حاصل جمع خازن نفوذی ( $C_d$ ) و خازن تهی ( $C_j$ ). از این رو خازن کل اتصال برابر است با:

$$C_T = C_d + C_j \quad (3.57)$$

برای اتصال بایاس مستقیم، خازن تهی ( $C_j$ ) را می توان با  $2C_{j-0}$  تخمین زد. دقت این تقریب، چندان حیاتی نیست چراکه خازن نفوذی معمولاً بسیار بزرگتر از خازن تهی می باشد.

در نهایت باید گفته شود که هنگامی که یک دیود برای مدت زمان کوتاهی قطع است، جریانی در جهت مخالف جاری خواهد شد تا زمانی که بار اقلیت حذف شود. این رفتار بطور قابل توجهی در دیودهای شاتکی کاهش یافته است چراکه در این دیودها بار اقلیت ذخیره نخواهد شد.

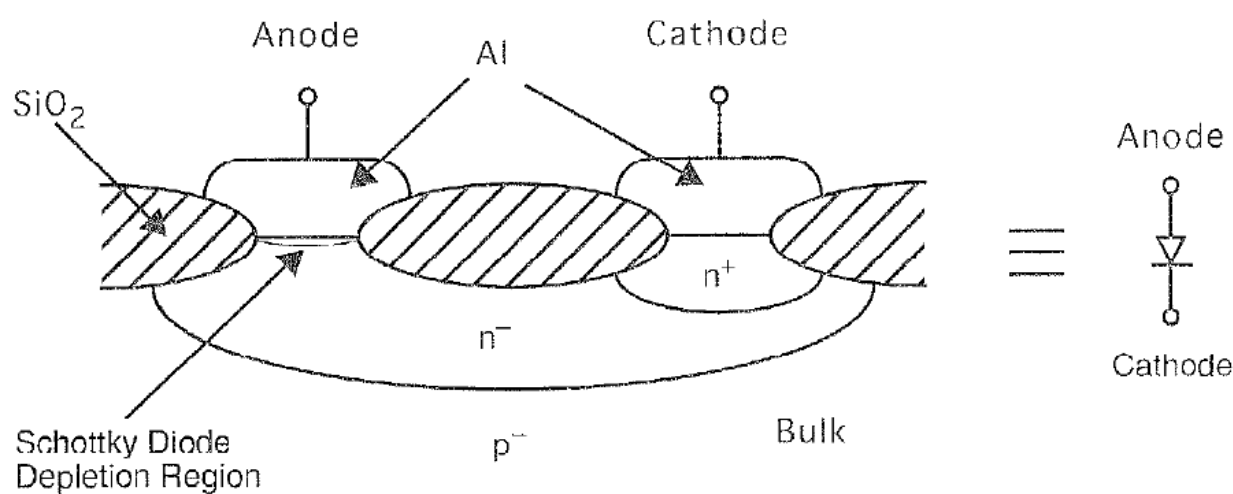
<sup>۱</sup> Scale Current

<sup>۲</sup> Diffusive Capacitance



## دیودهای شاتکی<sup>۱</sup>

همان گونه که در شکل (۳-۱۱) نشان داده شده است، نوع دیگری از دیودها، دیودی است که در طراحی ها مورد استفاده قرار می گیرد و دارای اتصال فلز به ناحیه نیمه هادی کمتر تغلیظ شده (و نه به ناحیه بیشتر تغلیظ شده) می باشد. این نوع دیود را دیود شاتکی می نامند. توجه داشته باشید که آند آلومینیومی در تماس مستقیم با ناحیه کمتر تغلیظ شده  $n^-$  است. به دلیل اینکه ناحیه  $n^-$  نسبتاً کمتر تغلیظ شده است، عملکرد مدار متفاوت خواهد بود با زمانی که اتصال آلومینیوم با ناحیه  $n^+$  برقرار باشد (در مورد کاتد). این مسئله باعث می شود که ناحیه تهی و در نتیجه یک دیود در محدوده بین آند آلومینیومی و ناحیه سیلیکونی  $n^-$  ایجاد گردد. مشخصات این دیود متفاوت است از یک اتصال pn معمولی. اول اینکه افت ولتاژ آن در هنگام بایاس مستقیم کوچکتر است. این افت ولتاژ وابسته است به نوع فلز به کار رفته که برای آلومینیوم در حدود ۰.۵ ولت است. مهم تر اینکه زمانی که دیود در بایاس مستقیم است ذخیره بار اقلیت در ناحیه کمتر تغلیظ شده  $n^+$  به شدت کاهش می یابد. از این رو مدل سیگنال کوچک یک دیود شاتکی بایاس مستقیم دارای خازن نفوذی مساوی با صفر است، یعنی  $C_d = 0$ . عدم حضور این خازن نفوذی باعث افزایش عملکرد دیود می شود. به ویژه در زمان خاموش شدن سریع تر عمل می کند، چراکه نیازی نیست که ابتدا بارهای اقلیت را حذف شوند. بنابراین با ۰.۲ ولت می توان خازن تهی را دشارژ نمود. دیودهای شاتکی در مدارهای منطقی دوقطبی بطور گسترده مورد استفاده قرار گرفته اند. از این دیودها حتی در برخی مدارهای آنالوگ پرسرعت نیز استفاده شده است، به ویژه مدارهایی که از تکنولوژی گالیوم-آرسناید استفاده می کنند و نه تکنولوژی سیلیکن.



شکل ۳-۱۱. نمایش مقطع عرضی یک دیود شاتکی.

## ترانزیستورهای MOS

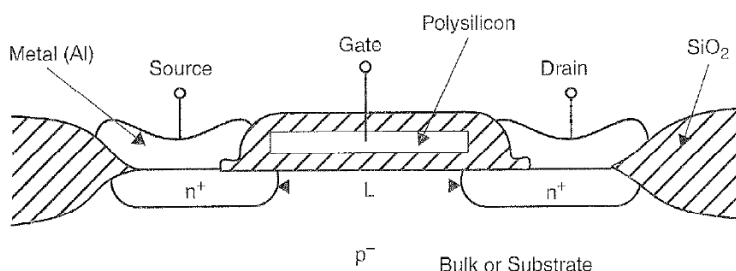
در حال حاضر در معروف ترین تکنولوژی ایجاد مدارهای در ابعاد میکرون از ترانزیستورهای MOS استفاده می شود. برخلاف اکثر تکنولوژی های ترانزیستورهای دوقطبی (BJT)<sup>۱</sup> که در آنها یک نوع از ترانزیستورها (منظور ترانزیستورهای npn است) استفاده می

<sup>۱</sup> Schottky Diodes

شود، مدارهای MOS عموماً از هر دو نوع ترانزیستورهای نوع n و p بطور مکمل استفاده می شود. البته اکثر تکنولوژی های BJT می توانند از ترانزیستورهای جانبی pnp استفاده نمایند. عموماً این ترانزیستورها را می توان به منظور ایجاد منابع جریان استفاده کرد چراکه بهره پایین و پاسخ فرکانسی ضعیفی دارند. اخیراً تکنولوژی های دوقطبی از ترانزیستورهای pnp عمودی پرسرعتی که در دسترس قرار گرفته اند و استفاده از آنها در حال گسترش است، مانند ترانزیستورهای پرسرعت npn استفاده می کنند. این تکنولوژی هاریال تکنولوژی های دوقطبی مکمل نامیده می شوند.

ترانزیستورهای نوع n در حضور ولتاژ مثبت گیت، هدایت می کنند و ترانزیستورهای نوع p با ولتاژ منفی در گیت خود هدایت می کنند. علاوه بر این، در ترانزیستورهای نوع n الکترون ها نقش هادی جریان را بازی می کنند و در ترانزیستورهای نوع p حفره ها. مدارهایی که شامل هر دو نوع n و p هستند، مدارهای CMOS نامیده می شوند که به معنی مکمل MOS<sup>۳</sup> می باشد. حروف MOS به ترتیب مخفف عبارات فلز، اکسید و هادی می باشد که از نظر تاریخی بیانگر گیت، ایزولاتور و مواد ناحیه کانال می باشد. هرچند تکنولوژی های امروزی MOS از گیت های پلی سیلیکونی به جای گیت های فلزی استفاده می کنند.

قبل از اینکه تکنولوژی CMOS بدین گستردگی مورد استفاده قرار گیرد، بیشتر پروسس ها تنها از ترانزیستورهای نوع n (NMOS) استفاده می کردند. اغلب دو نوع مختلف از ترانزیستورها NMOS را می توان ساخت. یک نوع آن ترانزیستور n نوع افزایشی<sup>۴</sup> است که مشابه ترانزیستورهای نوع n مورد استفاده در تکنولوژی CMOS می باشد. نوع دیگر، ترانزیستورهای نوع تهی<sup>۵</sup> هستند که با ولتاژ گیت- سورس صفر ولت هدایت می کنند. در فناوری NMOS ترانزیستورهای نوع تهی به منظور ایجاد بارهای امپدانس بالا مورد استفاده قرار می گیرند. یک نمایش مقطع عرضی از یک ترانزیستور MOS نوع افزایشی n در شکل (۳-۱۲) نشان داده شده است. اگر ولتاژی به گیت اعمال نشود، نواحی  $n^+$  سورس و درین توسط زیرلایه  $p^-$  از یکدیگر مجزا هستند. فاصله بین درین و سورس را طول کانال می نامند و با L نشان می دهند. باید به این نکته مهم اشاره شود که هیچ تفاوت فیزیکی بین درین و سورس وجود ندارد. البته لازم به ذکر است که ترانزیستورهای MOS بزرگی که در کاربردهای توانی به کار برده می شوند، دارای درین و سورس متقارن نیستند.



شکل ۳-۱۲. نمای مقطع عرضی یک ترانزیستور نوع n افزایشی.

<sup>۱</sup> Bipolar Junction Transistor

<sup>۲</sup> Complementary MOS

<sup>۳</sup> Metal, Oxide, Semiconductor

<sup>۴</sup> Enhancement

<sup>۵</sup> Depletion

پایه سورس یک ترانزیستور NMOS یکی از دو پایه متقارن تعریف می شود که دارای ولتاژ کمتری باشد. برای یک ترانزیستور PMOS پایه سورس پایه ای است که ولتاژ بیشتری داشته باشد. زمانی که یک ترانزیستور NMOS روشن است، جریان از درین به سورس جاری می شود در مورد یک ترانزیستور PMOS از سورس به درین. در هر دو مورد، حامل های واقعی از سورس به درین می روند اما جهت جریان متفاوت است چراکه حامل ها در یک ترانزیستور NMOS (الکترون ها) منفی تعریف شده اند در حالی که حامل های یک ترانزیستور PMOS (حفره ها) مثبت تریف شده اند.

گیت ها معمولاً از پلی سیلیکن ساخته می شود که عبارت است از سیلیکونی که به شدت بصورت غیر کریستالی<sup>۱</sup> (غیرمتبلور)<sup>۲</sup> تغلیظ شده است. گیت های پلی سیلیکونی امروزه به جای فلز مورد استفاده هستند چراکه استفاده از گیت پلی سیلیکونی این اجازه را می دهند که اندازه ترانزیستورها در هنگام ساخت، با دقت بیشتری صورت پذیرد. این مورد به ویژه در هنگام الگو بندی ترانزیستور که شامل مرحله ای به نام روند خودراستا<sup>۳</sup> می باشد، مهم است. دقت بیشتر در ابعاد ترانزیستور به معنای داشتن ترانزیستورهای کوچکتر و سریع تر است.

گیت توسط یک لایه عایق نازک از جنس دی اکسید سیلیکن ( $\text{SiO}_2$ ) از نظر فیزیکی از سطح سیلیکن جدا می شود. از این رو از نظر الکتریکی، گیت از کانال ایزوله است و مانند تزویج خازنی، فقط از طریق تزویج الکترواستاتیکی بر کانال (و بنابراین بر جریان ترانزیستور) تأثیر می گذارد. ضخامت معمول برای عایق  $\text{SiO}_2$  که بین گیت و کانال قرار دارد، در تکنولوژی ۰٫۱۸ میکرون در حدود ۷ الی ۲۰ نانومتر است. به دلیل اینکه گیت از نظر الکتریکی از کانال ایزوله شده است، هرگز جریان dc از خود عبور نمی دهد. در واقع ایزوله سازی عالی موجب می شود که جریان های ناشی غیر قابل تعیین شوند. هرچند به دلیل وجود خازن های ذاتی در ترانزیستورهای MOS، به هنگام تغییرات سریع ولتاژ در گیت، جریان های گذرای وجود خواهد داشت.

معمولاً زیرلایه یا بدنه  $p^-$  را به منفی ترین ولتاژ موجود در مدار متصل می کنند. این ولتاژ در مدارهای آنالوگ می تواند ولتاژ منبع تغذیه باشد اما در مدارهای دیجیتال معمولاً زمین یا صفر ولت است. اتصال به منفی ترین ولتاژ موجب می شود که تمامی ترانزیستورهایی که در زیر لایه قرار گرفته اند با اتصالات بایاس معکوس شده احاطه شوند که از نظر الکتریکی ترانزیستورها را ایزوله می کند و بنابراین از هدایت بین زیرلایه ای که بین ترانزیستورها قرار دارد جلوگیری می شود. البته در صورتی که ترانزیستورها به طور عمدی و توسط اتصالات میانی به یکدیگر متصل نشده باشند.

## نمادهایی برای ترانزیستورهای MOS

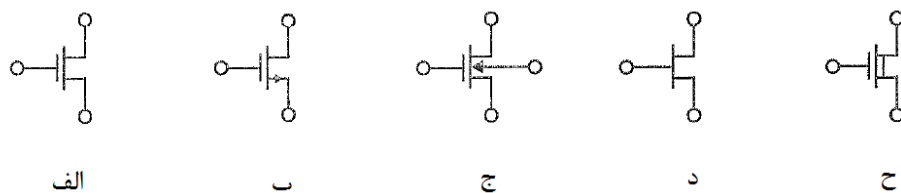
در مراجع مختلف به منظور نمایش ترانزیستورهای MOS بسیاری از نمادها مورد استفاده قرار گرفته است. شکل (۳-۱۳) برخی نمادها را که برای نمایش ترانزیستورهای NMOS به کار می رود نشان می دهد. نماد نشان داده شده در شکل (۳-۱۳) الف) اغلب استفاده می شود. توجه داشته باشید که هیچ علامتی در این نماد وجود ندارد که نشان دهد آیا ترانزیستور NMOS است و یا

<sup>۱</sup> Noncrystalline

<sup>۲</sup> Amorphous

<sup>۳</sup> Self-Aligned Process

PMOS. یک قاعده مرسوم این است که هنگامی که شک داریم فرض کنیم که ترانزیستور NMOS افزایشی است. شکل (۳-۱۳ ب) مرسوم ترین نماد مورد استفاده برای یک NMOS افزایشی است و در این کتاب نیز از این نماد استفاده شده است. علامت جهت پایین رونده از پایه سورس ترانزیستور به منظور مشخص کردن NMOS بودن ترانزیستور است و مشابه جهت فلش در نماد ترانزیستورهای npn است و معمولاً جهت جریان مثبت را نشان می دهد.

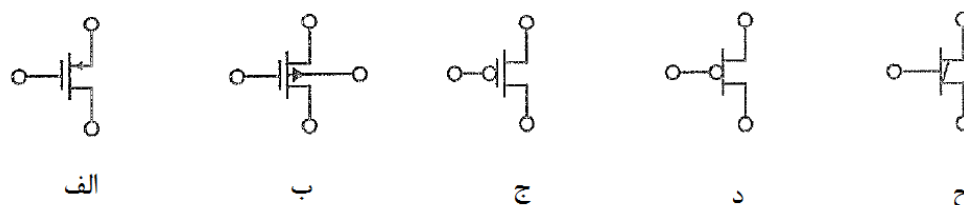


شکل ۳-۱۳. نمادهای مورد استفاده امروزی برای ترانزیستورهای NMOS.

ترانزیستورهای MOS معمولاً دارای چهار پایه هستند که پایه چهارم متصل به زیرلایه است. در NMOS ها زیرلایه  $p^-$  معمولاً به منفی ترین ولتاژ و در PMOS ها زیرلایه  $n^-$  معمولاً به مثبت ترین ولتاژ در مدار متصل می شود. در این موارد، نماد اتصال زیرلایه عموماً نشان داده نمی شود. هرچند، برای تکنولوژی های CMOS حداقل یکی از دو نوع ترانزیستورها در چاه زیرلایه ای تشکیل می شود که نیازی به اتصال به یکی از پایه های منبع تغذیه (VDD یا GND) ندارد. برای مثال یک پروسس چاه n، ترانزیستورهای NMOS را در یک زیرلایه  $p^-$  که کل مدار را در بر گرفته است تشکیل می دهد در حالی که ترانزیستورهای PMOS در تعدادی زیرلایه های چاه n تشکیل خواهند شد. در این حالت، اکثر زیرلایه های چاه n به مثبت ترین منبع تغذیه مدار متصل می شوند در حالی که برخی دیگر ممکن است به دیگر گره های مدار (اغلب چاه به سورس یک ترانزیستور که خود به منبع تغذیه متصل است، اتصال داده می شود) متصل باشند. در این موارد می توان از نماد شکل (۳-۱۳ ج) استفاده نمود و اتصال زیرلایه را بطور ضمنی نشان داد. توجه داشته باشید که این مورد کمتر در مدارهای دیجیتالی مورد استفاده دارد و بیشتر در مدارات آنالوگ متداول است.

همان گونه که در شکل (۳-۱۳ د) نشان داده شده است، برخی مواقع به منظور سادگی، ایزوله بودن گیت بطور ضمنی نشان داده نمی شود. این نماد ساده برای مدارهای دیجیتال و در حالتی که تعداد زیادی ترانزیستور در مدار حضور دارند متداول تر است. از آنجاکه این نماد برای ترانزیستورهای JFET نیز به کار می رود، در این کتاب به منظور نمایش ترانزیستورهای MOS از این نماد استفاده نمی کنیم. آخرین نماد در شکل (۳-۱۳ ح) نشان داده شده است که یک ترانزیستور NMOS نوع تهی را نشان می دهد. خط اضافی در این نماد بدین منظور به کار رفته است که یک کانال واقعی برای ولتاژ گیت- سورس صفر ولت وجود دارد. ترانزیستورهای NMOS نوع تهی در تکنولوژی های NMOS قدیمی به کار می رفته است و در تکنولوژی CMOS امروزی استفاده نمی شوند. شکل (۳-۱۴) برخی نمادهای مرسوم را به منظور نمایش ترانزیستورهای PMOS نشان می دهد. در این کتاب، از نماد شکل (۳-۱۴ الف) بدین منظور استفاده شده است. در برخی موارد نماد شکل (۳-۱۴ ج) در مدارهای دیجیتال به کار رفته است که نشان می دهد که یک ولتاژ کوچک در گیت، ترانزیستور را روشن می کند (بر خلاف ولتاژ بالا در مورد شکل (۳-۱۳ الف)). در

مدارهای بزرگتر که تعداد زیادی ترانزیستور PMOS در آن وجود دارد به منظور سادگی از نمادهای شکل (۳-۱۴) و یا (۳-۱۴) استفاده می شود.

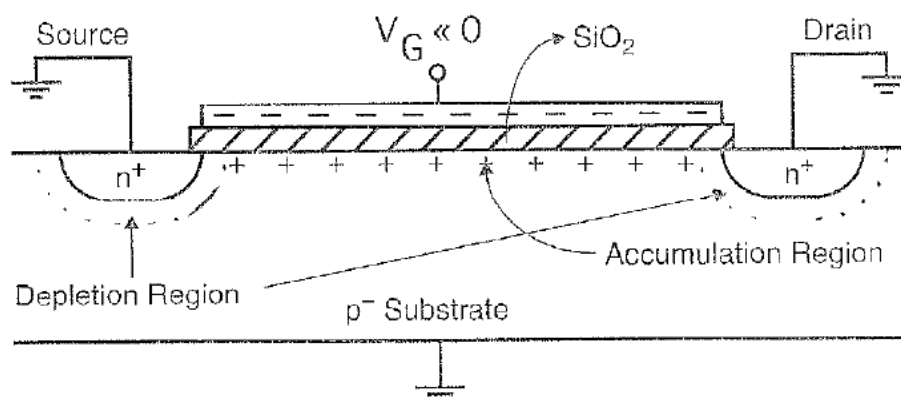


شکل ۳-۱۴. نمادهای مورد استفاده امروزی برای ترانزیستورهای PMOS.

### عملکرد پایه

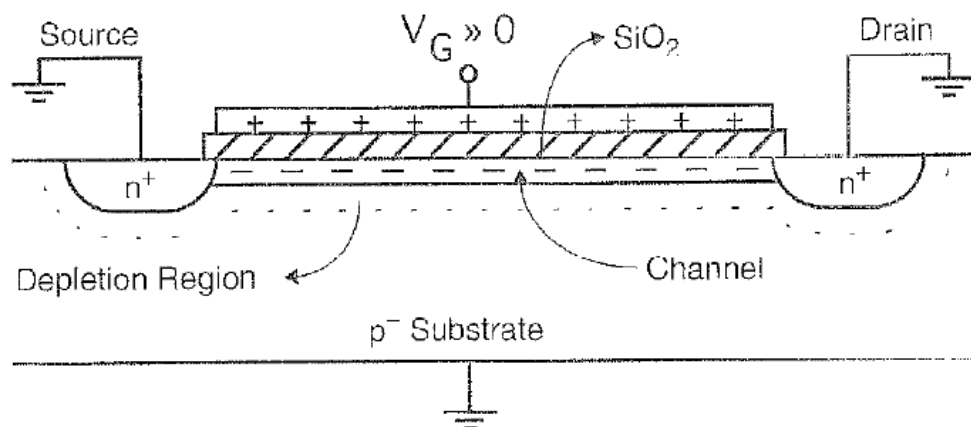
در این بخش عملکرد ترانزیستورهای MOS را با توجه به یک ترانزیستور NMOS شرح خواهیم داد. ابتدا نمایش مقطع عرضی نشان داده شده در شکل (۳-۱۵) الف را با توجه به اینکه سورس، درین و زیرلایه، همگی به زمین متصل باشند را در نظر بگیرید. در این حالت، ترانزیستور MOS مشابه یک خازن عمل می کند. گیت نقش یک صفحه خازن و سطح سیلیکن، درست زیر لایه ایزولاتور  $\text{SiO}_2$  به عنوان صفحه دیگر خازن عمل می کند.

همان گونه که در شکل (۳-۱۵) الف نشان داده شده است، اگر ولتاژ گیت خیلی منفی باشد، بار مثبت جذب ناحیه کانال می شود. از آنجا که زیرلایه در اصل بصورت  $p^-$  تغلیظ شده است، این ولتاژ منفی گیت به سادگی موجب افزایش تغلیظ کانال به  $p^+$  می شود که این پدیده کانال انباشته شده<sup>۱</sup> نامیده می شود. نواحی سورس و درین که  $n^+$  هستند توسط نواحی تهی از ناحیه  $p^+$  مجزا می شوند و یک مدار که از دو دیود که پشت به پشت متصلند را ایجاد می کنند. از این رو حتی اگر یکی از ولتاژهای سورس یا درین بیشتر شود (تا زمانی که ولتاژ درین آن قدر بزرگ نشود که باعث شود ترانزیستور به ناحیه شکست برود) جریان نشتی وجود خواهد داشت.



<sup>۱</sup> Accumulated Channel

(الف)



(ب)

شکل ۳-۱۵. یک ترانزیستور NMOS (الف)  $V_G \ll 0$  موجب ایجاد یک کانال انباشته شده می شود (هیچ جریانی نداریم). (ب)  $V_G \gg 0$  موجب معکوس شدن کانال می شود و جریان جاری می شود.

در حالتی که ولتاژ مثبتی را به گیت اعمال کنیم، وضعیتی برعکس رخ خواهد داد. این حالت در شکل (۳-۱۵ ب) نشان داده شده است. برای ولتاژهای مثبت کوچک، حامل های مثبت در کانال زیر گیت بطور اولیه دفع شده اند و کانال از نوع  $p^-$  تبدیل به یک ناحیه تهی می شود. هرچه ولتاژ مثبت بزرگتری اعمال شود، گیت بارهای منفی را از درین و سورس جذب خواهد کرد و کانال تبدیل به ناحیه ای از نوع  $n$  می شود که دارای الکترون های متحرکی است که نواحی درین و سورس را به یکدیگر متصل می کند. بطور مختصر، یک ولتاژ گیت- سورس مثبت مطلوب، کانال زیر خود را به نوع  $n$  تغییر می دهد و در این حالت اصطلاحاً گفته می شود که کانال معکوس شده است. لازم به ذکر است که نواحی درین و سورس برخی اوقات نواحی نفوذ<sup>۱</sup> یا نواحی اتصال<sup>۲</sup> نیز نامیده می شوند. اصطلاح اتصال با آنچه قبلاً مشاهده شد و در مورد یک اتصال  $pn$  به کار می رفت متفاوت است.

ولتاژ گیت- سورس را در حالتی که در زیرلایه  $p^-$  غلظت الکترون های موجود در زیر گیت مساوی با غلظت حفره های دور از گیت باشد، با عنوان ولتاژ آستانه ترانزیستور<sup>۳</sup> شناخته می شود و برای ترانزیستورهای NMOS با  $V_{th}$  نشان داده می شود. به ازاء ولتاژهای بزرگتر از  $V_{th}$  یک کانال نوع  $n$  وجود دارد و هدایت بین درین و سورس میسر خواهد بود. برای ولتاژهای گیت- سورس کوچکتر از  $V_{th}$  عموماً فرض بر آن است که ترانزیستور خاموش است و هیچ جریانی از درین و سورس عبور نمی کند. هرچند، توجه داشته باشید که فرض جریان صفر درین- سورس برای ترانزیستوری که خاموش است، تنها یک تقریب است. در واقع، برای ولتاژهای گیت

<sup>۱</sup> Diffusion

<sup>۲</sup> Junction

<sup>۳</sup> Transistor Threshold Voltage

در حدود  $V_{tn}$  تغییر ناگهانی جریانی وجود نداشته و برای ولتاژهای گیت- سورس اندکی کمتر از  $V_{tn}$  مقادیر کوچکی جریان زیرآستانه<sup>۱</sup> جاری خواهد شد که در بخش (۳-۴) مورد بررسی قرار خواهد گرفت.

زمانی که ولتاژ گیت- سورس  $V_{GS}$  بزرگتر از  $V_{tn}$  باشد، کانال تشکیل می شود. هر چه  $V_{GS}$  افزایش یابد، چگالی الکترون های موجود در کانال افزایش می یابد. در واقع، چگالی حامل و بنابراین چگالی بار متناسب است با  $V_{GS} - V_{tn}$  بطوری که اغلب این ولتاژ را ولتاژ گیت- سورس مؤثر می نامند و با  $V_{eff}$  نشان می دهند. بطور دقیق تر داریم:

$$V_{eff} \equiv V_{GS} - V_{tn} \quad (3.58)$$

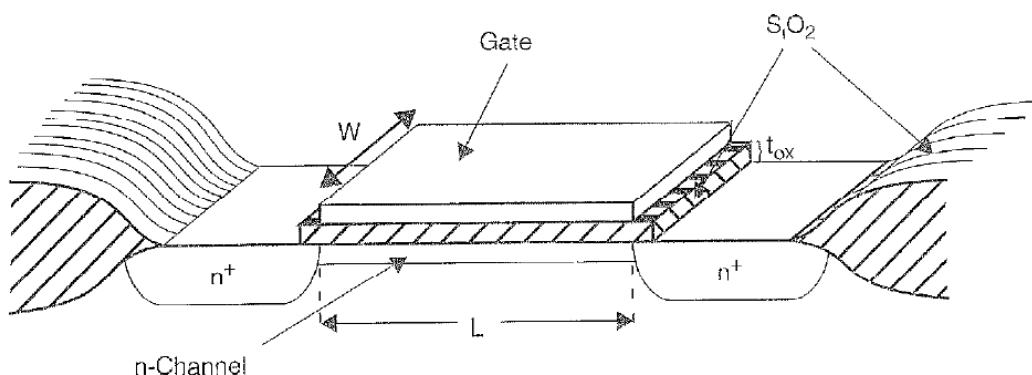
آنگاه چگالی بار الکترون ها از رابطه زیر محاسبه می گردد.

$$Q_n = C_{ox}(V_{GS} - V_{tn}) = C_{ox}V_{eff} \quad (3.59)$$

در این جا،  $C_{ox}$  خازن گیت در واحد سطح است که مقدار آن از رابطه زیر محاسبه می گردد که در آن،  $K_{ox}$  ثابت دی الکتریک  $SiO_2$  (تقریباً ۳-۹) و  $t_{ox}$  ضخامت اکسید نازک زیر گیت است.

$$C_{ox} = \frac{K_{ox}\epsilon_0}{t_{ox}} \quad (3.60)$$

نکته قابل توجه این است که رابطه (۳-۵۹) تنها زمانی دقیق است که هر دو ولتاژ درین و سورس صفر باشد. رابطه (۳-۵۹) اغلب به هنگام تحلیل مدارهای MOS به کار می رود. به منظور بدست آوردن خازن گیت کل باید رابطه (۳-۶۰) در مساحت مؤثر گیت یعنی  $W.L$  ضرب شود که  $W$  عرض گیت و  $L$  طول مؤثر گیت است. این ابعاد در شکل (۳-۱۶) نشان داده شده اند.



شکل ۳-۱۶. ابعاد مهم یک ترانزیستور MOS.

بنابراین خازن گیت کل ( $C_{gs}$ ) از رابطه زیر محاسبه می گردد.

<sup>۱</sup> Sub-Threshold Current

$$C_{gs} = WLC_{ox} \quad (3.61)$$

و بار کل کانال ( $Q_{T-n}$ ) از رابطه زیر محاسبه می گردد.

$$Q_{T-n} = WLC_{ox}(V_{GS} - V_{tn}) = WLC_{ox}V_{eff} \quad (3.62)$$

خازن گیت یا همان  $C_{gs}$  اغلب یکی از خازن های بار اصلی است که مدار باید قادر باشد آن را شارژ یا دشارژ نماید. خازن های گیت همچنین زمانی که قصد محاسبه تزریق بار<sup>۱</sup> را داشته باشیم بسیار مهم هستند. تزریق بار زمانی رخ می دهد که یک ترانزیستور MOS به دلیل اینکه بار کانال ( $Q_{T-n}$ ) باید از زیر گیت و از طریق پایه ها به دیگر جاهای مدار عبور کند، خاموش شده باشد.

سپس، اگر ولتاژ درین به بیش از صفر ولت افزایش یابد، یک اختلاف پتانسیل در درین- سورس وجود خواهد داشت. این اختلاف پتانسیل موجب جاری شدن جریان از درین به سورس می شود. جریان در واقع با حامل های منفی (الکترون ها) و از سورس به درین جاری می شود. طبق تعریف، جاری شدن حامل های منفی از سورس به درین موجب یک جریان مثبت از درین به سورس می شود و با  $I_{DS}$  نشان می دهند. رابطه بین  $V_{DS}$  و جریان درین- سورس ( $I_D$ ) و با فرض اینکه  $V_{DS}$  کوچک است، مشابه یک مقاومت است. این رابطه به شکل زیر است و در آن  $\mu_n \cong 0.06 m^2/V.s$  قابلیت تحرک الکترون های نزدیک سطح سیلیکن بوده و  $Q_n$  غلظت بار یک کانال در واحد سطح (با نگاه از بالا به پایین) می باشد. توجه داشته باشید که هرچه طول کانال افزایش یابد، جریان درین- سورس کاهش می یابد در حالی که اگر چگالی بار و یا عرض ترانزیستور افزایش یابد، جریان افزایش می یابد.

$$I_D = \mu_n Q_n \frac{W}{L} V_{DS} \quad (3.63)$$

با استفاده از روابط (۳-۶۲) و (۳-۶۳) می توان رابطه (۳-۶۴) را بدست آورد که باید تأکید شود که این رابطه تنها برای ولتاژهای درین- سورس نزدیک به صفر (یعنی  $V_{DS}$  بسیار کوچکتر از  $V_{eff}$  باشد) صادق می باشد.

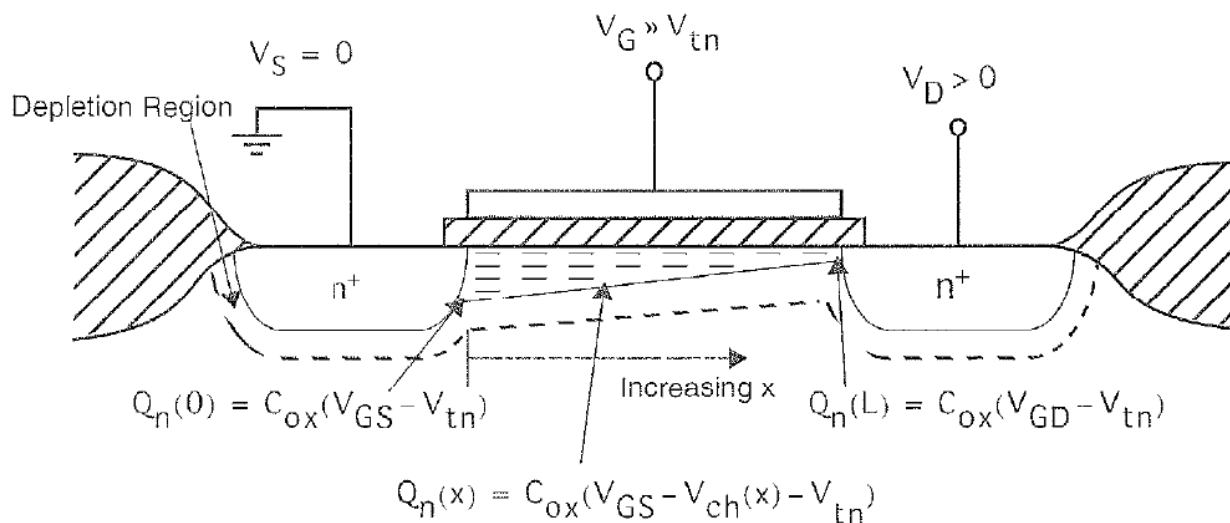
$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{tn}) V_{DS} = \mu_n C_{ox} \frac{W}{L} V_{eff} V_{DS} \quad (3.64)$$

هرچه ولتاژ درین- سورس افزایش یابد، غلظت بار کانال در انتهای کاهش می یابد. هرچه به سمت درین حرکت کنیم، این کاهش غلظت بار کانال در نتیجه اختلاف ولتاژ کمتر گیت به کانال در دو سر اکسید گیت نازک است. به عبارت دیگر، از آنجا که فرض بر این است که ولتاژ درین باید ولتاژ بیشتر از سورس باشد، گرادیان ولتاژ از سورس به درین افزایش می یابد که موجب می شود ولتاژ گیت به کانال در نزدیکی درین کوچکتر باشد. از آنجا که چگالی بار در فاصله  $x$  از انتهای سورس کانال متناسب است با  $V_G - V_{CH}(x) - V_{tn}$ ، هرچه  $V_G - V_{CH}(x)$  کاهش یابد، چگالی بار کاهش می یابد. این مطلب در شکل (۳-۱۷) نشان داده شده

<sup>۱</sup> Charge Injection



است.  $V_G - V_{CH}(x)$  عبارت است از افت ولتاژ گیت به کانال در فاصله  $x$  از انتهای سورس که  $V_G$  در همه جای گیت یکسان است، چراکه ماده دهنده گیت یک ماده با هدایت بسیار بالا است.

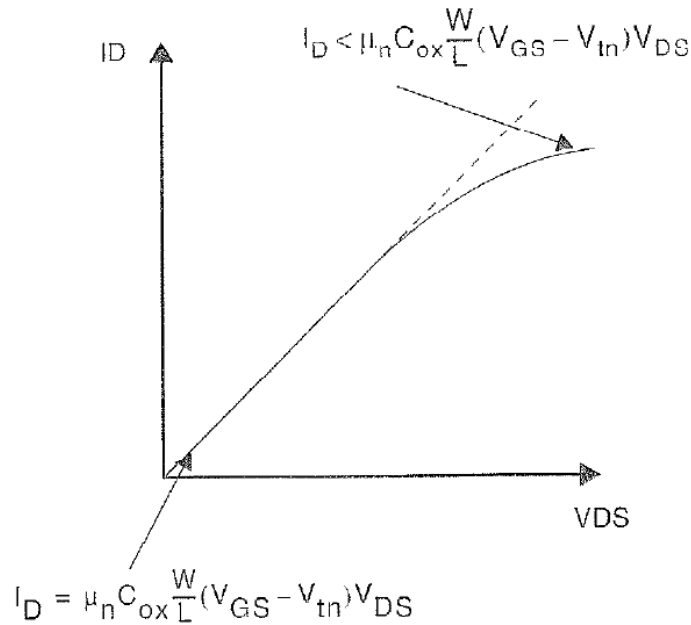


شکل ۳-۱۷. چگالی بار کانال برای  $V_{DS} > 0$ .

توجه داشته باشید که در انتهای درین یک کانال داریم:

$$V_G - V_{ch}(L) = V_{GD} \quad (3.65)$$

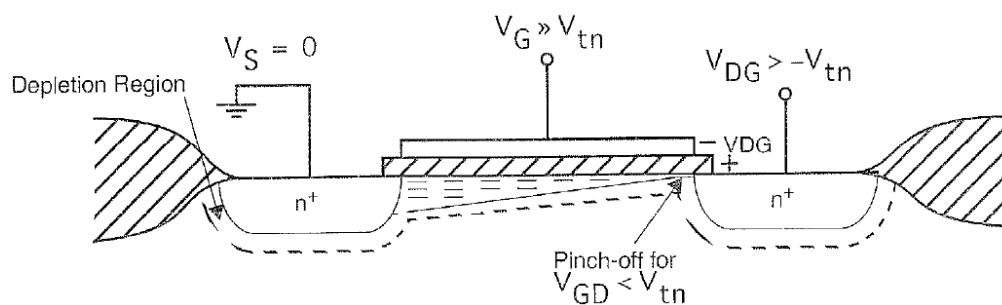
برای  $V_{DS}$  کوچک از رابطه (۳,۶۴) مشاهده نمودیم  $I_D$  رابطه خطی با  $V_{DS}$  دارد. هر چند، هر چه  $V_{DS}$  افزایش یابد و در نزدیکی درین چگالی بار کاهش یابد، رابطه غیر خطی می شود. در واقع هم‌منطور که در شکل (۳-۱۸) نشان داده شده است، نمودار رابطه خطی  $I_D$  بر حسب  $V_{DS}$  برای  $V_{DS}$  های بزرگتر مسطح می شود.



شکل ۳-۱۸. برای  $V_{DS}$  های نزدیک به صفر، رابطه  $I_D$  بر حسب  $V_{DS}$ ، دیگر خطی نیست.

هر چه ولتاژ درین افزایش می یابد، در برخی نقاط ولتاژ گیت به کانال در انتهای درین تا ولتاژ آستانه ترانزیستور ( $V_{tn}$ ) کوچکترین ولتاژ لازم برای حامل های نوع  $n$  به منظور وجود کانال) کاهش می یابد. از این رو همانطور که در شکل (۳-۱۹) نشان داده شده است، کانال در انتهای درین دچار انسداد یا تنگیدگی<sup>۱</sup> می شود. این تنگیدگی در  $V_{GD} = V_{tn}$  رخ می دهد چون ولتاژ کانال در انتهای درین به سادگی برابر است با  $V_D$ . بنابراین تنگیدگی برای حالت زیر رخ می دهد.

$$V_{DG} > -V_{tn} \quad (3.66)$$



شکل ۳-۱۹. زمانی که  $V_{DS}$  افزایش یابد بطوری که  $V_{GD} < V_{tn}$ ، آنگاه کانال در انتهای درین دچار تنگیدگی می شود.

اگر هنگامی که کانال دچار تنگیدگی می شود، ولتاژ درین-سورس را  $V_{DS-sat}$  بنامیم می توان با جایگزینی  $V_{DG} = V_{DS} - V_{GS}$  از رابطه (۳-۶۶) و عبارت معادلی را برای تنگیدگی بدست آورد که در آن  $V_{DS-sat}$  از رابطه (۳-۶۸) بدست می آید. در این حالت به

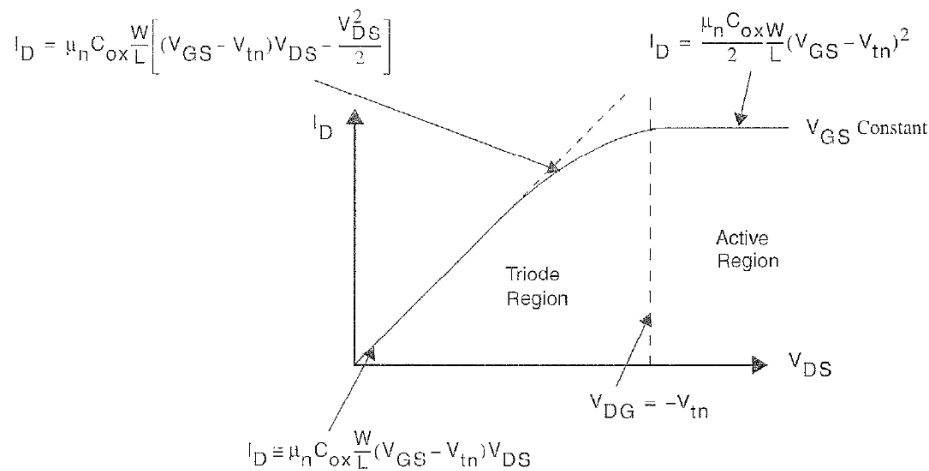
<sup>۱</sup> Pinch-Off

دلیل وجود اثر بدنه، ولتاژ آستانه در انتهای درین ترانزیستور افزایش یافته است که موجب می شود مقدار صحیح  $V_{DS-sat}$  اندکی کمتر از  $V_{eff}$  باشد.

$$V_{DS} > V_{DS-sat} \quad (3.67)$$

$$V_{DS-sat} = V_{GS} - V_{tn} = V_{eff} \quad (3.68)$$

حامل های الکترون که در ناحیه درین تنگیده شده حرکت می کنند، از نظر سرعت اشباع شده اند<sup>۱</sup>. مشابه گاز تحت فشاری که از یک لوله بسیار نازک در حال عبور باشد. اگر ولتاژ درین- گیت از این ولتاژ بحرانی تنگیدگی ( $-V_{tn}$ ) بیشتر شود، غلظت بار در کانال بطور تقریبی ثابت باقی می ماند و ولتاژ درین، با افزایش ولتاژ  $V_{DS}$  دیگر افزایش نخواهد یافت. نتیجه، رابطه ای خواهد بود که برای ولتاژ گیت- سورس معین در شکل (۳-۲۰) نشان داده شده است. در ناحیه عملکردی که  $V_{DS} > V_{DS-sat}$  جریان درین مستقل از  $V_{DS}$  است و به این ناحیه عملکرد، ناحیه فعال (اشباع)<sup>۲</sup> گویند. در ابتدا ناحیه فعال را ناحیه اشباع می خواندند اما این تشابه با ناحیه اشباع در ترانزیستورهای دوقطبی کمی گمراه کننده است چرا که در ترانزیستورهای دوقطبی این حالت در  $V_{CE}$  کوچک رخ می دهد و در ترانزیستورهای MOS در  $V_{DS}$  بزرگ. در هر صورت در ادامه این کتاب از واژه اشباع استفاده خواهیم نمود. ناحیه ای که  $I_D$  با تغییرات  $V_{DS}$  تغییر می کند ناحیه خطی<sup>۳</sup> نامیده می شود. ترانزیستورهای MOS که به منظور آمپلی فایرهای آنالوگ مورد استفاده قرار می گیرند در این ناحیه کاری بایاس می شوند. هنگامی که این ترانزیستورها در گیت های منطقی دیجیتال مورد استفاده قرار گیرند معمولاً در هر دو ناحیه کاری عمل خواهند نمود.



شکل ۳-۲۰. نمودار  $I_D$  بر حسب  $V_{DS}$  برای یک ترانزیستور MOS ایدئال. در حالت  $V_{DG} > -V_{tn}$  مقدار  $I_D$  تقریباً ثابت است.

<sup>۱</sup> Velocity Saturated

<sup>۲</sup> Active Region

<sup>۳</sup> Triode

پیش از آنکه بیشتر به پیش برویم بهتر است در مورد عبارات تبدیل ضعیف، متوسط و قوی<sup>۱</sup> بحث کنیم. همانطور که اشاره شد، ولتاژ گیت- سورس بزرگتر از  $V_{tn}$  موجب می شود که کانال تبدیل (معکوس) گردد و جریان درین- سورس بتواند جاری شود. هر چند هر چه ولتاژ گیت- سورس افزایش یابد، کانال بطور ناگهانی معکوس (تبدیل به n) نخواهد شد بلکه این تبدیل بصورت تدریجی خواهد بود. از این رو مفید است که با توجه به ولتاژ گیت- سورس، سه ناحیه را برای تبدیل کانال تعریف نماییم. در بسیاری از کاربردهای مداری، ترانزیستورهای MOSFET در ناحیه معکوس قوی عمل می کنند که در این حالت داریم  $V_{eff} > 100mv$ . همان طور که از نام (معکوس قوی) پیداست، معکوس شدن قوی زمانی رخ می دهد که کانال به شدت با حامل های موجود در کانال معکوس شده باشد. توجه داشته باشید که در تمامی روابط ارائه شده در این بخش فرض بر این است که عملکرد ترانزیستورها در ناحیه معکوس قوی است. معکوس ضعیف زمانی رخ می دهد که  $V_{GS}$  تقریباً حدود  $100mv$  و یا بیشتر، کوچکتر از  $V_{tn}$  بوده و این ناحیه را قبلاً با نام زیرآستانه معرفی نمودیم. ناحیه معکوس متوسط، ناحیه ای است مابین معکوس ضعیف قوی.

### مدل سازی سیگنال بزرگ

رابطه ناحیه خطی برای یک ترانزیستور MOS رابطه جریان درین را به ولتاژهای گیت- سورس و درین- سورس بیان می دارد. می توان نشان داد که این رابطه بصورت رابطه (۳-۶۹) می باشد.

$$I_D = \mu_n \frac{W}{L} C_{ox} \left[ (V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.69)$$

هرچه  $V_{DS}$  افزایش یابد، تا زمانی که سرانتهایی درین دچار تنگیدگی نشده باشد  $I_D$  افزایش خواهد یافت و از آن نقطه به بعد، با افزایش  $V_{DS}$ ، جریان درین افزایش نخواهد یافت. نقطه تنگیدگی در شرایط  $V_{DS} = V_{GS} - V_{tn} = V_{eff}$  رخ می دهد و تقریباً داریم:

$$V_{DS} = V_{GS} - V_{tn} = V_{eff} \quad (3.70)$$

دقیقاً در مرز تنگیدگی، جریان درین که از رابطه (۳-۶۹) محاسبه می شود و جریانی که در ناحیه اشباع ( که نسبت به افزایش  $V_{DS}$  مقدار تقریباً ثابتی دارد) بر قرار است باید باهم مساوی باشند. بنابراین، معادله جریان ناحیه اشباع را می توان از تفریق روابط (۳-۶۹) و (۳-۷۰) بدست آورد که بصورت رابطه (۳-۷۱) نشان داده شده است.

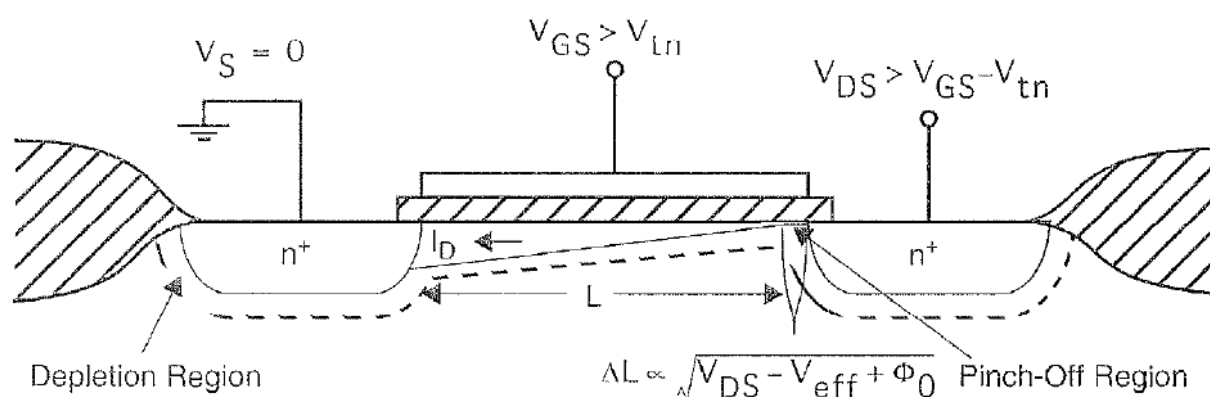
$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{GS} - V_{tn})^2 \quad (3.71)$$

در حالت  $V_{DS} > V_{eff}$  و با نادیده گرفتن جملات درجه دوم از جمله امپدانس بی نهایت ترانزیستور، جریانی که از رابطه (۳-۷۱) بدست می آید، ثابت باقی خواهد ماند. این رابطه شاید مهمترین رابطه ای باشد که عملکرد سیگنال بزرگ یک ترانزیستور MOS را

<sup>۱</sup> Weak, Moderate, and Strong Inversion

نشان می دهد. توجه داشته باشید که در این معادله، رابطه توان دومی از ولتاژ در ناحیه اشباع برقرار است. در مورد یک ترانزیستور BJT یک رابطه جریان-ولتاژ نمایی در ناحیه اشباع برقرار است.

همان طور که اشاره شد، رابطه (۷۱-۳) بیان می کند که جریان درین ( $I_D$ ) مستقل است از ولتاژ درین-سورس. این مستقل بودن بصورت تقریبی صحیح است (بدون در نظر داشتن اثرات درجه دوم). منشأ اصلی خطا در اثر این است که هرچه  $V_{DS}$  افزایش می یابد، طول کانال کاهش می یابد. به منظور مشاهده این اثر، شکل (۲۱-۳) را در نظر بگیرید که مقطع عرضی یک ترانزیستور را در ناحیه اشباع نشان می دهد. تنگیدگی با اندکی بار بین درین و کانال مشاهده می شود. ولتاژ در انتهای کانال چسبیده به درین بصورت  $V_{GS}-V_{tn}=V_{eff}$  ثابت است. اختلاف ولتاژ بین درین و نزدیک به انتهای کانال در دو سر ناحیه تهی را معمولاً ناحیه تنگیدگی می نامند.



شکل ۲۱-۳. کاهش طول کانال به ازاء  $V_{DS} > V_{eff}$ .

هرچه  $V_{DS}$  بزرگتر از  $V_{eff}$  شود، این ناحیه تهی که اتصال درین را فرا گرفته است عرض خود را متناسب با مجذور  $V_{DS}$  افزایش می دهد. این افزایش عرض ناحیه تهی که در بر گیرنده اتصال درین است، طول مؤثر کانال را کاهش می دهد که این اثر به نوبه خود، جریان درین را افزایش می دهد که این پدیده موسوم است به مدولاسیون طول کانال<sup>۱</sup>.

به منظور محاسبه معادله ای که مدولاسیون طول کانال را در بر داشته باشد، ابتدا با استفاده از رابطه (۱۸-۳) و نمایش عرض ناحیه تهی با  $X_d$  داریم:

$$\begin{aligned} x_d &\cong K_{ds} \sqrt{V_{D-ch} + \Phi_0} \\ &= K_{ds} \sqrt{V_{DG} + V_{tn} + \Phi_0} \end{aligned} \quad (3.72)$$

بطوری که مقدار  $K_{ds}$  از رابطه زیر محاسبه می شود و واحد آن  $m/\sqrt{v}$  است.

<sup>۱</sup> Channel-Length Modulation

$$k_{ds} = \sqrt{\frac{2K_s \epsilon_0}{qN_A}} \quad (3.73)$$

توجه داشته باشید که در اینجا  $N_A$  بدین دلیل استفاده شده است که ناحیه درین نوع  $n$  بیشتر از کانال نوع  $p$  تغلیظ شده است، یعنی  $N_D \gg N_A$ . با نوشتن بسط تیلور برای  $I_D$  حول مقدار کاری آن که برابر است با  $V_{DS} = V_{GS} - V_{tn} = V_{eff}$  بدست می آوریم:

$$I_D = I_{D-sat} + \left( \frac{\partial I_D}{\partial L} \right) \left( \frac{\partial L}{\partial V_{DS}} \right) \Delta V_{DS} \cong I_{D-sat} \left[ 1 + \frac{k_{ds}(V_{DS} - V_{eff})}{2L\sqrt{V_{DG} + V_{tn} + \Phi_0}} \right] \quad (3.74)$$

که در آن  $I_{D-sat}$  جریان درین است زمانی که  $V_{DS} = V_{eff}$  یا بطور معادل، جریان درین است هنگامی که مدولاسیون طول کانال نادیده گرفته شود. توجه داشته باشید در محاسبه معادله (۳-۷۴) از رابطه

$$\partial L / \partial V_{DS} = -\partial x_d / \partial V_{DS}$$

استفاده شده است. معمولاً رابطه (۳-۷۴) را بصورت (۳-۷۵) به کار برده می شود بطوری که در آن،  $\lambda$  ثابت امپدانس خروجی (با واحد  $V^{-1}$ ) است که مقدار آن از رابطه (۳-۷۶) محاسبه می گردد.

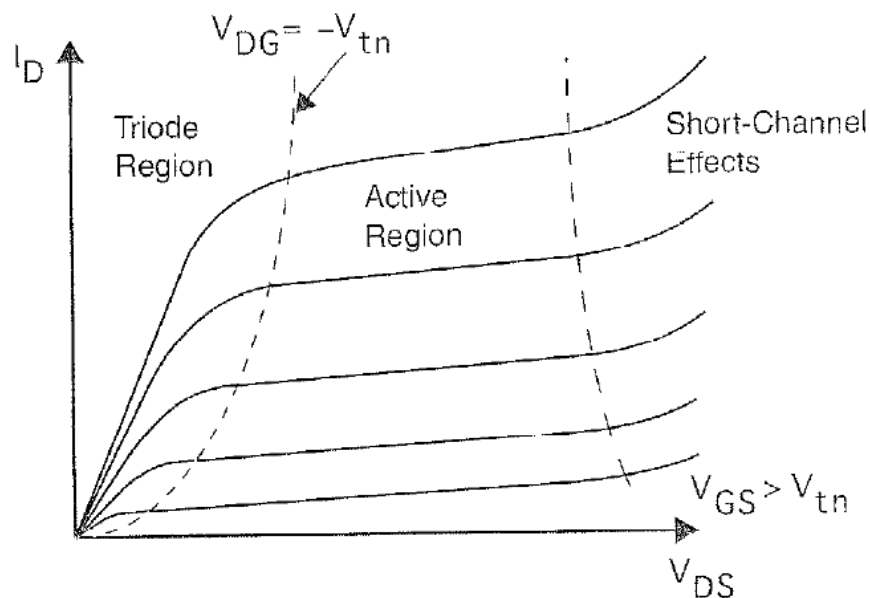
$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{tn})^2 [1 + \lambda(V_{DS} - V_{eff})] \quad (3.75)$$

$$\lambda = \frac{k_{ds}}{2L\sqrt{V_{DG} + V_{tn} + \Phi_0}} = \frac{k_{ds}}{2L\sqrt{V_{DS} - V_{eff} + \Phi_0}} \quad (3.76)$$

رابطه (۳-۷۵) تا زمانی صحیح است که مقدار  $V_{DS}$  به حد کافی بزرگ باشد تا موجب حضور اثرات درجه دوم که به اثرات کانال کوچک<sup>۱</sup> مشهور است شود. برای مثال، در این رابطه بطور ضمنی فرض شده است که جریانی که از کانال عبور می کند دچار پدیده اشباع سرعت<sup>۲</sup> نشده است (یعنی از نقطه ای به بعد، با افزایش میدان الکتریکی، سرعت حامل ها افزایش نخواهد یافت). پدیده اشباع سرعت در فناوری های نوینی رخ می دهد که دارای طول کانال بسیار کوچک هستند و بنابراین میدان های الکتریکی بزرگی دارند. اگر  $V_{DS}$  به حدی بزرگ شود که اثرات کانال کوتاه ظاهر شود،  $I_D$  بیشتر از آنچه از رابطه (۳-۷۵) محاسبه می گردد افزایش خواهد یافت. البته برای مقادیر بسیار بزرگ  $V_{DS}$  ترانزیستور به ناحیه شکست می رود. نمودار  $I_D$  بر حسب  $V_{DS}$  به ازاء مقادیر مختلف  $V_{GS}$  در شکل (۳-۲۲) نشان داده شده است. توجه داشته باشید که در ناحیه اشباع، شیب اندک (اما غیر صفر) بدین معناست که  $I_D$  به  $V_{DS}$  وابسته است.

<sup>۱</sup> Short-Channel Effects

<sup>۲</sup> velocity saturated



شکل ۳-۲۲. نمودار  $I_D$  بر حسب  $V_{DS}$  به ازاء مقادیر مختلف  $V_{GS}$ .

### مثال ۳.۷

برای یک ترانزیستور کانال نوع n که دارای غلظت زیرلایه  $N_A = 1.4 \times 10^{23}/m^3$  و همچنین  $\mu_n C_{ox} = 188 \mu A/V^2$ ،  $\phi_0 = 0.99v$ ،  $V_{GS} = 1.2v$ ،  $V_{tn} = 0.8v$  و  $V_{DS} = V_{eff}$  است،  $I_D$  را محاسبه نمایید. با فرض این که  $\lambda$  ثابت باقی می ماند مقدار جدید  $I_D$  را در حالتی محاسبه کنید که  $V_{DS}$  به میزان نیم ولت افزایش یابد.

پاسخ:

از رابطه (۳-۷۳) داریم

$$k = \sqrt{\frac{2 \times 11.8 \times 8.854 \times 10^{-12}}{1.6 \times 10^{-19} \times 1.4 \times 10^{23}}} = 96.6 \times 10^{-9} \text{ m}/\sqrt{V}$$

که در رابطه (۳-۷۶) به منظور یافتن  $\lambda$  بصورت زیر استفاده می شود.

$$\lambda = \frac{96.6 \times 10^{-9}}{2 \times 0.6 \times 10^{-6} \times \sqrt{0.99}} = 80.8 \times 10^{-3} \text{ V}^{-1}$$

اکنون با استفاده از (۳-۷۵) به ازاء  $V_{DS} = V_{eff} = 0.4v$  داریم:

$$I_{D1} = \left( \frac{188 \times 10^{-6}}{2} \right) \left( \frac{6}{0.6} \right) (0.4)^2 (1) = 150 \mu A$$

در حالتی که  $V_{DS} = V_{eff} + 0.5V = 0.9V$  داریم:

$$I_{D2} = 150 \mu A \times (1 + \lambda \times 0.5) = 156 \mu A$$

توجه داشته باشید که این مثال با افزایش ۰.۵ ولت در ولتاژ درین- سورس، یک افزایش تقریباً ۵ درصدی را در جریان درین نشان می دهد. مقادیری که از شبیه سازی با اسپایس بدست می آید ۱۶۴ و ۱۷۴ میکروآمپر بیشتر از مقدار محاسبه شده دستی است که اثرات القایی درین کانال کوتاه را شامل می شود.

### اثر بدنه<sup>۱</sup>

معادلات سیگنال بزرگی که در بخش قبل ارائه شد، بر اساس این فرض بود که ولتاژ سورس مساوی است با ولتاژ زیرلایه (بدنه<sup>۲</sup>). هرچند اغلب، سورس و زیرلایه می توانند مقادیر متفاوتی از یکدیگر داشته باشند. در این شرایط، اثر مرتبه دوم وجود دارد که هنگامی که ولتاژ بایاس معکوس سورس- زیرلایه افزایش می یابد، بصورت افزایش ولتاژ آستانه ترانزیستور ( $V_{tn}$ ) مدل می شود. این پدیده را اثر بدنه می نامند که در پروسس CMOS برای ترانزیستورهایی که در چاهی قرار دارند که غلظت زیرلایه آن بیشتر است. اثر بدنه بیشتر در مدارهای دیجیتال و در کاهش ولتاژ گیت- سورس ترانزیستورهای عبور<sup>۳</sup> و سویچ هایی که در فصل ۵ مورد بررسی قرار خواهند گرفت، حائز اهمیت می باشند.

به منظور محاسبه اثر بدنه، می توان نشان داد که ولتاژ آستانه یک ترانزیستور کانال n از رابطه (۳-۷۷) محاسبه می گردد که در آن  $V_{tn0}$  ولتاژ آستانه با  $V_{SB}$  (ولتاژ سورس- زیرلایه) صفر است و مقدار  $\gamma$  از رابطه (۳-۷۸) محاسبه می گردد.

$$V_{tn} = V_{tn-0} + \gamma (\sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|}) \quad (3.77)$$

$$\gamma = \frac{\sqrt{2qN_A K_s \epsilon_0}}{C_{ox}} \quad (3.78)$$

<sup>۱</sup> Body Effect

<sup>۲</sup> Bulk

<sup>۳</sup> Pass Transistors



اغلب  $\gamma$  را با عنوان ثابت اثر بدنه می شناسند و واحد آن  $\sqrt{v}$  است. توجه داشته باشید که  $\gamma$  در ترانزیستورهای کانال n متناسب است با  $\sqrt{N_A}$  در ترانزیستورهای کانال p متناسب است با  $N_D$  و بنابراین اثر بدنه برای ترانزیستورهایی که در چاه هایی هستند که غلظت آنها بیشتر از زیرلایه است، بیشتر است.

انشعاب مهم دیگری از اثر بدنه این است که روابط (۶۹-۳) الی (۷۱-۳) را تغییر دهیم. این روابط بر اساس این فرض بدست آمده است که ولتاژ آستانه در همه جای کانال ثابت است. در واقع، ولتاژ آستانه در کانال و در نزدیکی درین (برای ترانزیستورهای کانال n) افزایش می یابد که این بر اثر افت ولتاژ کانال است و باعث می شود که مقادیر جریان، کمتر از مقادیر محاسبه شده توسط روابط (۶۹-۳) الی (۷۱-۳) باشد. همچنین، ولتاژ درین- سورس لازم برای یک ترانزیستور که در ناحیه اشباع باشد، کوچکتر است. روابط I-V برای ترانزیستورهای MOS، اکنون با در نظر گرفتن اثر بدنه بصورت زیر است.

$$I_D = \mu_n \frac{W}{L} C_{ox} \left[ (V_{GS} - V_{tn}) V_{DS} - \alpha \frac{V_{DS}^2}{2} \right] \quad (3.79)$$

برای

$$V_{DS} \leq \frac{V_{GS} - V_{tn}}{\alpha} = \frac{V_{eff}}{\alpha} \quad (3.80)$$

و

$$I_D = \frac{\mu_n C_{ox} W}{2\alpha} (V_{GS} - V_{tn})^2 \quad (3.81)$$

که در آن  $\alpha$  کمیتی بزرگتر از یک است و مقدار آن عموماً از طریق آزمایش بدست می آید و بطور نوعی داریم:

$$\alpha \cong 1 + \frac{\gamma}{2\sqrt{V_{SB} + |2\phi_F|}} \quad (3.82)$$

### ترانزیستورهای نوع کانال p و ترانزیستورهای نوع تهی

تمامی معادلات قبلی برای ترانزیستورهای افزایشی کانال n محاسبه و ارائه شده اند. در مورد ترانزیستورهای نوع کانال p، این معادلات را می توان با قرار دادن یک علامت منفی که در جلو هر متغیر ولتاژ (به استثنای  $V_{eff}$  که همواره مثبت است) مورد استفاده قرار داد. از این رو،  $V_{GS}$  تبدیل می شود به  $V_{SG}$ ،  $V_{DS}$  تبدیل می شود به  $V_{SD}$ ،  $V_{tn}$  تبدیل می شود به  $-V_{tp}$  و الی آخر.

شرط هدایت اکنون بصورت  $V_{SG} > V_{tp}$  است که برای یک ترانزیستور کانال p یک کمیت منفی است. البته امکان ساخت ترانزیستورهای تهی نوع p نیز وجود دارد، اما چندان اهمیتی ندارند. ترانزیستورهای تهی نوع n نیز در مدارهای CMOS به ندرت مورد استفاده قرار می گیرند اما این ترانزیستورها در برخی کاربردها به ویژه زمانی که در یک چاه قرار گیرند، مورد استفاده هستند.

شرط اشباع بودن یک ترانزیستور کانال p بصورت  $V_{SD} > V_{SG} + V_{tp}$  و یا بطور معادل  $V_{SD} > V_{SG} - |V_{tp}|$  می باشد. روابط ID در هر دو ناحیه کاری بدون تغییر باقی می ماند، چراکه تمام متغیرهای ولتاژ بصورت توان دو هستند به استثنای جریان که اکنون از سورس به درین جاری می شود.

برای ترانزیستورهای تهی نوع n تنها تفاوت این است که  $V_{td} < 0v$  و مقدار نوعی ممکن است  $V_{td} = -2v$  باشد.

### مدل سازی سیگنال کوچک

مدل سازی سیگنال کوچک ترانزیستورهای MOS بطور خلاصه در این بخش معرفی می گردد. مدل سیگنال کوچک برای ناحیه اشباع و در فرکانس های پایین در شکل (۳-۲۳) نشان داده شده است و پارامترهای  $g_m$ ،  $g_s$  و  $r_{ds}$  از روابط زیر محاسبه می گردند.

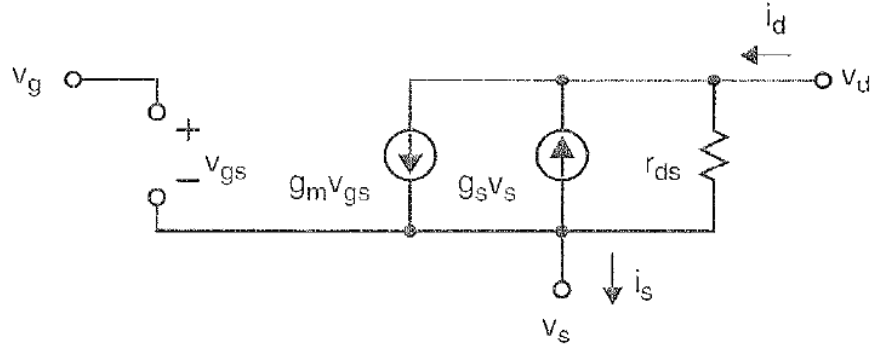
$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (3.83)$$

$$g_s = \frac{\gamma g_m}{2\sqrt{V_{SB} + |2\phi_F|}} \quad (3.84)$$

$$r_{ds} \equiv \frac{1}{\lambda I_D} \quad (3.85)$$

و داریم:

$$\lambda = \frac{k}{2L\sqrt{V_{DS} - V_{eff} + \Phi_0}} \quad (3.86)$$

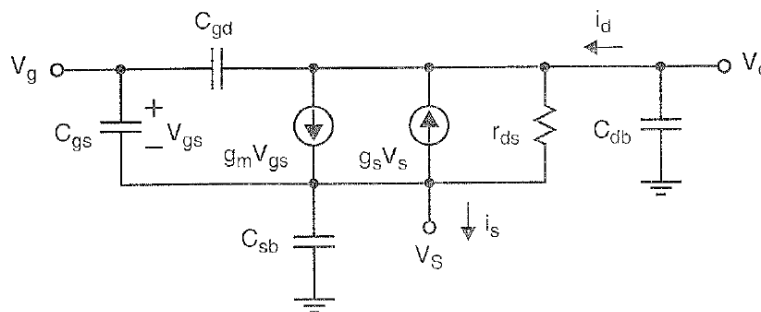


شکل ۳-۲۳. مدل سیگنال کوچک فرکانس پایی یک ترانزیستور MOS.

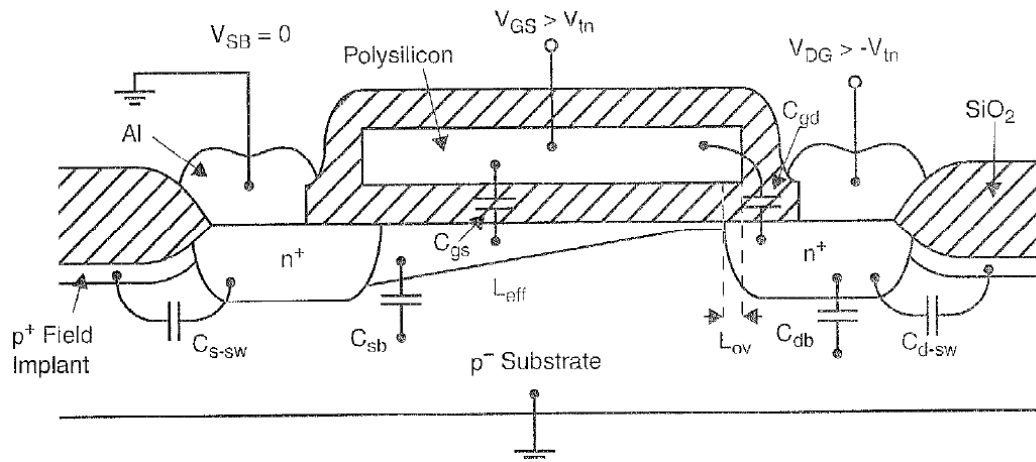
پارامتر  $g_s$  مربوط به اثر بدنه است و به ندرت در مدارهای دیجیتال اهمیت دارد. امپدانس خروجی ترانزیستور،  $r_{ds}$  بهره گیت های منطقی را تنها زمانی که گیت در نقطه آستانه خود است تحت تأثیر قرار می دهد و این پارامتر نیز از اهمیت کمی برخوردار است. پارامتر هدایت،  $g_m$  از آنجا که معیار خوبی برای نشان دادن قابلیت شارژ و دشارژ ترانزیستورهاست، پارامتر مهمتری محسوب می شود.

مدل سیگنال کوچکی که در بر گیرنده خازن های پارازیتیک است در شکل (۳-۲۴) نشان داده شده است. خازن های مختلف نشان داده شده در نمای مقطع عرضی یک ترانزیستور MOS در شکل (۳-۲۵) نشان داده شده اند. در مدارهای دیجیتال، مهمترین خازن معمولاً خازن ورودی گیت است. بسته به ناحیه کاری ترانزیستور که در آن بایاس شده است، این خازن معمولاً در محدوده نشان داده شده در رابطه (۳-۸۷) تغییر می کند. البته معمولاً مقدار این خازن با حد بالای آن تخمین زده می شود. خازن های مهم دیگر در مدارهای دیجیتال، خازن های اتصال  $C_{db}$  و  $C_{sb}$  هستند که در نتیجه خازن های بایاس معکوس شده ناحیه تهی اتصالات سورس و درین و حتی احتمالاً خازن های کانال به زیرلایه به وجود می آیند.

$$\frac{WL}{2}C_{ox} < C_g < WLC_{ox} \quad (3.87)$$



شکل ۳-۲۴. مدل سیگنال کوچک یک ترانزیستور MOS در ناحیه اشباع.



شکل ۳-۲۵. نمای مقطع عرضی یک ترانزیستور MOS کانال n که خازن های سیگنال کوچک را نشان می دهد.

### مدل سازی پیشرفته MOS

در این بخش به برخی از مفاهیم مدل سازی پیشرفته تر که طراحان مدارهای مجتمع احتمالاً با آن مواجه می شوند مروری خواهیم داشت که عبارتند از تغییر مقیاس<sup>۱</sup>، اثرات کانال کوتاه<sup>۲</sup>، عملکرد زیرآستانه<sup>۳</sup>، جریان های نشتی<sup>۴</sup> و قفل شدگی<sup>۵</sup>.

### تغییر مقیاس

هرگاه یک فناوری به ابعاد کوچکتر تغییر مقیاس دهد، انتظار می رود که عملکرد مدار بدون تغییر باقی بماند، البته جز اینکه با تغییر مقیاس، مزیت افزایش سرعت را بدست آوریم. این امر بطور ایدآل امکان پذیر است اگر تغییر مقیاس، میدان الکتریکی را ثابت نگاه دارد. از نظر تئوری این امکان وجود دارد، به شرط آنکه سطوح ولتاژ متناسب با ابعاد، و سطوح تغلیظ متناسب با معکوس ابعاد تغییر مقیاس داده شوند. بنابراین، اگر تغییر مقیاس ابعاد با فاکتور  $\frac{1}{S}$  صورت پذیرد که S عددی بزرگتر از یک باشد، آنگاه برای تغییر مقیاس میدان ثابت، باید ولتاژها را با فاکتور  $\frac{1}{S}$  و سطوح تغلیظ را با فاکتور S تغییر مقیاس دهیم. این تغییر مقیاس میدان ثابت بطور ایدآل سرعت تمامی حامل ها را بدون تغییر نگاه می دارد و محاسبه اثر آن بر بسیاری ویژگی های مهم دیگر در تراشه های دیجیتال ساده است. برای مثال، با تکرار رابطه (۳-۶۰) داریم:

<sup>۱</sup> Scaling

<sup>۲</sup> Short-Channel effects

<sup>۳</sup> Sub-threshold Operation

<sup>۴</sup> Leakage Currents

<sup>۵</sup> Latch-Up

$$C_{ox} = \frac{K_{ox}\epsilon_0}{d_{ox}} \quad (3.88)$$

از آنجا که  $d_{ox}$  با معکوس  $S$  متناسب است، خازن گیت در واحد سطح که با  $C_{ox}$  نشان داده شده است، متناسب با  $S$  افزایش می یابد. اما از آنجا که مساحت گیت متناسب با معکوس  $S^2$  کاهش می یابد، خازن کل گیت متناسب با  $\frac{1}{S}$  تغییر مقیاس خواهد داد.

همچنین از رابطه (۶۹-۳) و (۷۱-۳) مشاهده می شود که جریان درین ترانزیستورهای MOS متناسب با  $C_{ox}$  و نیز توان دوم ولتاژها و اما مستقل از ابعاد مطلق هستند، با فرض اینکه نسبت  $\frac{W}{L}$  بدون تغییر بماند. از آنجا که  $C_{ox}$  متناسب است با  $\frac{1}{S}$  و ولتاژها متناسب اند با  $\frac{1}{S}$ ، جریان ترانزیستور متناسب است با  $\frac{1}{S}$ .

به منظور تعیین اینکه تغییر مقیاس به چه میزان سرعت را تحت تأثیر قرار می دهد، نیاز به روابطی داریم که در فصول آینده اثبات خواهد شد. این روابط بیان می دارند که زمان متوسط صعود و نزول یک معکوس کننده CMOS که با  $t_{AV}$  نشان داده می شود از رابطه (۸۹-۳) محاسبه می گردد.

$$t_{AV} = \frac{1.5L^2}{(V_{DD} - V_{tn})\mu_n} \left( 1 + \frac{W_p}{W_n} \right) \left( 1 + \frac{\mu_n W_n}{\mu_p W_p} \right) \quad (3.89)$$

بنابراین رابطه (۹۰-۳) برقرار است و هر دو پارامتر  $L$  و  $V_{DD} - V_{tn}$  متناسب با  $\frac{1}{S}$  هستند.

$$t_{AV} \propto 1/S \quad (3.90)$$

نسبت معکوس تأخیر با تغییر مقیاس در مورد گیت های منطقی که پیچیده تر از گیت معکوس کننده نیز هستند صادق است. توجه داشته باشید از آنجا که خازن از رابطه (۹۱-۳) محاسبه می گردد، می توان رابطه (۹۲-۳) را بدست آورد.

$$I = C \frac{dv}{dt} \quad (3.91)$$

$$\Delta t \propto \frac{C}{I} \Delta V \quad (3.92)$$

از تناسب های بدست آمده که عبارتند از  $C \propto \frac{1}{S}$ ،  $\Delta V \propto \frac{1}{S}$  و  $I \propto \frac{1}{S}$  می توان استنباط کرد که  $\Delta t \propto \frac{1}{S}$  با رابطه (۹۰-۳) هم خوانی دارد.

به منظور تعیین تأثیر پذیری توان مصرفی از تغییر مقیاس نیز احتیاج به روابطی است که در فصول آینده آنها را اثبات خواهیم نمود. توان مصرفی متوسط یک معکوس کننده که از "۱" به "۰" و مجدداً به "۱" تغییر می کند، در هر دوره تناوب  $T$  از رابطه (۳-۹۳) محاسبه می گردد.

$$P_{AV} = \frac{C_L V_{DD}^2}{T} \quad (3.93)$$

از آنجا که  $C_L \propto \frac{1}{S}$  و  $V_{DD} \propto \frac{1}{S}$  و  $T \propto \frac{1}{S}$  (از رابطه (۳-۷۱))، بنابراین داریم:

$$P_{AV} \propto 1/S^2 \quad (3.94)$$

بنابراین، توان مصرفی متوسط در گیت، به نسبت معکوس فاکتور تغییر مقیاس به توان دو کاهش می یابد. اگر اندازه تراشه تغییر نکند، تعداد گیت های در یک تراشه متناسب با فاکتور تغییر مقیاس به توان دو افزایش می یابد. بنابراین این تغییر مقیاس با ثبات میدان الکتریکی توان کل مصرفی چگالی توان یک تراشه را تغییر نخواهد داد. مجدداً بیان می کنیم که تمامی این موارد بستگی به ولتاژ منبع تغذیه یا همان  $V_{DD}$  دارد که به نسبت عکس  $\frac{1}{S}$  کاهش می یابد. این ذخیره سازی در توان مصرفی یکی از مهمترین عوامل کاهش ولتاژ منبع تغذیه استاندارد از ۵ ولت به ۳٫۳ ولت و ۲٫۵ ولت است که امروزه شاهد آن هستیم. کلیه نسبت ها را می توان بصورت خلاصه در جدول (۳-۱) مشاهده نمود.

جدول (۳-۱) تأثیر تغییر مقیاس ابعاد یک IC متناسب با  $\frac{1}{S}$  و با ثابت ماندن میدان الکتریکی.

| Parameter  | Scaling factor |
|--|----------------|
| Device dimensions, $t_{ox}$ , $L$ , $W$ , junction depth | $1 / S$        |
| Doping concentration, $N_A$                              | $S$            |
| Voltage, $V$   | $1 / S$        |
| Current, $I$   | $1 / S$        |
| Capacitance, $\epsilon A \propto t_{ox}$                 | $1 / S$        |
| Delay time, $VC \propto I$                               | $1 / S$        |
| Power dissipation (per gate), $VI$                       | $1 / S^2$      |
| Power density, $VI \propto A$                            | $1$            |
| Power-delay product                                      | $1 / S^3$      |

شاید مهم ترین دیدگاهی که می توان از جدول (۳-۱) بدست آورد این است که تغییر مقیاس میدان ثابت، سرعت را افزایش می دهد و به ویژه میزان حاصل ضرب توان- تأخیر را متناسب با  $\frac{1}{S^3}$  کمینه می نماید. حاصل ضرب توان- تأخیر را می توان به عنوان مهم ترین معیار کارایی خانواده های منطقی به شمار آورد.

متأسفانه بنابر دلایل مختلف، تغییر مقیاس میدان ثابت به سهولت تغییر مقیاس ولتاژهای مدار که متناسب است با  $\frac{1}{S}$  امکان پذیر نمی باشد. این دلایل شامل موارد زیر است:

- ولتاژ تغذیه با فرضیات سیستمی تعیین می گردد و نمی توان آن را کاهش داد
- نسبت سیگنال به نویز و حاشیه های نویز بسیار کوچک می شوند
- ولتاژ آستانه ترانزیستورها را نمی توان در حضور جریان های زیرآستانه بزرگ، خیلی نزدیک به صفر ایجاد نمود
- سرعت که مهم ترین عامل است و نه با تغییر مقیاس  $\frac{1}{S}$ ، بلکه می توان سرعت را به نسبت بیش از S افزایش داد

بنابر این دلایل، می توان ولتاژ را بدون تغییر باقی گذاشت که به این حالت تغییر مقیاس ولتاژ ثابت گویند یا ولتاژ تقریباً متناسب با  $\frac{1}{\sqrt{S}}$  تغییر مقیاس می شود که این حالت تغییر مقیاس شبه ثابت<sup>۱</sup> نامیده می شود. در حال حاضر ابعاد تجاری تراشه های CMOS نوعاً در حدود ۰,۱۸ میکرون و یا ۰,۶ میکرون و یا حتی کوچکتر از این ابعاد است.

از آنجا که ولتاژها به ندرت متناسب با  $\frac{1}{S}$  تغییر مقیاس می شوند، میدان های الکتریکی اغلب با تغییر مقیاس، افزایش می یابند. این افزایش میدان الکتریکی موجب برخی اثرات نامطلوب می شود. برخی از این اثرات نامطلوب عبارتند از کاهش قابلیت تحرک<sup>۲</sup>، اثرات حامل های داغ<sup>۳</sup>، تونل سازی اکسید<sup>۴</sup> که موجب جابجایی<sup>۵</sup> تدریجی ولتاژ آستانه، جریان های درین به زیرلایه و کاهش امپدانس خروجی ترانزیستور و در نتیجه کاهش بهره<sup>۶</sup> می شوند. با تغییر مقیاس ابعاد فناوری باید با این اثرات نامطلوب مبارزه کرد. اصطلاحاً این اثرات نامطلوب، اثرات کانال کوتاه<sup>۷</sup> نامیده می شود.

## اثرات کانال کوتاه

---

<sup>۱</sup> Quasi-Constant

<sup>۲</sup> Mobility Degradation

<sup>۳</sup> Hot-Carrier Effects

<sup>۴</sup> Oxide Tunneling

<sup>۵</sup> Shift

<sup>۶</sup> Gain

<sup>۷</sup> Short-Channel Effects

برخی اثرات کانال کوتاه وجود دارد که با کاهش مقیاس ابعاد، عملکرد ترانزیستورهای MOS را کاهش می دهد. این اثرات شامل اشباع سرعت، کاهش قابلیت تحرک، کاهش امپدانس خروجی و اثرات حامل های داغ (از قبیل تله گذاری اکسید<sup>۱</sup> و جریان های زیرلایه) می باشد.

ترانزیستورهایی که دارای طول کوتاه و میدان الکتریکی بزرگ می باشند به دلایل متعددی دچار کاهش قابلیت تحرک حامل های خود می شوند. یکی از این عوامل، میدان الکتریکی جانبی بزرگ (که دارای مؤلفه برداری در جهت عمود بر گیت در سیلیکن می باشد) است که به واسطه ولتاژ گیت بزرگ و طول کوتاه کانال بوجود می آید. این میدان الکتریکی جانبی بزرگ موجب می شود که عمق مؤثر کانال تغییر کند و همچنین موجب برخورد های الکترونی بیشتر می شود که در نتیجه، قابلیت تحرک مؤثر را کاهش می دهد. عامل دیگر این است که در نتیجه میدان های الکتریکی بزرگ، سرعت حامل ها اشباع می شود. این اشباع موجب می شود که ویژگی مربعی رابطه جریان- ولتاژ نا صحیح شود و رابطه صحیح، در محدوده ای بین خطی و مربعی باشد.

دیگر اثر مهم کانال کوتاه، حامل های داغ است. این حامل های با سرعت بسیار بالا می توانند به واسطه یونیزاسیون ضربه ای و بهمنی موجب اثرات مخربی از قبیل تولید زوج های الکترون- حفره شوند. همان طور که در شکل (۳-۲۶) نشان داده شده است، این زوج های الکترون- حفره اضافی می توانند موجب شوند که جریانی از درین به زیرلایه به وجود آید. این اثر می تواند با یک امپدانس درین به کانال متناهی مدل شود. در نتیجه، این پدیده یکی از مهمترین محدود کننده های دست یابی به امپدانس خروجی بسیار بالای منابع جریان متوالی<sup>۲</sup> می باشد. علاوه بر این، می تواند موجب افت ولتاژ بر روی زیرلایه شود و احتمالاً موجب پدیده قفل شدگی<sup>۳</sup> شود که در بخش بعدی معرفی خواهد شد.

دیگر اثر حامل های داغ به دلیل این است که الکترون ها انرژی زیاد کافی را جذب می کنند و بنابراین می توانند به سمت اکسید نازک گیت و یا حتی به احتمالاً به درون آن تونل بزنند. این اثر می تواند موجب جریان های گیت dc شود. هرچند اغلب عامل خطرناک تر این است که هر بار الکتریکی در دام افتاده در اکسید، موجب یک جابجایی ولتاژ آستانه ترانزیستور می شود. در نتیجه، حامل های داغ مهم ترین عامل محدود کننده قابلیت اعتماد در عملکرد بلند مدت ترانزیستورهای MOS می باشد.

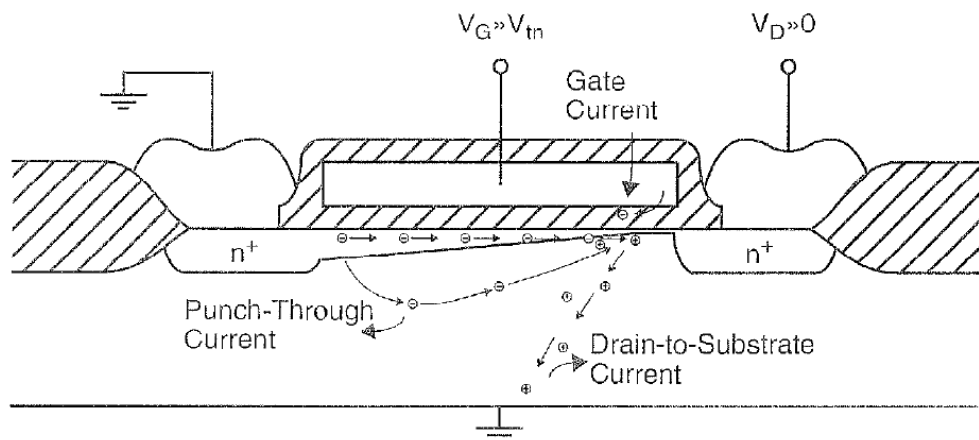
---

<sup>۱</sup> Oxide Trapping

<sup>۲</sup> Cascode

<sup>۳</sup> Latch-Up





شکل ۳-۲۶. جریان درین به زیرلایه که در ناحیه درین کانال، به واسطه تولید حفره-الکترن و بر اثر یونیزاسیون ضربه ای به وجود آمده است.

اثر سوم حامل های داغ زمانی است که الکترون ها با انرژی کافی در بین سورس و درین منگنه<sup>۱</sup> می شوند. در نتیجه، این الکترون های با انرژی بالا دیگر از روابط معمول به منظور هدایت در طول کانال تبعیت نخواهند کرد. این روند گاهی اوقات مشابه ترانزیستورهای دوقطبی است، زمانی که ناحیه تهی کلکتور به سمت ناحیه بیس و امیتر توسعه می یابد. در یک ترانزیستور MOS طول کانال مؤثر صفر می شود که موجب جاری شدن یک جریان بی نهایت می شود (به استثنای امپدانس های سورس و درین سری شده و مدارهای خارجی). این پدیده، یکی دیگر از اثرات امپدانس خروجی کاهش یافته و احتمالاً شکست ترانزیستور است.

باید عنوان شود که تمامی اثرات حامل های داغ بیان شده، بیشتر در مورد ترانزیستورهای نوع n است تا نوع کانال p و دلیل آن سرعت بیشتر الکترون ها نسبت به حفره ها می باشد.

و در آخر باید بیان شود که ترانزیستورهای کانال کوتاه، دارای جریان های زیرآستانه بزرگتری نسبت به ترانزیستورهای با کانال طولانی تر هستند. این پدیده، بیشتر از هر عامل دیگری، در نتیجه اثری است که به کاهش مانع القایی درین (DIBL)<sup>۲</sup> مشهور است. این اثر مرتبه دوم زمانی رخ می دهد که میدان الکتریکی در درین به سمت سورس امتداد یابد و بنابراین موجب کاهش ولتاژ آستانه مؤثر می شود. این اثر را می توان با استفاده از نفوذ مدرج تغلیظ در درین به طور قابل ملاحظه ای جبران نمود.

### عملکرد زیر آستانه

روابط و معادلات ارائه شده برای ترانزیستورهای MOS همگی بر اساس این فرض بودند که  $V_{eff} = V_{GS} - V_t$  بزرگتر از ۵۰ میلی ولت و یا در این حدود است. اگر چنین نباشد، صحت معادلات توان دو زیر سوال می رود و گفته می شود که ترانزیستور در ناحیه

<sup>۱</sup> Punch

<sup>۲</sup> Drain-Induced Barrier Lowering

زیرآستانه قرار دارد. ترانزیستور را در این ناحیه کاری می توان بطور دقیق تر توسط رابطه ای نمایی بین ولتاژ کنترل و جریان آن و مشابه با یک ترانزیستور دوقطبی مدل نمود. در ناحیه زیرآستانه، جریان درین تقریباً از رابطه نمایی (۳-۹۵) محاسبه می شود که در آن  $n$  از رابطه (۳-۹۶) محاسبه می گردد و فرض شده است که  $V_s=0$  و  $V_{DS}>75\text{mV}$  و یا در این حدود و مقدار  $I_{D-0}$  در حدود  $20\text{pA}$  است.

$$I_D \cong I_{D-0} \left( \frac{W}{L} \right) e^{(qV_{GS}/nkT)} \quad (3.95)$$

$$n = \frac{C_{ox} + C_{depl}}{C_{ox}} \approx 1.5 \quad (3.96)$$

هرچند که ترانزیستورها در این ناحیه یک رابطه نمایی دارند، به دلیل جریان های بایاس کوچک، هدایت هنوز کوچک است و ترانزیستورها به دلیل این که فقط جریان های کوچک به منظور شارژ یا دشارژ خازن ها در دسترس می باشد، کند هستند. علاوه بر این، انطباق ترانزیستورها بسیار مشکل است چراکه ولتاژ آستانه ترانزیستورها به ندرت با یکدیگر منطبق هستند. عموماً ترانزیستورها به جز در فرکانس های پایین و کاربردهای با توان اندک، در ناحیه زیرآستانه عمل نخواهند کرد.

### جریان های نشتی<sup>۱</sup>

محدودیت مرتبه دوم مهم دیگری که در برخی کاربردها به چشم می خورد، جریان نشتی یک اتصال است. برای مثال، در تخمین زمان حداکثر یک مدار نمونه برداری<sup>۲</sup> یا یک سلول حافظه که در حالت نگهداری<sup>۳</sup> مقدار قرار دارد. جریان نشتی یک اتصال بایاس معکوس که به نقطه شکست خیلی نزدیک است را می توان بطور تقریبی از رابطه (۳-۹۷) محاسبه نمود که در آن  $A$  مساحت اتصال،  $n_i$  غلظت خالص حامل ها در سیلیکن غیر تغلیظ شده،  $\tau_0$  چرخه طول عمر مؤثر حامل اقلیت و  $x_d$  ضخامت ناحیه تهی است.  $\tau_0$  از رابطه (۳-۹۸) محاسبه می گردد که در آن  $\tau_n$  و  $\tau_p$  به ترتیب چرخه زمانی الکترون ها و حفره ها می باشد.

$$I_{lk} \approx \frac{qA_j n_i}{2\tau_0} x_d \quad (3.97)$$

$$\tau_0 \cong \frac{1}{2}(\tau_n + \tau_p) \quad (3.98)$$

<sup>۱</sup> Leakage Currents

<sup>۲</sup> Sample and Hold

<sup>۳</sup> Hold Mode

مقدار  $x_d$  از رابطه (۳-۹۹) و  $n_i$  از رابطه (۳-۱۰۰) محاسبه می گردند، به طوری که  $N_C$  و  $N_V$  مقادیر چگالی در وضعیت های هدایت<sup>۱</sup> و پیوندهای والانسی<sup>۲</sup> هستند و  $E_g$  تفاضل انرژی بین دو پیوند می باشد.

$$x_d = \sqrt{\frac{2\epsilon_{si}}{qN_A}(\Phi_0 + V_r)} \quad (3.99)$$

$$n_i \cong \sqrt{N_C N_V} e^{-\frac{E_g}{kT}} \quad (3.100)$$

از آنجا که تغلیظ خالص  $n_i$  تابعی قوی از دماست (تقریباً به ازاء هر ۱۱ درجه سانتی گراد افزایش دمای سیلیکن، دو برابر می شود)، جریان نشتی نیز تابعی قوی از دما خواهد بود و بنابراین بطور تقریبی به ازاء هر ۱۱ درجه سانتی گراد افزایش دمای سیلیکن، دو خواهد شد. از این رو در مقایسه با دمای اتاق، در دماهای بالا، بسیار بزرگتر خواهد بود. این جریان نشتی، میزان زمان حداکثری را که خروجی که بطور پویا شارژ شده است، می توان در حالت امپدانس بالا نگه داشت به مدار تحمیل خواهد نمود.

### قفل شدگی<sup>۳</sup>

یکی از مواردی که طراحان CMOS، به ویژه هرچه ابعاد کوچکتر می شود در مواجه با آن باید بسیار هشیار باشند، پدیده ایست به نام قفل شدگی. این اثر می تواند زمانی رخ دهد که جریان های زیرلایه یا چاه ها و یا بطور معادل، زیرلایه بزرگ یا افت ولتاژ در چاه که بعضاً توسط خازن تزویج بوجود می آیند، وجود داشته باشد.

این افت ولتاژهای محرک، اغلب زمانی رخ می دهند که تراشه CMOS اولین بار به منبع تغذیه متصل شود. دیگر دلیل شایع قفل شدگی، جریان های زیرلایه هستند که از خازن های تزویج متصل به خروجی به وجود می آیند. زمانی که یک تراشه دچار قفل شدگی می شود، معادل است با این که یک یکسوساز کنترل شونده سیلیکونی (SCR)<sup>۴</sup> خاموش، بین زمین و  $V_{DD}$  داشته باشیم. این مسئله در تراشه باعث ایجاد اتصال کوتاه می شود و تا زمانی که جریان منبع تغذیه محدود نشود، بسیار شبیه این است که دچار خرابی غیر قابل تعمیر شده است از قبیل رخداد فیوز باز شده در مسیر سیم ها و اتصالات میانی. به منظور درک پدیده قفل شدگی، معکوس کننده CMOS نشان داده شده از مقطع عرضی در شکل (۳-۲۷) را در نظر بگیرید. ترانزیستورهای دوقطبی پارازیتیکی  $Q_1$  و  $Q_2$  نیز در این شکل نشان داده شده اند. ترانزیستور  $Q_1$  یک ترانزیستور جانی npn است که بیس آن از زیرلایه  $p^-$  تشکیل شده است. ترانزیستور  $Q_2$  یک ترانزیستور عمودی pnp است که بیس آن از ناحیه چاه n تشکیل شده است. مدار

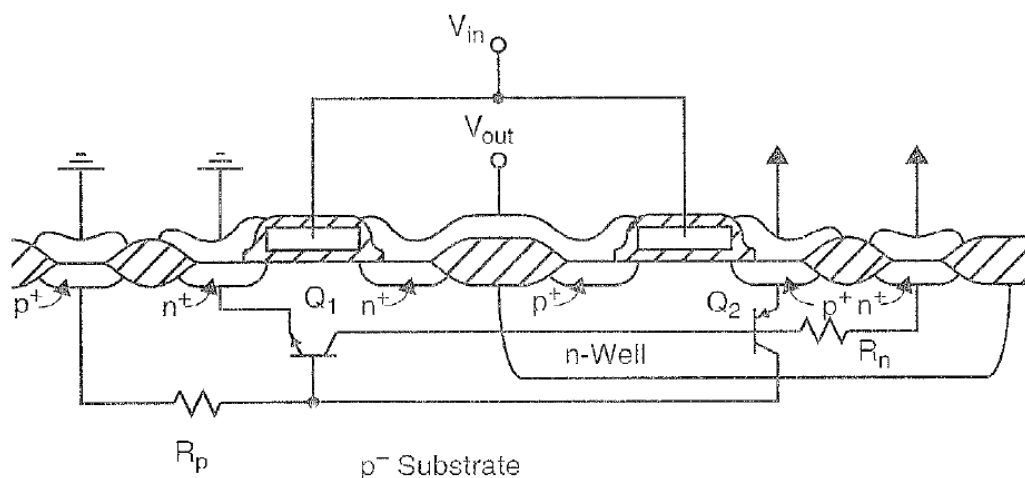
<sup>۱</sup> Conduction

<sup>۲</sup> Valence bands

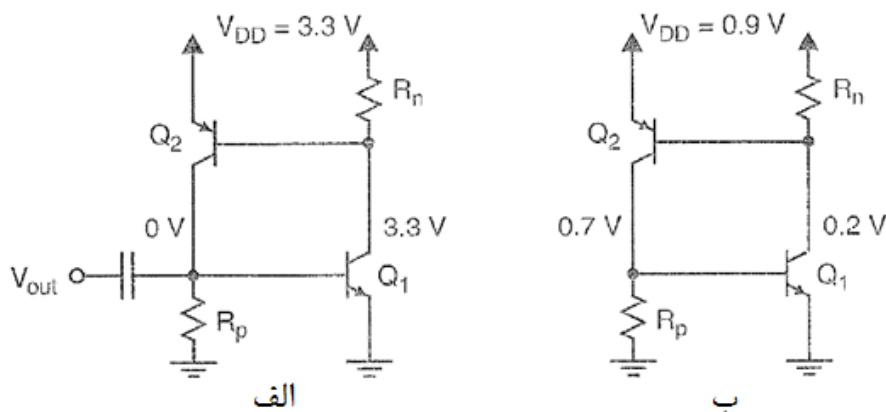
<sup>۳</sup> Latch-Up

<sup>۴</sup> Silicon Controlled Rectifier

دوقطبی پارازیتیکی مربوطه در شکل (۲۸-۳) به همراه برخی مقاومت های پارازیتیک که در نتیجه زیرلایه کم تغلیظ شده و نواحی چاه ها به بوجود آمده اند نشان داده شده است.



شکل ۲۷-۳. نمای مقطع عرضی یک معکوس کننده CMOS با شماتیک ترانزیستورهای پارازیتیک که موجب تشکیل پدیده قفل شدگی می شود.



شکل ۲۸-۳. (الف) مدار معادل ترانزیستورهای دوقطبی (ب). ولتاژها، پس از رخداد پدیده قفل شدگی.

می توان مشاهده نمود که این مدار دو آمپلی فایر امیتر مشترک تزویجی را به صورت یک حلقه فیدبک مثبت پیاده سازی می کند و مدار معادل یک SCR است که گاهی اوقات کلید اهرم<sup>۱</sup> نامیده می شود. معمولاً ترانزیستورهای پارازیتیک دوقطبی خاموش هستند و ولتاژها بصورتی است که در شکل (۲۸-۳ الف) نشان داده شده است. هرچند اگر بنا بر دلایلی روشن می شوند و بهره حلقه مقداری بیش از واحد خواهد بود و آنگاه ولتاژها تقریباً بصورت شکل (۲۸-۳ ب) خواهند بود که موجب یک اتصال کوتاه و یا

<sup>۱</sup> Crowbar Switch

اثرم در مسیر منبع تغذیه می شود و باعث می شود که  $V_{DD}$  تقریباً تا ۰,۹ ولت کاهش یابد. اگر منبع تغذیه محدودیتی در تأمین جریان نداشته باشد، جریان اضافی موجب داغ شدن هادی شده و نهایتاً موجب (ذوب شدن و) قطع مسیر عبور خواهد شد.

روش هایی وجود دارد که موجب پدیده قفل شدگی می شود. برای مثال، خروجی  $V_{out}$  در معکوس کننده CMOS نشان داده شده در شکل (۲۷-۳) توسط خازن های تهی نواحی اتصال درین های MOS به صورت یک خازن تزویج شده است به بیس های ترانزیستورهای دوقطبی. اگر معکوس کننده (مثلاً بصورت یک بافر خروجی) بزرگ باشد، آنگاه این خازن ها می توانند بزرگ باشند. زمانی که خروجی معکوس کننده تغییر کند، تغییرات ناخواسته<sup>۱</sup> ولتاژ، گره های بیس ترانزیستورهای پارازیتیک دوقطبی را تحریک خواهد نمود و اگر این تغییرات به حد کافی بزرگ باشد، امکان رخداد پدیده قفل شدگی زیاد خواهد بود. همچنین، جریان های زیرلایه که به واسطه الکترون های داغ ایجاد می شوند نیز موجب افت ولتاژهای به حد کافی بزرگ شده و باعث رخداد پدیده قفل شدگی خواهد شد.

به منظور جلوگیری از قفل شدگی، بهره حلقه معکوس کننده های دوقطربی باید کوچکتر از واحد نگاه داشته شود. این حالت با نگر داشتن بهره جریان های ترانزیستورهای پارازیتیک دوقطبی در حد ممکن کوچک و از همه مهم تر با مقاومت های شانت<sup>۲</sup>  $R_n$  و  $R_p$  تا حد ممکن کوچک امکان پذیر خواهد بود. بهره جریان ترانزیستور pnp عمودی Q2 باید بین ۵۰ تا ۱۰۰ باشد و کوچک کردن آن کار مشکلی است. بهره جریان ترانزیستور npn جانبی را می توان با افزایش فاصله بین ترانزیستورهای کانال n و کانال p کاهش داد. هرچند، با استفاده از فاصله معمولی حاصل ضرب  $\beta_{npn}\beta_{pnp}$  همچنان بیشتر از واحد خواهد بود. بهره حلقه معمولاً کمتر از واحد نگاه داشته می شود و با کاهش  $R_n$  و  $R_p$  می توان از قفل شدگی جلوگیری نمود. راه های اصلی کاهش  $R_n$  و  $R_p$  داشتن مسیرهای با امپدانس کم بین زیرلایه و چاه تا خطوط منبع تغذیه می باشد. یکی از روش های دست یابی به این حالت این است که اتصالات زیادی در زیرلایه وجود داشته باشد. برای مثال، در فناوری چاه n، قواعد طراحی، بیشترین فاصله بین هر محل در نواحی کانال n یک مدار مجتمع و نزدیک ترین اتصال  $p^+$  که زیرلایه را به زمین متصل می کند، تعیین خواهد نمود. بطور مشابه، در نواحی کانال p، بیشترین فاصله تا نزدیک ترین اتصال  $n^+$  که چاه ها را به  $V_{DD}$  متصل می کند، تعیین خواهد شد.

همچنین پس از اینکه مرحله چینش<sup>۳</sup> به پایان رسید، یک طراح خوب معمولاً نواحی که مورد استفاده قرار نگرفته اند را با گره های<sup>۴</sup> اضافی به زیرلایه و نواحی چاه ها پر خواهد نمود. علاوه بر این، هر ترانزیستوری که جریان زیادی عبور می دهد باید با حلقه های محافظ محصور شود. این حلقه های محافظ همان گره هایی هستند که برای ترانزیستورهای کانال n به زیرلایه و برای ترانزیستورهای کانال p به چاه وجود دارند و به طور کامل ترانزیستورهای با جریان بالا را احاطه می کنند. این تکنیک اغلب در مورد بافرهای خروجی مورد استفاده قرار می گیرد. در نهایت، اطمینان از اینکه پشت قرص<sup>۵</sup> از طریق یک پیوند طلای مذاب به رأس بسته بندی تراشه به زمین مفید است. شاید یکی از بهترین روش ها به منظور جلوگیری از قفل شدگی، استفاده از فرایند

<sup>۱</sup> Glitch

<sup>۲</sup> Shunting Resistors

<sup>۳</sup> Layout

<sup>۴</sup> Extra Ties

<sup>۵</sup> Die

رشد همبافته<sup>۱</sup> و به ویژه با لایه های غرق اندود شده با غلظت بالا می باشد. برای مثال اگره یک زیرلایه  $p^+$  دارای یک لایه همبافته  $p^-$  باشد به طوری که ترانزیستورها در آن قرار گرفته باشند، کارایی آن تنها از نظر حاشیه ها تحت تأثیر قرار خواهد گرفت اما زیرلایه هادی  $p^+$  غلیظ دارای امپدانس بسیار کوچکی به اتصالات زمین و رأس بسته بندی تراشه هستند. همچنین زیرلایه  $p^-$  ممکن است مورد استفاده قرار گیرد که دارای نواحی  $n^+$  و غرق اندود  $p$  و یک ناحیه ذاتاً همبافته است که مجزا است که این ناحیه به طور بهینه برای تشکیل نواحی کانال  $n$  و کانال  $p$  کاشت یونی شده است. این فناوری وان دوقلوی خود همراستا<sup>۲</sup> به دلیل وجود لایه های غرق اندود هادی، در برابر قفل شدگی بسیار امن است.

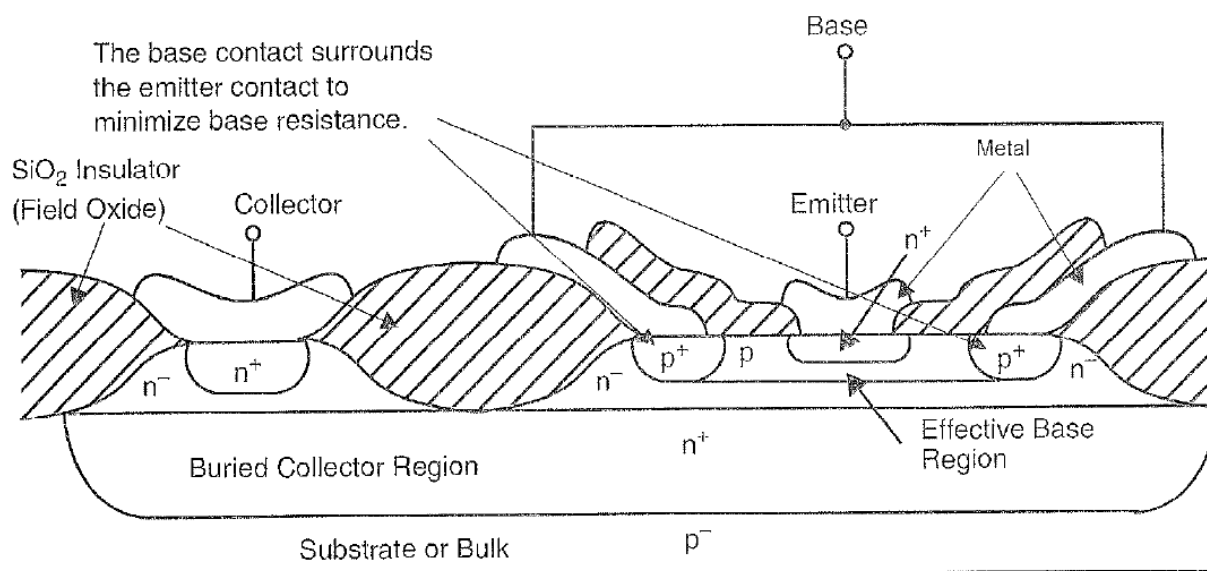
### ۳-۵ ترانزیستورهای دوقطبی

از نظر تاریخی، مدارهای مجتمع که بر بازار غلبه یافتند از ترانزیستورهای دوقطبی (BJT) استفاده می کردند. سپس در حدود اواخر دهه ۱۹۷۰ مدارهای مجتمع ساخته شده با استفاده از ترانزیستورهای MOS شروع به غلبه کردن کردند اما همچنان ترانزیستورهای دوقطبی در برخی کاربردها با سرعت بالا مورد استفاده قرار می گرفتند. اخیراً درک عملکرد ترانزیستورهای دوقطبی در فناوری BiCMOS مهم تر است که در آن هر دو نوع ترانزیستورهای دوقطبی و MOS در یک تراشه مورد استفاده قرار می گیرد. ترانزیستورهای نوین سیلیکونی دوقطبی می توانند دارای بهره واحد فرکانسی در محدوده ۱۵ الی ۶۰ گیگاهرتز و یا بیشتر باشند که در مقایسه با بهره واحد فرکانسی ۱ الی ۸ گیگاهرتزی ترانزیستورهای MOS که با فناوری با دقت لیتوگرافی یکسان ساخته می شود، تفاوت قابل ملاحظه ای دارد. هرچند، ترانزیستورهای دوقطبی دارای ویژگی های نامطلوبی است که عبارت است از زمانی که ترانزیستور در حال هدایت جریان است (برای ترانزیستور npn از کلکتور به امیتر و برای ترانزیستور pnp از امیتر به کلکتور)، پایه کنترل (بیس) دارای جریان ورودی محدودی است. خوشبختانه در فرکانس های پایین، در یک ترانزیستور npn جریان بیس بسیار کمتر از جریان کلکتور به امیتر است (که می تواند یک صدم جریان کلکتور باشد). برای ترانزیستورهای pnp جانبی، جریان بیس می تواند یک بیستم جریان امیتر به کلکتور باشد. دیگر ایراد ترانزیستورهای دوقطبی این است که نسبت به ترانزیستورهای MOS و در دقت لیتوگرافی یکسان، سطح بیشتری از تراشه را اشغال می کنند. نمای مقطع عرضی یک ترانزیستور دوقطبی npn در شکل (۳-۲۹) نشان داده شده است. هرچند این ساختار به نظر کاملاً پیچیده می آید، اما تقریباً معادل ساختار نشان داده شده در شکل (۳-۳۰) است. برای یک ترانزیستور دوقطبی خوب، فاصله از ناحیه امیتر  $n^+$  تا ناحیه کلکتور  $n^-$  که عرض بیس (W) است، باید کوچک و در حدود ۱ مایکرون و یا حتی کوچکتر باشد. همچنین، همانطور که خواهیم دید، لازم است که بیس نسبت به امیتر از سطح تغلیظ بالاتری برخوردار باشد. نمادهای مداری مورد استفاده به منظور نمایش ترانزیستورهای npn و pnp در شماتیک الکتریکی در شکل (۳-۳۱) نشان داده شده است.

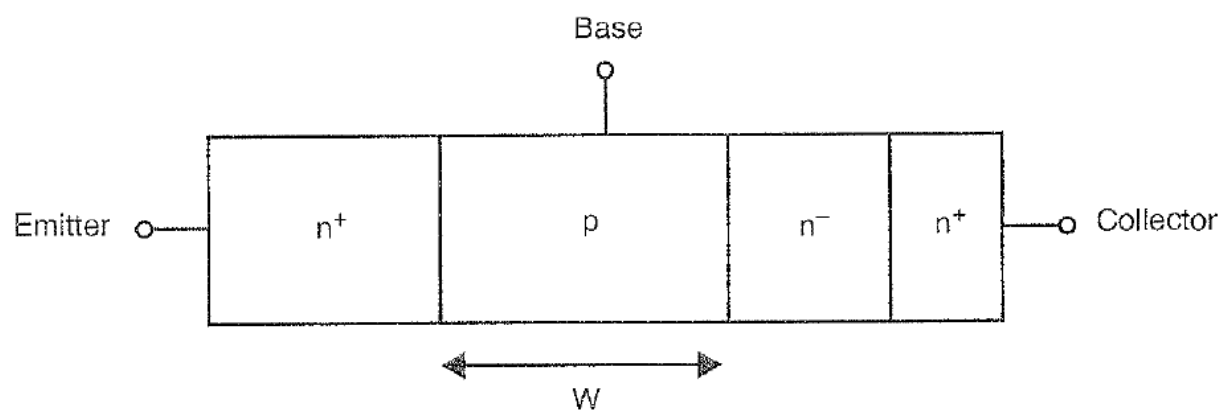
<sup>۱</sup> Epitaxial Process

<sup>۲</sup> Self-Aligned Twin-Tub Technology

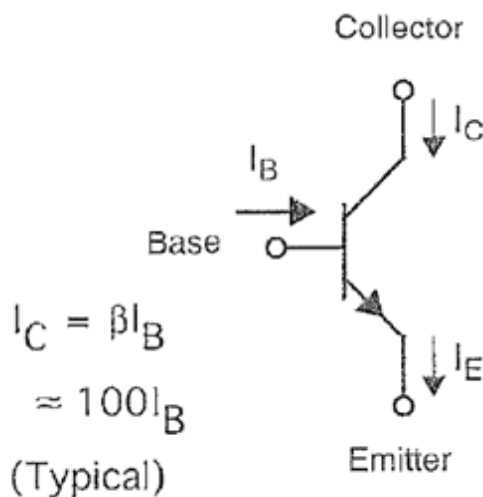
<sup>۳</sup> Bipolar Junction Transistors



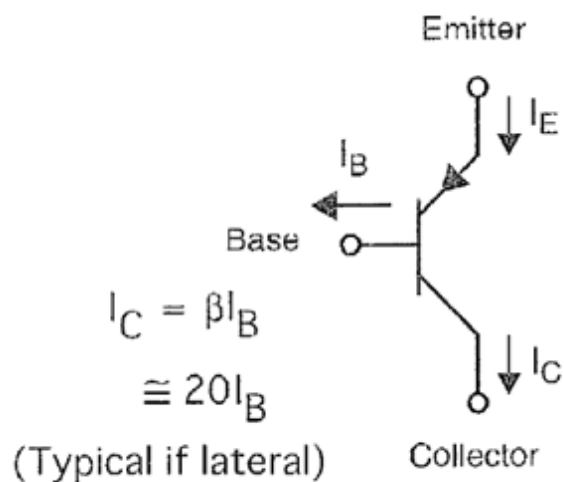
شکل ۳-۲۹. نمای مقطع عرضی از یک ترانزیستور دوقطبی npn.



شکل ۳-۳۰. ساختار ساده شده یک ترانزیستور npn.



الف An npn Transistor



ب A pnp Transistor

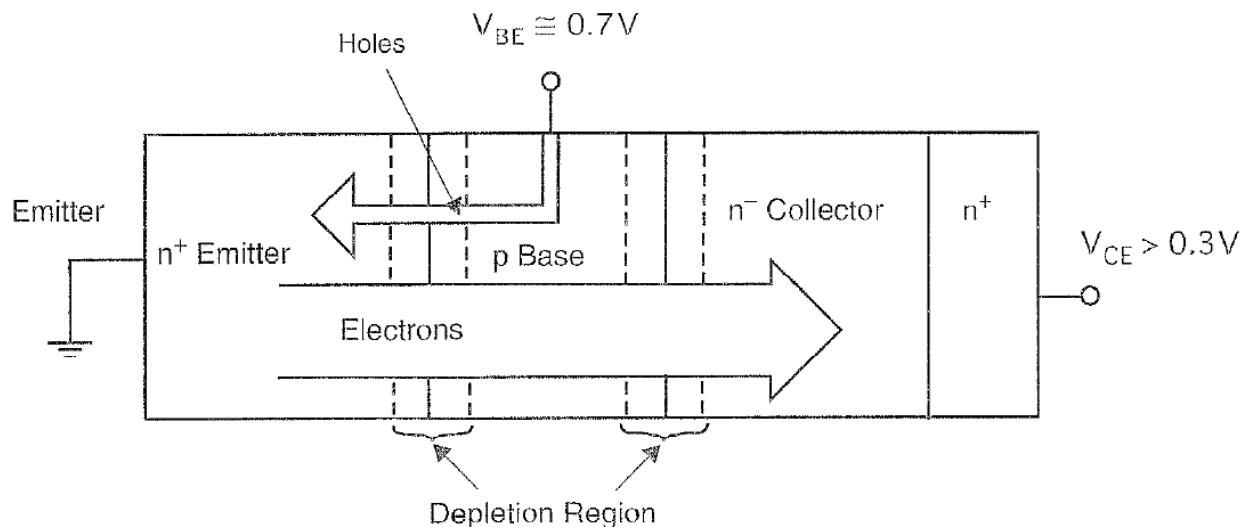
شکل ۳-۳۱. نمادهای بیانگر (الف) یک ترانزیستور دوقطبی npn، (ب) یک ترانزیستور pnp.

### پایه و اساس عملکرد

به منظور درک نحوه عملکرد ترانزیستورهای دوقطبی، یک ترانزیستور دوقطبی npn را که امیتر آن به زمین متصل و در شکل (۳-۳۲) نشان داده شده است در نظر می گیریم. اگر ولتاژ بیس ( $V_B$ ) کمتر از ۰.۵ ولت باشد، ترانزیستور خاموش خواهد بود و هیچ جریانی عبور نخواهد کرد. خواهیم دید که زمانی که اتصال pn بیس-امیتر بایاس مستقیم می شود، مقداری جریان از بیس به امیتر شروع به جاری شدن می کند اما به دلیل اینکه عرض بیس کوچک است جریان بسیار بیشتری از کلکتور به امیتر جاری خواهد شد. از این رو ترانزیستور npn را می توان در فرکانس های پایین یک آمپلی فایر جریان در نظر گرفت. به عبارت دیگر، اگر ترانزیستور در ناحیه قطع نباشد و اتصال کلکتور-بیس بایاس معکوس باشد، جریان ضعیف بیس، جریان قوی کلکتور-امیتر را کنترل خواهد نمود. عملکرد ساده شده یک ترانزیستور npn بصورت زیر است:

هرگاه اتصال بیس-امیتر بایاس مستقیم شود، مانند هر اتصال بایاس مستقیم دیگری شروع به هدایت می کند.





شکل ۳-۳۲. مؤلفه های مختلف جریان در یک ترانزیستور npn.

جریان، شامل حامل های اکثریت از بیس (در این مورد، حفره ها) و حامل های اکثریت از امیتر (در این مورد، الکترون ها) است که در دو سر اتصال نفوذ می کنند. به دلیل این که امیتر نسبت به بیس بیشتر تغلیظ شده است، الکترون های بیشتری از امیتر نسبت به حفره های تزریقی از بیس، تزریق خواهد شد. با فرض اینکه ولتاژ کلکتور به حد کافی بزرگ باشد که اتصال کلکتور-بیس بایاس معکوس باشد، هیچ حفره ای از بیس به کلکتور نخواهد رفت.

هرچند الکترون هایی که از امیتر به بیس می روند و حامل های اقلیت نیستند به دلیل گرادیان غلظت حامل های اقلیت در ناحیه بیس در دو سر اتصال بیس-امیتر نفوذ خواهند کرد. هر یک از این الکترون های اقلیت که به اتصال کلکتور-بیس نزدیک می شود بلافاصله تحت تأثیر ولتاژ مثبت بزرگ کلکتور قرار خواهد گرفت که بارهای منفی الکترون را جذب می کند. در یک طراحی ترانزیستور دوقطبی مناسب، مانند آنچه که در شکل (۳-۲۹) نشان داده شده است، عرض عمودی بیس (W) کوچک است و تقریباً تمامی الکترون هایی که از امیتر به بیس نفوذ می کنند به اتصال کلکتور-بیس خواهند رسید و از آن عبور خواهند کرد و بنابراین در جاری شدن جریان در کلکتور نقش خواهند داشت. نتیجه این خواهد بود که مقدار جریان کلکتور بسیار نزدیک است به جریان الکترون های که از امیتر به بیس می رود. مقدار جریان بسیار کوچک بیس بسیار نزدیک است با جریان ناشی از حفره هایی که از بیس به امیتر می روند. بنابراین جریان کل امیتر برابر است با جمع جریان های الکترون-کلکتور و جریان حفره-بیس اما از آنجا که جریان حفره ها بسیار کوچکتر از جریان الکترون هاست، جریان امیتر با تحمل خطای ۱ الی ۲ درصد، تقریباً مساوی است با جریان کلکتور.

از آنجا که جریان کلکتور تقریباً مساوی جریان الکترون هایی است که از امیتر به بیس می روند، و مقدار این جریان الکترونی با ولتاژ بیس-امیتر تعیین می گردد، می توان نشان داده که جریان کلکتور به صورت نمایی با ولتاژ بیس-امیتر رابطه دارد که در رابطه (۳-۱۰۱) نشان داده شده است. در این رابطه،  $I_{CS}$  جریان مقیاس است که مقدار آن متناسب است با مساحت اتصال بیس-امیتر. جریان بیس (که با جریان حفره ها از بیس به امیتر تعیین می گردد) نیز به صورت نمایی با ولتاژ بیس-امیتر در رابطه است

که موجب می شود نسبت جریان کلکتور به جریان بیس به طور تقریبی عددی ثابت بوده و مستقل از جریان و ولتاژ. این نسبت را با  $\beta$  نشان می دهند و مقدار آن از رابطه (۳-۱۰۲) محاسبه می گردد که در آن برای ترانزیستوری که در ناحیه فعال است  $I_C$  و  $I_B$  به ترتیب جریان های کلکتور و بیس هستند. مقدار نوعی برای  $\beta$  بین ۵۰ تا ۲۰۰ می باشد.

$$I_C \cong I_{CS} e^{V_{BE}/V_T} \quad (3.101)$$

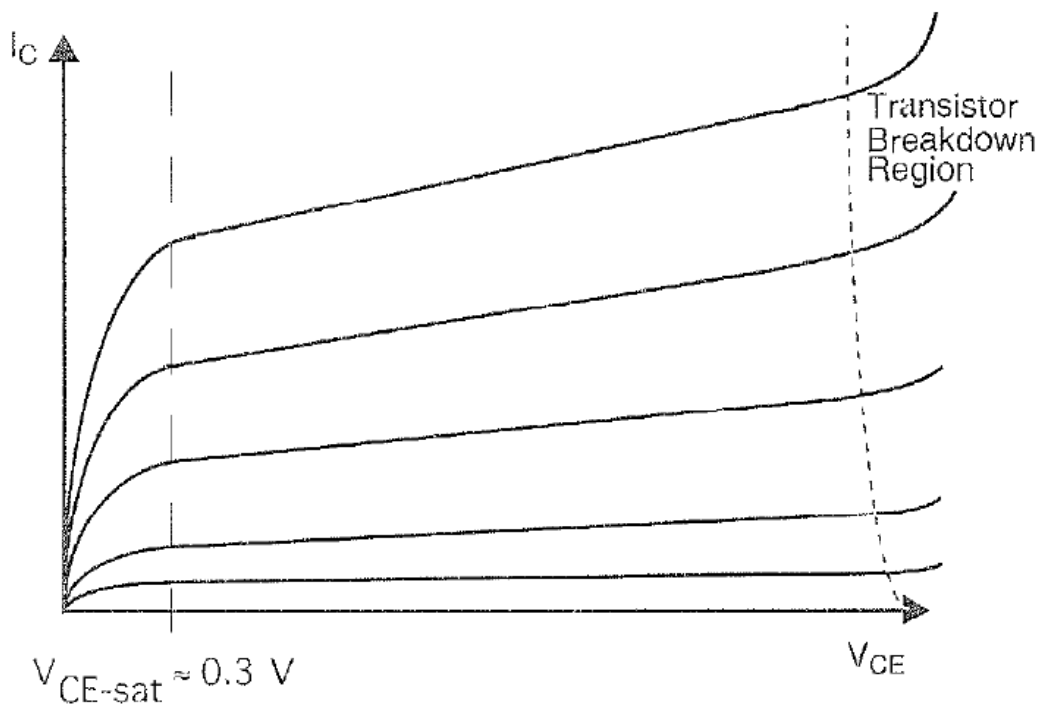
$$\beta \equiv \frac{I_C}{I_B} \quad (3.102)$$

توجه داشته باشید که معادله (۳-۱۰۱) بیان می کند که جریان کلکتور مستقل است از ولتاژ کلکتور. ای مستقل بودن تقریبی است که اثرات مرتبه دوم را به ویژه، کاهش عرض مؤثر بیس ( $W$ ) که در هنگام افزایش ولتاژ بایاس کلکتور بر اثر افزایش عرض ناحیه تهی کلکتور- بیس رخ می دهد، در نظر نمی گیرد. به منظور نمایش این نکته، رسم جریان کلکتور ( $I_C$ ) به عنوان تابعی از ولتاژ کلکتور- امیتر ( $V_{CE}$ ) و به ازاء مقادیر مختلفی از  $I_B$  برای یک ترانزیستور واقعی در شکل (۳-۳۳) نشان داده شده است. این حقیقت که نمودارها به ازاء  $V_{CE} > V_{CE-sat}$  کاملاً افقی نمی باشد، بیانگر عدم استقلال  $I_C$  از  $V_{CE}$  می باشد. در واقع با یک تقریب مناسب، این وابستگی تقریباً خطی است و با شیبی که محور  $V_{CE}$  را به ازاء تمامی مقادیر  $I_B$  و در نقطه  $V_{CE} = -V_A$  قطع می کند. مقدار ولتاژ قطع شده ( $V_A$ ) معمولاً برای ترانزیستورهای دوقطبی ولتاژ ارلی<sup>۱</sup> نامیده می شود و مقدار نوعی آن در حدود ۵۰ الی ۱۰۰ ولت می باشد. این وابستگی موجب یک امپدانس خروجی بی نهایت (در یک ترانزیستور MOS) می شود و می توان مقدار تقریبی آن را از رابطه (۳-۱۰۱) محاسبه نمود که به صورت رابطه (۳-۱۰۳) است.

---

<sup>۱</sup> Early Voltage

$$I_C \cong I_{CS} e^{V_{BE}/V_T} \left( 1 + \frac{V_{CE}}{V_A} \right) \quad (3.103)$$



شکل ۳-۳۳. رسم نمودار  $I_C$  بر حسب  $V_{CE}$  برای یک ترانزیستور دوقطبی.

### مدل سازی سیگنال بزرگ

یک ترانزیستور دوقطبی در حال هدایت که دارای  $V_{CE}$  بیشتر از  $V_{CE-SAT}$  (که تقریباً برابر است با ۰٫۳ ولت) باشد اصطلاحاً در ناحیه فعال<sup>۱</sup> می باشد. چنین ولتاژ کلکتور-امیتری لازم است تا اطمینان حاصل شود که هیچ حفره ای از بیس به کلکتور نخواهد رفت. مدل سیگنال بزرگ یک ترانزیستور دوقطبی که در ناحیه می باشد در شکل (۳-۳۴) نشان داده شده است. از آنجا که می دانیم  $I_B = \frac{I_C}{\beta}$  داریم:

$$I_B = \frac{I_{CS}}{\beta} e^{V_{BE}/V_T} = I_{BS} e^{V_{BE}/V_T} \quad (3.104)$$

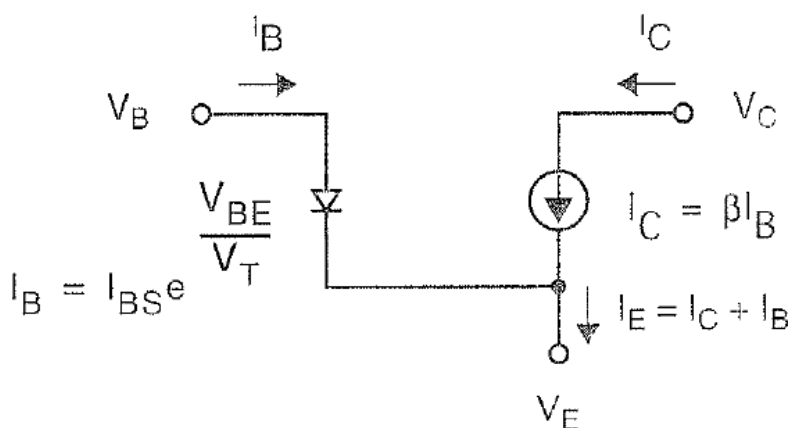
<sup>۱</sup> Active Region

که شبیه به معادله دیود است اما در ثابت  $\frac{I_{CS}}{\beta} = I_{BS}$  ضرب شده است. از آنجا که  $I_E = I_B + I_C$  رابطه (۳-۱۰۵) و یا به طور معادل، رابطه (۳-۱۰۶) را داریم که  $\alpha$  در رابطه (۳-۱۰۶) بصورت رابطه (۳-۱۰۷) تعریف می شود.

$$I_E = I_{CS} \left( \frac{\beta + 1}{\beta} \right) e^{V_{BE}/V_T} = I_{ES} e^{V_{BE}/V_T} \quad (3.105)$$

$$I_C = \alpha I_E \quad (3.106)$$

$$\alpha = \frac{\beta}{\beta + 1} \cong 1 - \frac{1}{\beta} \cong 1 \quad (3.107)$$



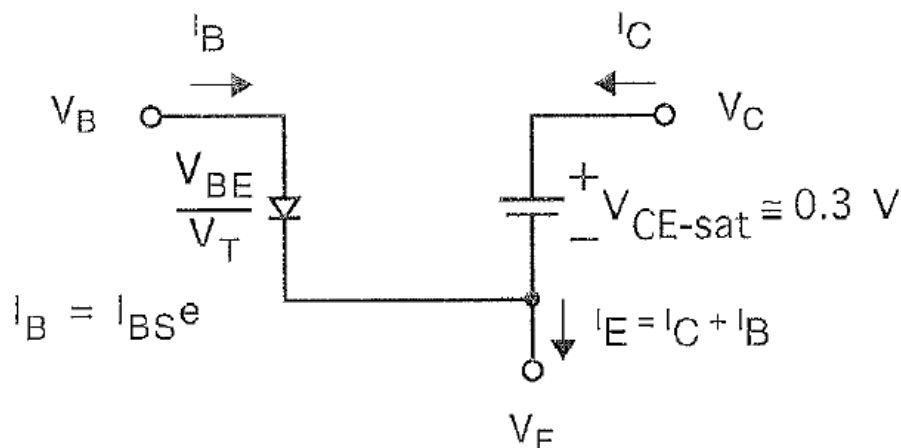
شکل ۳-۳۴. یک مدل سیگنال بزرگ برای ترانزیستورهای دوقطبی در ناحیه فعال.

اگر اثر VCE بر روی تراشه در مدل ارائه شده لحاظ شود، منبع کنترل شونده با جریان  $\beta I_B$  را باید با منبع جریان رابطه (۳-۱۰۸) تعویض نمود که در آن  $V_A$  ولتاژ ثابت ارلی می باشد. این مدل اضافی با امپدانس خروجی محدود معمولاً به دلیل پیچیدگی های محاسباتی در تحلیل سیگنال بزرگ و بدون استفاده از کامپیوتر مورد استفاده قرار نمی گیرد.

هرچه ولتاژ کلکتور- امیتر به  $V_{CE-SAT}$  (که معمولاً حدود ۰,۲ الی ۰,۳ ولت است) نزدیک تر شود، اتصال بیس- کلکتور بایاس مستقیم می شود و حفره ها از ناحیه بیس شروع به نفوذ در کلکتور می کنند. مدل مرسوم برای این حالت، یعنی زمانی که ترانزیستور در ناحیه اشباع<sup>۱</sup> است، در شکل (۳-۳۵) نشان داده شده است. باید متذکر شویم که مقدار  $V_{CE-SAT}$  به ازاء مقادیر جریان کلکتور کوچکتر، کاهش خواهد یافت.

<sup>۱</sup> Saturation Region

$$I_C = \beta I_B \left( 1 + \frac{V_{CE}}{V_A} \right) \quad (3.108)$$



شکل ۳-۳۵. یک مدل سیگنال بزرگ برای ترانزیستورهای دوقطبی در ناحیه اشباع.

### بار ذخیره شده در بیس ترانزیستوری که در ناحیه فعال است

زمانی که یک ترانزیستور در ناحیه فعال است، بسیاری از حامل های اقلیت در ناحیه بیس (الکترون های n در بیس p یک ترانزیستور npn) ذخیره می شود. یادآور می شویم که این حامل های اقلیت در  $I_C$  وجود دارند و از این رو قبل از آنکه ترانزیستور بتواند خاموش شود این بار باید (از طریق اتصال بیس) تخلیه شود. مانند یک دیود بایاس مستقیم، این بار را می توان به صورت یک خازن نفوذی ( $C_d$ ) بین بیس و امیتر مدل سازی نمود و از رابطه (۳-۱۰۹) محاسبه می گردد که در آن  $\tau_b$  ثابت زمانی بیس-امیتر است. از این رو مشاهده می شود که خازن نفوذی با  $I_C$  رابطه مستقیم دارد. خازن کل بیس-امیتر ( $C_{be}$ ) شامل خازن تهی بیس-امیتر ( $C_j$ ) می باشد که با  $C_d$  موازی است. معمولاً تا زمانی که جریان ترانزیستور کوچک باشد،  $C_j$  بسیار کوچکتر از  $C_d$  است و می توان از آن صرف نظر نمود.

$$C_d = \tau_b \frac{I_C}{V_T} \quad (3.109)$$

### بار ذخیره شده در بیس ترانزیستوری که در ناحیه اشباع است

زمانی که یک ترانزیستور به ناحیه اشباع می رود، بار ذخیره شده اقلیت در بیس و حتی بیشتر از آن، در ناحیه با غلظت کمتر کلکتور به شدت افزایش می یابد. مؤلفه اصلی این بار ذخیره شده بر اثر حفره های نفوذی بیس از طریق اتصال کلکتور است و از طریق ناحیه ناحیه کمتر تغلیظ شده  $n^-$  کلکتور همبافته به سمت ناحیه  $n^+$  کلکتور ادامه مسیر می دهد. ناحیه  $n^-$  همبافته

بدین دلیل نام گرفته است که به صورت همبافته در ناحیه p رشد یافته است. اکثر بار در این ناحیه ذخیره می شود. بارهای ذخیره شده دیگر، ناشی از الکترون هایی است که از کلکتور نفوذ کرده اند و در بیس ذخیره شده اند اما این بار معمولاً کوچکتر است. مقدار این بار اضافی ذخیره شده در ترانزیستوری که در ناحیه اشباع است از رابطه (۳-۱۱۰) محاسبه می گردد که جریان بیس غالب<sup>۱</sup> که بصورت  $\frac{I_B - I_C}{\beta}$  تعریف می شود، تقریباً مساوی است با جریان حفره های از بیس به کلکتور. معمولاً در ناحیه اشباع داریم  $I_B \gg \frac{I_C}{\beta}$  و می توان رابطه (۳-۱۱۰) را با رابطه (۳-۱۱۱) تقریب زد.

$$Q_s = \tau_s \left( I_B - \frac{I_C}{\beta} \right) \quad (3.110)$$

$$Q_s \cong \tau_s I_B \quad (3.111)$$

ثابت  $\tau_s$  تقریباً برابر است با ثابت دیگری که به ثابت زمان گذر ناحیه همبافت<sup>۲</sup> ( $\tau_E$ ) معروف است (البته با صرف نظر از الکترون های ذخیره شده در بیس که از کلکتور نفوذ کرده اند). از آنجا که ناحیه همبافته عریض تر از بیس است، ثابت  $\tau_s$  معمولاً بزرگتر است از ثابت زمانی بیس ( $\tau_b$ ) (در حدود دو برابر). مقدار ویژه  $\tau_s$  در فناوری های مختلف از طریق آزمایش بدست می آید.

هرگاه یک ترانزیستور اشباع شده خاموش می شود، ابتدا جریان بیس معکوس می گردد. هرچند قبل از این که جریان کلکتور تغییر کند بار اشباع ( $Q_s$ ) باید برداشته شود. پس از این که  $Q_s$  برداشته شد، بار حد اقل بیس ( $Q_b$ ) برداشته خواهد شد. در حین این زمان، جریان کلکتور تا زمانی که ترانزیستور خاموش شود، کاهش خواهد یافت. معمولاً زمان برداشته شدن  $Q_s$  بسیار بیشتر از زمان برداشته شدن بار کل است.

اگر زمان مورد نیاز برای حذف بار بیس اشباع ( $t_s$ ) بسیار کوچکتر از زمان گذرای ناحیه همبافته ( $\tau_E$ ) باشد، آنگاه می توان عبارتی برای زمان لازم به منظور حذف بار اشباع را محاسبه نمود. اگر جریان معکوس بیس (زمانی که بار اشباع در حال حذف شدن است) با  $I_{BR}$  نشان دهیم، در هنگام حذف  $Q_s$ ، این مقدار ثابت باقی خواهد ماند و بنابراین رابطه (۳-۱۱۲) صادق است به طوری که  $\tau_s \approx \tau_E$ .

$$t_s \cong \frac{Q_s}{I_{BR}} \cong \frac{\tau_s [I_B - (I_C/\beta)]}{I_{BR}} \cong \tau_s \frac{I_B}{I_{BR}} \quad (3.112)$$

<sup>۱</sup> Base Overdrive Current

<sup>۲</sup> Epitaxial Region Transit Time Constant

معمولاً جریان بایاس مستقیم در حالت اشباع ( $I_B$ )، بسیار کوچکتر از جریان بیس معکوس در هنگام حذف بار اشباع  $I_{BR}$  خواهد بود. اگر این گونه نباشد، آنگاه فرض اولیه ما که  $t_S \approx t_E \ll t_S$  بوده، صحیح نبوده است. در این حالت، زمان خاموش شدن ترانزیستور دوقطبی آن قدر کند خواهد بود که در بسیاری از کاربردهای دیجیتالی غیر قابل استفاده شود. با این وجود، زمان خاموش شدن در این حالت که  $t_S$  بسیار کوچکتر از  $\tau_E$  نیست از رابطه (۳-۱۱۳) محاسبه می گردد.

$$t_S = \tau_S \ln \left( \frac{I_{BR} + I_B}{I_{BR} + \frac{I_C}{\beta}} \right) \quad (3.113)$$

خواننده محترم باید تحقیق کند که برای  $I_B \gg I_{BR}$  و  $\frac{I_C}{\beta}$  رابطه (۳-۱۱۳) تقریباً معادل رابطه ساده تر (۳-۱۱۲) است (مسئله ۳،۲۲ در انتهای فصل).

در هر دو مورد بررسی شده، زمان لازم به منظور حذف بار ذخیره شده در یک ترانزیستور اشباع بسیار بیشتر از زمان لازم برای خاموش شدن ترانزیستور در ناحیه فعال می باشد. در طراحی های نوین مدارهای میکرو و نانو الکترونیک که در آن ها از ترانزیستورهای دوقطبی استفاده می شود، به ترانزیستورها اجازه رفتن به ناحیه اشباع داده نمی شود تا از این طریق از زمان طولانی قطع آن جلوگیری به عمل آید.

### مثال ۳،۸

به ازاء  $\tau_b = 0.2\text{ns}$ ،  $\tau_S = 100\text{ns}$  (که مقدار کوچکی برای  $\tau_S$  می باشد)،  $I_B = 0.2\text{mA}$ ،  $I_C = 1\text{mA}$ ،  $\beta = 100$  و  $I_{BR} = 1\text{mA}$  زمان لازم برای حذف بار اشباع بیس را با استفاده از رابطه (۳-۱۱۲) محاسبه کنید و مقدار آن را با زمان بدست آمده از رابطه (۳-۱۱۳) که دقیق تر است مقایسه نمایید. این مقایسه را در مورد زمان لازم برای حذف بار اقلیت بیس برای مقدار یکسان  $I_{BR}$  نیز انجام دهید.

پاسخ:

با استفاده از رابطه (۳-۱۱۲) داریم

$$t_S = \frac{10^{-7}(2 \times 10^{-4})}{10^{-3}} = 20 \text{ ns} \quad (3.114)$$

و با استفاده از رابطه (۳-۱۱۳) داریم

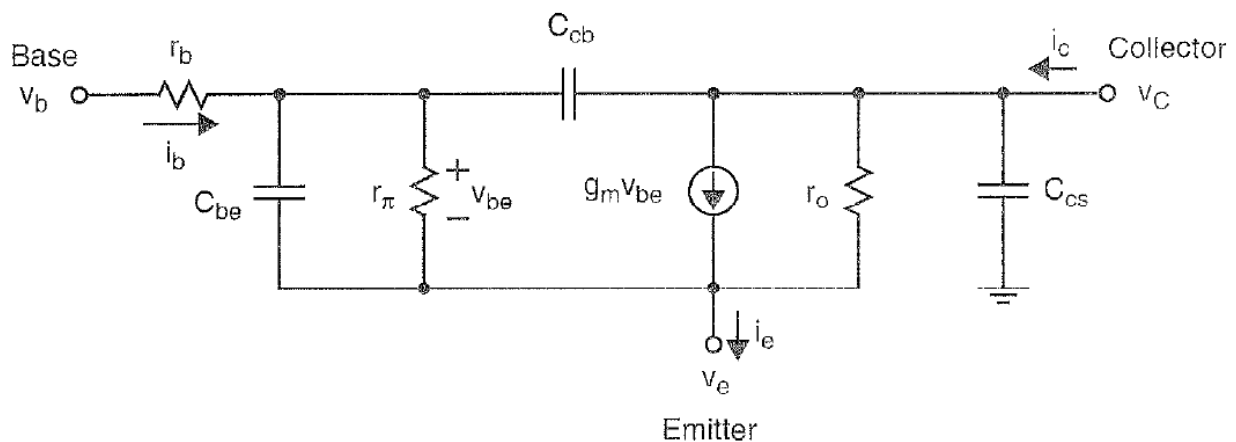
$$t_s = 10^{-7} \ln \left[ \frac{10^{-3} + 2 \times 10^{-4}}{10^{-3} + \frac{10^{-3}}{100}} \right] = 17.2 \text{ ns} \quad (3.115)$$

که این مقادیر تقریباً نزدیک به یکدیگر هستند. اکنون زمان لازم برای حذف  $Q_b$  بصورت زیر محاسبه می گردد که تقریباً ۱۰۰ برابر کوچکتر است.

$$t_A = \frac{Q_b}{I_{BR}} = \frac{\tau_b I_C}{I_{BR}} = 0.2 \text{ ns} \quad (3.116)$$

### مدل سازی سیگنال کوچک

مدل سازی سیگنال کوچک ترانزیستورهای دوقطبی بطور خلاصه در این بخش ارائه می گردد. مشهورترین مدل سیگنال کوچک، مدل هایبرید-پی<sup>۱</sup> است. این مورد بسیار شبیه مدل سیگنال کوچک مورد استفاده در ترانزیستورهای MOS می باشد به استثنای اینکه در این جا یک امپدانس متناهی بیس-امیتر ( $r_\pi$ ) وجود دارد و خازن امیتر-بدنه ای وجود ندارد. مدل هایبرید-پی در شکل (۳-۳۶) نشان داده شده است. ابتدا مؤلفه های dc را شرح می دهیم که عبارتند از رسانایی متقابل<sup>۲</sup> ( $g_m$ ) و مقاومت ها و سپس خازن های پارازیتیک شرح داده خواهند شد.



شکل ۳-۳۶. مدل سیگنال کوچک یک ترانزیستور دوقطبی.

<sup>۱</sup> Hybrid- $\pi$  Model

<sup>۲</sup> Transconductance



شاید رسانایی متقابل ترانزیستور ( $g_m$ ) مهم ترین پارامتر مدل سیگنال کوچک باشد و از رابطه (۳-۱۱۷) محاسبه می گردد که در آن مقدار  $V_T$  از رابطه (۳-۱۱۸) محاسبه می گردد.

$$g_m = \frac{I_C}{V_T} \quad (3.117)$$

$$V_T = \frac{kT}{q} \cong 26 \text{ mV at } T = 300^\circ\text{K} \quad (3.118)$$

حضور مقاومت  $r_\pi$  بیان گر این حقیقت است که جریان متنهای بیس وجود دارد. داریم

$$r_\pi = \frac{V_T}{I_B} \quad (3.119)$$

یا به طور معادل:

$$r_\pi = \beta \frac{V_T}{I_C} = \frac{\beta}{g_m} \quad (3.120)$$

مقاومت  $r_o$  وابستگی جریان کلکتور را به ولتاژ کلکتور- امیتر نشان می دهد که با جریان کلکتور نسبت عکس دارد. مقاومت  $r_o$  در مدارهای منطقی دوقطبی اهمیت چندانی ندارد.

$$r_o = \frac{V_A}{I_C} \quad (3.121)$$

مقاومت  $r_b$  مقاومت ماده نیمه هادی بین اتصال بیس و ناحیه مؤثر بیس که با ماده p نسبتاً کم تغلیظ شده (در شکل (۳-۲۹)) را مدل می کند. این مقاومت، هرچند کوچک است و در حدود ۲۰۰ الی ۵۰۰ اهم است اما می تواند در محدود کردن سرعت گیت های منطقی دوقطبی بسیار مهم باشد.

عملکرد یک ترانزیستور دوقطبی در فرکانس های بالا محدود است به خازن های مدل سیگنال کوچک که اخیراً با یکی از این خازن ها یعنی  $C_{be}$  در بخش قبل مواجه شدیم. رابطه (۳-۱۲۲) را داریم که در آن  $C_j$  خازن تهی اتصال بیس-امیتر است. برای یک اتصال بایاس مستقیم می توان مقدار  $C_j$  را به طور تقریبی از رابطه (۳-۱۲۳) محاسبه نمود.

$$C_{be} = C_j + C_d \quad (3.122)$$

$$C_j \cong 2A_E C_{je0} \quad (3.123)$$

خازن نفوذ  $C_d$  از رابطه (۳-۱۲۴) محاسبه می گردد و خازن  $C_{cb}$  خازن تهی اتصال کلکتور-بیس را مدل می کند.

$$C_d = \tau_b \frac{I_C}{V_T} = g_m \tau_b \quad (3.124)$$

### مسائل فصل

۳-۱ میزان تراکم الکترون ها و حفره ها را در سیلیکونی که با آرسنیک با میزان غلظت  $10^{25} \text{ atoms/m}^3$  در دمای  $22^\circ C$  بیشتر از دمای

اتاق ترکیب شده است تخمین بزنید. ماده حاصل از نوع  $n$  است یا  $p$ ؟

پاسخ:

آرسنیک در لایه آخر والانس خود پنج الکترون دارد بنابراین دهنده الکترون است. پس ماده حاصل از نوع  $n$  خواهد بود. بنابراین

$$N_D = 10^{25} \text{ atoms/m}^3$$

دمای اتاق  $300^\circ K$  کلین است. داریم  $T = 300^\circ K + 22^\circ K$  (میزان تغییرات افزایش دما در واحد سانتیگراد برابر است با میزان تغییرات افزایش

دما در واحد کلین).

$n_n$ : حامل های منفی نوع n:

$$n_n = N_D$$

$p_n$ : حامل های مثبت نوع n:

$$p_n = \frac{n_i^2}{N_D}$$

که  $n_i$  تمرکز حامل ها در سیلیکون خالص می باشد.

$$n_i = 1.5 \times 10^{16} \text{ carriers} / m^3$$

بنابراین در دمای اتاق داریم:

$$p_n = \frac{(1.5 \times 10^{16})^2}{10^{25}} = \frac{2.25 \times 10^{32}}{10^{25}} = 2.25 \times 10^7 \text{ carriers} / m^3 \text{ و } n_n = 10^{25} \text{ carriers} / m^3$$

توجه کنید که تعداد حامل ها تقریباً بازاء هر  $11^\circ C$  افزایش دما دو برابر می شود:

$$22 = 11 + 11 \Rightarrow n_n = 2 \times 2 \times 10^{25} = 4 \times 10^{25} \text{ carriers} / m^3$$

$$p_n = 2 \times 2 \times 2.25 \times 10^7 = 9 \times 10^7 \text{ carriers} / m^3$$

۳-۲ برای اتصال pn مثال ۳-۲ در کتاب آیا زمانی که دما  $11^\circ C$  بیشتر از دمای اتاق افزایش یابد،  $\Phi_0$  (built-in potential) افزایش می

یابد یا کاهش؟

پاسخ:

داریم  $\Phi_0 = V_T \times \ln\left(\frac{N_A \times N_D}{n_i^2}\right)$  و  $V_T = \frac{KT}{q}$  که  $K = 1.38 \times 10^{-23} \frac{J}{K}$  ثابت بولتزمن و  $T = 300^\circ K$  دمای اتاق و

$q = 1.602 \times 10^{-19} C$  بار الکترون است. با استفاده از داده های مسئله در دمای اتاق داریم  $V_T = 26mv$  بنابراین:

$$T = 300^\circ K + 11^\circ K = 311^\circ K \Rightarrow V_T = \frac{1.38 \times 10^{-23} \times 311}{1.602 \times 10^{-19}} = 26.8mv$$

بنابراین  $V_T$  با افزایش دما افزایش می یابد. در مورد نسبت  $\left(\frac{N_A \times N_D}{n_i^2}\right)$  با افزایش  $11^\circ C$  داریم:

$$\frac{(2 \times N_A)(2 \times N_D)}{(2 \times n_i)^2} = \frac{2 \times 2 \times N_A \times N_D}{4n_i^2} = \frac{N_A \times N_D}{n_i^2}$$

بنابراین این نسبت با افزایش دما ثابت خواهد ماند. در نهایت اتصال pn به دلیل افزایش  $V_T$  با افزایش دما افزایش می یابد.

۳-۳ میزان بار الکتریکی در واحد  $\mu m^2$  را در هر دو ناحیه n و p اتصال pn مثال ۲-۳ فوق محاسبه کنید. ولتاژ بایاس معکوس ۵ v است.

چه مقدار بار در دیود  $10 \times 10 \mu m$  ممکن است وجود داشته باشد؟

پاسخ:

$$N_A = 10^{25} \text{ holes} / m^3$$

$$N_D = 10^{22} \text{ electrons} / m^3$$

توجه کنید که عرض ناحیه تهی در ناحیه کم تزریق شده n، ۱۰۰۰ بار بزرگتر از ناحیه بیشتر تزریق شده p است. با استفاده از رابطه زیر از

کتاب و همچنین  $N_A \gg N_D$  داریم:

$$Q^{-} = Q^{+} = \left[ (2 \times q \times ks \times \varepsilon_0) (\Phi_0 + V_R) N_D \right] \frac{1}{2}$$

$$.q = 1.6 \times 10^{-19} C, ks = 11.8, \varepsilon_0 = 8.854 \times 10^{-12}, \Phi_0 = 0.88, V_R = 5 \text{ که در آن}$$

$$\Rightarrow Q^{-} = Q^{+} = \left[ \left( 2 \times 1.6 \times 10^{-19} \times 11.8 \times 8.854 \times 10^{-12} \right) (0.88 + 5) 10^{22} \right] \frac{1}{2}$$

$$= 1.4 \times 10^{-3} \frac{C}{\mu m^2}$$

این میزان بار الکتریکی در ناحیه تهی برای این مقادیر زیر از  $X_n, X_p$  ذخیره شده است:

$$X_n = \left[ \frac{(2 \times ks \times \varepsilon_0) (\Phi_0 + V_R)}{q \times N_D} \right] \frac{1}{2} = \left[ \frac{2 \times 11.8 \times 8.854 \times 10^{-12} \times (0.88 + 5)}{1.602 \times 10^{-19} \times 10^{22}} \right] \frac{1}{2}$$

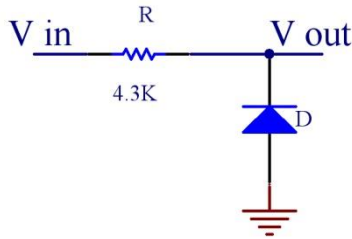
$$\cong 0.87 \mu m$$

$$X_p = \frac{X_n}{\left( \frac{N_A}{N_D} \right)} = \frac{0.87}{\left( \frac{10^{25}}{10^{22}} \right)} = 0.87 nm$$

برای دیود با ابعاد  $10 \mu m \times 10 \mu m$  داریم:

$$Q = 10 \times 10 \times Q^{+} = 100 \times 1.4 \times 10^{-3} = 0.14 \frac{C}{\mu m^2}$$

۳-۴ در یک دیود سیلیکون  $\tau_t = 12ps$  و  $C_{j-0} = 15fF$  است. این دیود با یک مقاومت  $4.3K\Omega$  که بین کاتد دیود و سیگنال ورودی قرار گرفته است به صورت زیر بایاس شده است. ولتاژ اولیه 5v می باشد و در زمان صفر، مقدار صفر می گیرد. مدت زمانی که طول می کشد تا ولتاژ خروجی از 5 v به 1.5 v برسد (یعنی همان  $\Delta_{t-70\%}$ ) را حساب کنید. این مسئله را برای زمانی که ولتاژ ورودی از صفر به 5 v تغییر می کند و ولتاژ خروجی از صفر به 3.5 v می رسد تکرار کنید.



پاسخ:

$$\tau_t = 12ps$$

$$C_{j-0} = 15fF$$

$$R = 4.3k\Omega$$

در بایاس معکوس:

$$\Delta_{t-70\%} = R \times C_{T-j-av} \times \ln\left(\frac{0-5}{0-1.5}\right)$$

$$\Rightarrow \Delta_{t-70\%} = \tau_t \times 1.2 = 14.4ps$$

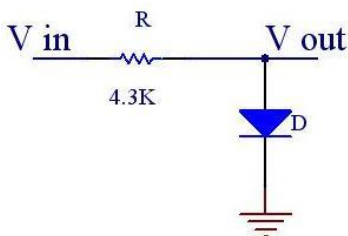
$$\Delta_{t+70\%} = R \times C_{T-j-av} \times \ln\left(\frac{5-0}{5-3.5}\right) = 12 \times 1.2 = 14.4ps$$

۳-۵ پاسخ های خود را که از مسئله ۳-۴ بدست آورده اید با شبیه سازی در SPICE مقایسه کنید.

پاسخ:

با استفاده از SPICE بدست می آوریم:  $\Delta_{t-70\%} = 1.0842ns$

۳-۶ یک دیود سیلیکونی  $\tau_t = 12ps$  و  $C_{j-0} = 15fF$  دارد. این دیود با یک مقاومت  $4.3K\Omega$  که بین آنند دیود و سیگنال ورودی قرار گرفته است به صورت زیر بایاس شده است. ولتاژ اولیه 5v می باشد و در زمان صفر، مقدار صفر می گیرد. مدت زمانی را که طول می کشد که دیود هدایت را قطع کند تخمین بزنید. برای دیود شاتکی که به همان مقدار  $C_{j-0}$  دارد این زمان را بدست آورید. توجه کنید که دیود شاتکی در بایاس مستقیم هیچ ظرفیت خازنی در زمان ذخیره بار های اقلیت ندارد. تمام خازن ها در مدل سیگنال کوچک در نتیجه خازن depletion یا تهی است.



پاسخ:

در بایاس مستقیم:

$$\tau_t = 12ps$$

$$C_{j-0} = 15fF$$

$$C_T = C_d + C_j$$

به طوری که

$C_T$ : خازن کل ( $C_{Total}$ ) و

$C_d$ : خازن نفوذ ( $C_{diffusion}$ ) و

$C_j$ : خازن اتصال ( $C_{junction}$ ) می باشند.

$$C_d = \tau_t \times \frac{I_D}{V_T}$$

که  $V_T = 26mV$  در دمای اتاق است.

$$I_D = I_S \times e^{\frac{V_D}{V_T}}$$

$$I_S = A_D \times \left( \frac{1}{N_A} + \frac{1}{N_D} \right)$$

$$C_j \approx 2 \times C_{j-0}$$

$$\Delta_t = \frac{C_T}{I_D} \times \Delta_v = \frac{C_T \times (5 - 0)}{I_D}$$

$$KVL: V_{in} = 5v \Rightarrow$$

$$5v = 4.3k\Omega \times I_D \Rightarrow I_D = \frac{5v}{4.3k\Omega} = 1.16mA.$$

$$\Rightarrow C_d = 12ps \times \frac{1.16mA}{26mv} = 0.54pF$$

$$C_j = 2 \times 15fF = 30fF.$$

$$\Rightarrow C_T = C_d + C_j = 0.54pF + 30fF = 0.57pF$$

$$\Rightarrow \Delta_{t-70\%} = 1.2 \times 4.3k\Omega \times 0.57pF = 2.95nS$$



برای دیود شاتکی داریم:

$$C_T = C_j = 2 \times C_{j-0}$$

$$\Rightarrow C_T = 30 \text{ fF}$$

$$\Rightarrow \Delta t_{-70\%} = 1.2 \times 4.3 \text{ k}\Omega \times 30 \text{ fF} = 154.8 \text{ ps}$$

۳-۷ پاسخ های خود را که از مسئله ۳-۶ بدست آورده اید با شبیه سازی در SPICE مقایسه کنید.

پاسخ:

با استفاده از SPICE زمان لازم برای اینکه دیود هدایت را قطع کند  $1.347 \mu\text{s}$  به دست می آید.

۳-۸ نشان دهید زمانی که  $V_{DS} = V_{eff}$  در معادله خطی<sup>۱</sup> برای یک ترانزیستور MOS استفاده شود، معادله جریان در ناحیه اشباع<sup>۲</sup> به

$$\text{صورت } I_D = \frac{\mu_n \times C_{OX}}{2} \times \frac{W}{L} \times (V_{GS} - V_{tn})^2 \text{ است.}$$

پاسخ:

برای NMOS در ناحیه خطی داریم:

$$I_D = \mu_n \times C_{OX} \times \frac{W}{L} \times \left[ (V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

---

<sup>۱</sup> triode

<sup>۲</sup> active

اگر  $V_{DS} = V_{eff} = V_{GS} - V_{tn}$  باشد داریم:

$$\begin{aligned}
 I_D &= \mu_n \times C_{OX} \times \frac{W}{L} \times \left[ (V_{GS} - V_{tn})(V_{GS} - V_{tn}) - \frac{(V_{GS} - V_{tn})^2}{2} \right] \\
 &= \mu_n \times C_{OX} \times \frac{W}{L} \times \left[ (V_{GS} - V_{tn})^2 - \frac{(V_{GS} - V_{tn})^2}{2} \right] \\
 &= \mu_n \times C_{OX} \times \frac{W}{L} \times \left[ \frac{1}{2} \times (V_{GS} - V_{tn})^2 \right] = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2
 \end{aligned}$$

برای PMOS تمام  $\mu_n$  ها را با  $\mu_p$  جایگزین می کنیم و سایر روابط بدون تغییر باقی خواهند ماند.

۳-۹ مقدار  $I_D$  را برای یک ترانزیستور کانال n که دارای  $N_D = 10^{25} / m^3$  و  $N_A = 10^{22} / m^3$  و

$W = 50 \mu m, L = 1.5 \mu m, V_{GS} = 1.1v, V_{DS} = V_{eff}$  است بدست آورید. با فرض اینکه  $\lambda$  ثابت باقی می ماند، اگر

$V_{DS}$  به اندازه 0.3 v افزایش یابد مقادیر جدید  $I_D$  را بدست آورید.

پاسخ:

$$N_A = 10^{22} / m^3$$

$$N_D = 10^{25} / m^3$$

$$W = 50 \mu m$$

$$L = 1.5 \mu m$$

$$V_{GS} = 1.1v$$

$$V_{tn} = 0.7v$$

$$\mu_n \times C_{OX} = 188 \frac{\mu A}{v^2}$$

$$V_{DS} = V_{eff} = V_{GS} - V_{tn} = 1.1 - 0.7 = 0.4v$$

$$I_D = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \left( 1 + \lambda (V_{DS} - V_{eff}) \right)$$

$$I_D = \frac{1}{2} \times 188 \frac{\mu A}{v^2} \times \frac{50}{1.5} (0.4v)^2 (1 + \lambda(0)) = 501.34 \mu A$$

$$\lambda = \frac{K_{ds}}{2 \times L \times \sqrt{V_{DG} + V_{tn} + \Phi_0}} = \frac{K_{ds}}{2 \times L \times \sqrt{V_{DS} - V_{eff} + \Phi_0}}$$

$$K_{ds} = \sqrt{\frac{2 \times K_s \times \epsilon_0}{q \times N_D}} = \sqrt{\frac{2 \times 11.8 \times 8.854 \times 10^{-12}}{1.6 \times 10^{-19} \times 10^{22}}} = 0.362 \times 10^{-6} \frac{m}{\sqrt{v}}$$

$$V_{DS} = 0.7v = 0.4 + 0.3v$$

$$\lambda = \frac{0.362 \times 10^{-6}}{2 \times 1.5 \times \sqrt{0.7 - 0.4 + 0.9}} = 1.1 \times 10^{-7} = 0.11 \times 10^{-6} v^{-1}$$

$$I_{D-2} = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \left( 1 + \lambda (V_{DS} - V_{eff}) \right)$$

$$= 501.34 \times \left( 1 + 0.11 \times 10^{-6} \times 0.3 \right) = 501.3400165 \mu A$$

۳-۱۰ یک ترانزیستور MOS در ناحیه اشباع با  $V_{DS} = V_{eff}$  جریان  $20\mu A$  دارد. زمانی که  $V_{DS}$  به اندازه  $0.5\text{ v}$  افزایش یابد

$I_D$  به اندازه  $23\mu A$  افزایش می یابد. امپدانس خروجی ( $r_{ds}$ ) و ثابت امپدانس خروجی ( $\lambda$ ) را بدست آورید.

پاسخ:

$$I_D = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2$$

در ناحیه اشباع که  $V_{DS} = V_{GS} - V_{tn}$  داریم:

$$V = R \times I$$

$$20\mu A = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{DS})^2$$

$$eqI: 20\mu A = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn}) \times (V_{GS} - V_{tn})$$

$$= \frac{1}{\frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2}$$

$$23 = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \left( 1 + \lambda (V_{DS} - V_{eff}) \right)$$

$$eqII: 23 = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 (1 + \lambda \times 0.5)$$

با جایگذاری رابطه  $eqI$  در رابطه  $eqII$  داریم:

$$23 = 20 \times (1 + \lambda \times 0.5)$$

$$\Rightarrow \lambda = 0.3V^{-1}$$

۳-۱۱ فرض کنید تمام دیمانسیون ها با ضریب  $s$  scale شده باشند اما ولتاژ ها و سطوح doping تنها با ضریب  $\sqrt{s}$  scale شده باشند.

جدول زیر را کامل کنید.

| پارامترها  | ضریب scaling |
|--|--------------|
| Devise dimensions, $t_{OX}$ , L, W, junction depth | ?            |
| Doping concentration, $N_A$                        | ?            |
| Voltage, V   | ?            |
| Current, I   | ?            |
| Capacitance, $\epsilon A \int t_{OX}$              | ?            |
| Delay time, $VC \int 1$                            | ?            |
| Power dissipation, VI                              | ?            |
| Power density, $VI \int A$                         | ?            |

پاسخ:

تمام دیمانسیون ها با ضریب  $s$  scale شده اند اما سطوح تزریق (doping levels) و ولتاژها تنها با ضریب  $\sqrt{s}$  scale شده اند. بنابراین:

| پارامترها  | ضریب scaling |
|--|--------------|
| Devise dimensions, $t_{OX}$ , L, W, junction depth | $s$          |
| Doping concentration, $N_A$                        | $\sqrt{s}$   |

|  |                       |
|--|-----------------------|
| Voltage, V   | $\sqrt{s}$            |
| Current, $I = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \Rightarrow C_{OX} \propto \frac{1}{s}$<br>$\Rightarrow I \propto \frac{1}{s} \times (\sqrt{s})^2 = \frac{s}{s} = 1$ | 1                     |
| Capacitance, $\epsilon A f t_{OX} \propto s \times s \times \frac{1}{s} = s$   | $s$                   |
| Delay time, $VC f 1 \propto \sqrt{s} \times s \times s \times \frac{1}{1} = s\sqrt{s}$   | $s\sqrt{s}$           |
| Power dissipation(per gate), $VI \propto \sqrt{s} \times 1 = \sqrt{s}$   | $\sqrt{s}$            |
| Power density, $VI f A \propto \sqrt{s} \times 1 \times \frac{1}{s^2} = \frac{\sqrt{s}}{s^2} = \frac{\sqrt{s}}{s} \times \frac{1}{s} = \frac{1}{s\sqrt{s}}$  | $\frac{1}{s\sqrt{s}}$ |

۱۲-۳ پارامتر های مدل فرکانس پائین برای ترانزیستور کانال n که دارای  $N_A = 10^{22}/m^3$ ،  $N_D = 10^{25}/m^3$ ،  $W = 1\mu m$

و  $V_{GS} = 1.1v$ ،  $L = 1.2\mu m$ ،  $V_{DS} = V_{eff}$  است را بدست آورید. فرض کنید  $V_{SB} = 1.0v$  باشد.

پاسخ:

$$N_D = 10^{25} / m^3$$

$$N_A = 10^{22} / m^3$$

$$W = 1 \mu m$$

$$L = 1.2 \mu m$$

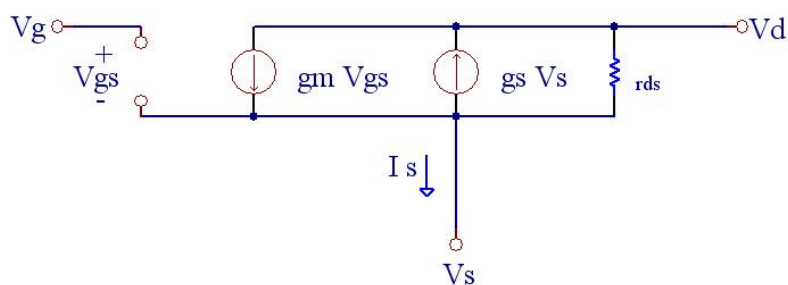
$$V_{GS} = 1.1 v$$

$$V_{DS} = V_{eff}$$

$$V_{SB} = 1.0 v$$

$$V_{tn} - 0 = 0.7 V$$

پارامترهای مدل فرکانس پائین برای یک ترانزیستور کانال n ولتاژ درین- سورس زیادی دارند که عبارت است از  $V_{DS} = V_{eff}$ .



$$I_D = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2$$

$$C_{OX} = \frac{K_{OX} \times \epsilon_0}{t_{OX}}$$

$$K_{OX} = 3.9$$

$$\epsilon_0 = 8.854 \times 10^{-12}$$

فرض کنید:

$$\mu_n \times C_{OX} = 190 \frac{\mu A}{v^2}$$

داریم:

$$V_{tn} = V_{tn-0} + \gamma \left( \sqrt{V_{SB} + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

$$\gamma = 0.6$$

$$2\Phi_F = 0.7$$

$$V_{tn} = 0.7 + 0.6(\sqrt{1+0.7} - \sqrt{0.7}) = 0.7 + 0.28 = 0.98V$$

$$I_D = \frac{1}{2} \times 190 \times 1.2 \times (1.1 - 0.98)^2 = 1.14 \mu A$$

$$g_m = \frac{2 \times I_D}{V_{eff}}$$

$$g_m = \frac{\partial I_D}{\partial V_{GS}}$$

$$g_m = \frac{2 \times 1.14}{1.1 - 0.98} = 19 \mu \Omega^{-1}$$

$$g_s = \frac{\partial I_D}{\partial V_{SB}} = \frac{\gamma \times g_m}{2\sqrt{V_{SB} + |2\Phi_F|}} = \frac{0.6 \times 19}{2 \times \sqrt{1+0.7}} = 4.37 \mu \Omega^{-1}$$

$$r_{ds} \cong \frac{1}{\lambda \times I_D}$$

$$\lambda = \frac{K}{2 \times L \times \sqrt{V_{DS} - V_{eff} + \Phi_0}}$$

$$\Phi_0 = 0.99$$

$$K = \sqrt{\frac{2 \times K_s \times \epsilon_0}{q \times N_A}} = \sqrt{\frac{2 \times 11.8 \times 8.854 \times 10^{-12}}{1.6 \times 10^{-19} \times 10^{22}}} = 0.36 \times 10^{-6} \frac{m}{\sqrt{v}}$$

$$\lambda = \frac{0.36 \times 10^{-6}}{2 \times 1.2 \times \sqrt{0.99}} = 0.15 \times 10^{-6} V^{-1}$$

$$r_{ds} \cong \frac{1}{0.15 \times 10^{-6} \times 1.14 \mu A} = 5.85 \times 10^{-12} \Omega$$



۳-۱۳ خازن های  $C_{gs}, C_{gd}, C_{db}, C_{sb}$  را برای ترانزیستوری که دارای  $W = 50\mu m, L = 1.2\mu m$  می باشد بدست

آورید. فرض کنید اتصالات سورس و درین به اندازه  $4\mu m$  در اطراف گیت باعث شده است که مساحت های

$$A_S = A_D = 200(\mu m)^2 \text{ و محیط های } P_S = P_D = 58\mu m \text{ را داشته باشند.}$$

پاسخ:

$$W = 50\mu m$$

$$L = 1.2\mu m$$

$$A_S = A_D = 200(\mu m)^2$$

$$P_S = P_D = 58\mu m$$

$$C_{OX} = 3.4 \times 10^{-3} \frac{pF}{(\mu m)^2}$$

$$L_{OV} = 4\mu m$$

که  $L_{OV}$  میزان همپوشانی (overlap) می باشد.

$$C_{j-0} = 5 \times 10^{-4} \frac{pF}{(\mu m)^2}$$

$$C_{GS} = ?$$

$$C_{GD} = ?$$

$$C_{SB} = ?$$

$$C_{GS} = W \times C_{OX} \left( \frac{2}{3}L + L_{OV} \right) = 50 \times 3.4 \times 10^{-3} \times \left( \frac{2}{3} \times 1.2 + 4 \right)$$

$$= 816 \times 10^{-3} pF$$

$$\begin{aligned}
 C_{GD} &= C_{GD-OV} \times W = W \times L_{OV} \times C_{OX} \\
 &= 50 \mu m \times 4 \mu m \times 3.4 \times 10^{-3} \frac{pF}{(\mu m)^2} \\
 &= 680 \times 10^{-3} pF = 680 fF
 \end{aligned}$$

$C_{GD}$  خازن میلر نامیده می شود. در متن کتاب آمده است:

$$C_{DB} = A_D \times C_{jd}$$

$$C_{jd} = \frac{C_{j-0}}{\sqrt{1 + \frac{V_{DS}}{\Phi_0}}}$$

$$V_{DS} = 5v$$

$$C_{jd} = \frac{5 \times 10^{-4}}{\sqrt{1 + \frac{5}{0.99}}} = 2.032 \times 10^{-4} \frac{pF}{(\mu m)^2}$$

$$\Rightarrow C_{DB} = 200 \times 0.2032 \times 10^{-3} pF = 40.64 fF$$

و

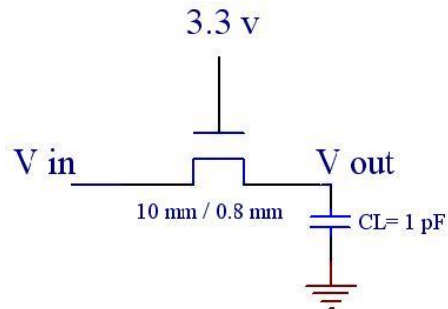
$$C_{SB} = (A_S + A_{CH}) \times C_{js}$$

$$C_{js} = \frac{C_{j-0}}{\sqrt{1 + \frac{V_{SB}}{\Phi_0}}} = \frac{5 \times 10^{-4}}{\sqrt{1 + 0}} = 0.5 \frac{fF}{(\mu m)^2}$$

$$C_{SB} = (200 + 1.2 \times 50)(\mu m)^2 \times 0.5 \frac{fF}{(\mu m)^2} = 130 fF$$

۳-۱۴ مدار شکل زیر را در نظر بگیرید که در آن  $V_{IN}$  یک سیگنال d.c. با مقدار 1 v است. با در نظر گرفتن تنها، بار ذخیره شده کانال،

مقدار نهایی  $V_{OUT}$  چقدر است؟ زمانی که ترانزیستور خاموش شده است نیمی از بار کانال در خازن  $C_L$  قرار گرفته است.



پاسخ:

$$V_{IN} = 1v$$

$$W = 10mm$$

$$L = 0.8mm$$

$$Q_{T-n} = W \times L \times C_{OX} (V_{GS} - V_{tn})$$

$T$  : total

$n$  : n-channel

$$C_{OX} = 3.4 \times 10^{-3} \frac{pF}{(\mu m)^2}$$

$$V_m = 0.7v$$

$$V_G = 3.3v$$

$$V_S = V_{out}$$

$$V_{tn} = 0.7v$$

$$Q_{T-n} = 10mm \times 0.8mm \times 3.4 \times 10^{-3} \frac{pF}{(\mu m)^2} (3.3 - V_{out} - 0.7)v$$

$$= 27.2 \times 10^{-3} (mm)^2 \frac{pF}{(\mu m)^2} (2.6 - V_{out})v$$

$$(Q = C \times V)$$

می دانیم:

$$Q_{C_L} = \frac{1}{2} Q_{T-n}$$

$$Q_{C_L} = C_L \times V_{out}$$

$$\Rightarrow Q_{C_L} = 13.6 \times 10^{-3} (mm)^2 \frac{pF}{(\mu m)^2} (2.6 - V_{out})v$$

$$\Rightarrow V_{out} = \frac{Q_{C_L}}{C_L} = \frac{13.6 \times 10^{-3} (mm)^2 \frac{pF}{(\mu m)^2} (2.6 - V_{out})v}{1pF}$$

$$\Rightarrow 146 \times V_{out} = 35.36mv$$

$$\Rightarrow V_{out} = 2.42mv$$

۱۵-۳ برای مدار شکل قبل ولتاژ ورودی در زمان صفر، یک تغییر پله ای از ۱ v به ۱.۲ v دارد (ولتاژ گیت ۵ v باقی می ماند). زمان ۹۹٪

(زمانی که طول می کشد تا به ۱٪ مقدار نهائیش برسد) را پیدا کنید. می توانید از اثر بدنه و تمام خازن ها به جز خازن  $C_L$  صرف نظر

کنید. همچنین فرض کنید  $V_{tn} = V_{tn-0}$ . این مسئله را زمانی که  $V_{IN}$  از ۳ v به ۳.۱ v تغییر می کند نیز تکرار کنید.

پاسخ:

$$V_G = 5v$$

$$V_D = V_{IN}$$

$$V_S = V_{OUT}$$

$$V_{IN} = 1v \Rightarrow V_{DG} = 1 - 5 = -4v < 0$$

بنابراین ترانزیستور در ناحیه خطی است.

$$I_D = \mu_n \times C_{OX} \times \frac{W}{L} \times \left[ (V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

شرط قطع به صورت زیر است:

$$(V_{GS} - V_{tn})V_{DS} - \frac{V_{DS}^2}{2} = 0$$

$$\Rightarrow (V_G - V_{OUT} - V_{tn})(V_{IN} - V_{OUT}) - \frac{(V_{IN} - V_{OUT})^2}{2} = 0$$

$$V_{IN} = x$$

$$V_{OUT} = y$$

$$V_G - V_{tn} = a$$

$$\Rightarrow (a - y)(x - y) - \frac{(x - y)^2}{2} = 0$$

$$\Rightarrow ax - ay + y^2 - xy - \left( \frac{x^2 - 2xy + y^2}{2} \right) = 0$$

$$\Rightarrow y^2 - xy - ay + ax - \frac{y^2}{2} + xy - \frac{x^2}{2} = 0$$

$$\Rightarrow \frac{y^2}{2} - ay + ax - \frac{x^2}{2} = 0$$

$$\frac{ax - \frac{x^2}{2} = c}{2} \rightarrow y^2 - 2ay + 2c = 0$$

$$\Rightarrow y = \frac{2a \pm \sqrt{4a^2 - 8c}}{2}$$

$$4a^2 - 8c = 4a^2 - 8 \left( ax - \frac{x^2}{2} \right) = 4a^2 - 8ax + 4x^2 = 4(a - x)^2$$

$$\Rightarrow y = \frac{2a \pm \sqrt{4(a - x)^2}}{2} = \frac{2a \pm 2(a - x)}{2} \Rightarrow \begin{cases} y = x \Rightarrow V_{OUT} = V_{IN} \\ y = 2a - x \end{cases}$$

حالا برای ترانزیستور عبور (pass transistor) در ناحیه خطی داریم:

$$V_{OUT} = V_{IN}$$

$$r_{ds} = \frac{1}{\mu_n \times C_{OX} \times \frac{W}{L} \times (V_{GS} - V_{tn})} = \frac{1}{190 \frac{\mu A}{V^2} \times \frac{10}{0.8} \times (5 - 1.2 - 0.2)V}$$

$$= \frac{1.36 \times 10^{-4}}{10^{-6}} = 136 \Omega$$

$$V_{\infty} = 1.2V \Rightarrow 99\% \times 1.2V = 1.88V$$

$$\Rightarrow \Delta_t = r_{ds} \times C_L \times Ln\left(\frac{1.2-1}{1.2-1.88}\right) = 136\Omega \times 1pF \times 2.81 = 3.82ps$$

برای  $V_{IN} = 3V$  داریم:

$$V_{\infty} = 3.1V \Rightarrow 99\% \times 3.1 = 3.069V$$

$$r_{ds} = 350\Omega$$

$$\Rightarrow \Delta_t = 350\Omega \times 1pF \times Ln\left(\frac{3.1-3}{3.1-3.069}\right) = 409.5ps$$

۳-۱۶ مسئله ۳-۱۴ را تکرار کنید اما این بار اثر بدنه را بر روی  $V_{tn}$  به حساب آورید.

پاسخ:

$$V_{tn} = V_{tn-0} + \gamma \left( \sqrt{V_{SB} + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

$$\left. \begin{array}{l} V_B = 0 \\ V_S = V_{OUT} \end{array} \right\} \Rightarrow V_{SB} = V_{OUT}$$

$$V_{tn-0} = 0.7v$$

$$\gamma = 0.7$$

$$2\Phi_F = 0.7$$

$$V_{tn} = V_{tn-0} + \gamma \left( \sqrt{V_{OUT} + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

$$V_{tn} = 0.7 + 0.7 \left( \sqrt{1.2 + |0.7|} - \sqrt{|0.7|} \right) = 1.08v$$

$$r_{ds} = \frac{1}{190 \frac{\mu A}{v^2} \times \frac{10}{0.8} \times (5 - 1.2 - 1.08)v} = 154\Omega$$

$$\Rightarrow \Delta_t = 154\Omega \times 1pF \times \ln\left(\frac{1.2-1}{1.2-1.88}\right) = 433ps$$

۱۷-۳ فرض کنید در یک معکوس کننده CMOS،  $V_{IN} = V_{OUT} = V_{TH}$  است و هر دو ترانزیستور در ناحیه اشباع هستند.

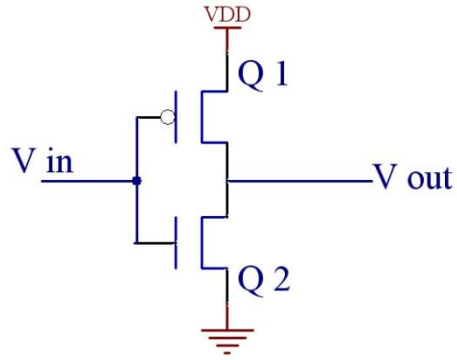
$V_{TH}$  را برای یک ترانزیستور کانال n که سایز آن  $\frac{W}{L} = \frac{5\mu m}{0.8\mu m}$  است و همچنین یک ترانزیستور کانال p که سایز آن

$\frac{W}{L} = \frac{7.5\mu m}{0.8\mu m}$  است به دست آورید. این مسأله را برای یک ترانزیستور کانال p با سایز  $\frac{W}{L} = \frac{5\mu m}{0.8\mu m}$  و یک ترانزیستور کانال p

با سایز  $\frac{W}{L} = \frac{10\mu m}{0.8\mu m}$  نیز تکرار کنید.

پاسخ:





برای هر دو ترانزیستور کانال n و کانال p داریم:

$$V_{IN} = V_{OUT} = V_{TH}$$

داریم:

$$V_{GD} = 0$$

بنابراین هر دو ترانزیستور در ناحیه اشباع هستند.

$$Q_1: I_{D-1} = \frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{GS} - V_{tn})^2 =$$

$$\frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{th} - 0 - V_{tn})^2$$

$$Q_2: I_{D-2} = \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (V_{GS} - |V_{tp}|)^2 =$$

$$\frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (V_{DD} - V_{th} - |V_{tp}|)^2$$

Q1 و Q2 هر دو در ناحیه اشباع هستند. بنابراین:

$$I_{D\_1} = I_{D\_2}$$

$$\Rightarrow \frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{th} - V_{tn})^2 =$$

$$\frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (V_{DD} - V_{th} - |V_{tp}|)^2$$

$$\Rightarrow 190 \times \left(\frac{5}{0.8}\right) (V_{th} - 0.7)^2 = 50 \times \left(\frac{7.5}{0.8}\right) (3.3 - V_{th} - 0.8)^2$$

$$\Rightarrow 1187.5 \times (V_{th} - 0.7)^2 = 468.75 (2.5 - V_{th})^2$$

$$\Rightarrow 2.53 \times (V_{th} - 0.7)^2 = (2.5 - V_{th})^2$$

$$\Rightarrow V_{th} - 0.7 = \frac{2.5 - V_{th}}{\sqrt{2.53}} \Rightarrow V_{th} = 1.4V$$

اگر

$$\left(\frac{W}{L}\right)_2 = \frac{5}{0.8} \Rightarrow V_{th} = 0.85V$$

اگر

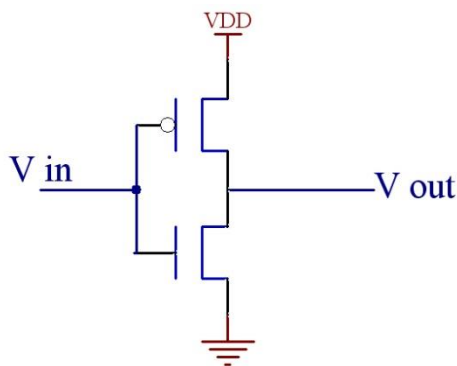
$$\left(\frac{W}{L}\right)_2 = \frac{10}{0.8} \Rightarrow V_{th} = 1.46V$$

۱۸-۳ با استفاده از مدل سیگنال کوچک و با فرض یک معکوس کننده CMOS که سایز ترانزیستور کانال n آن  $\frac{W}{L} = \frac{5\mu m}{0.8\mu m}$  و سایز

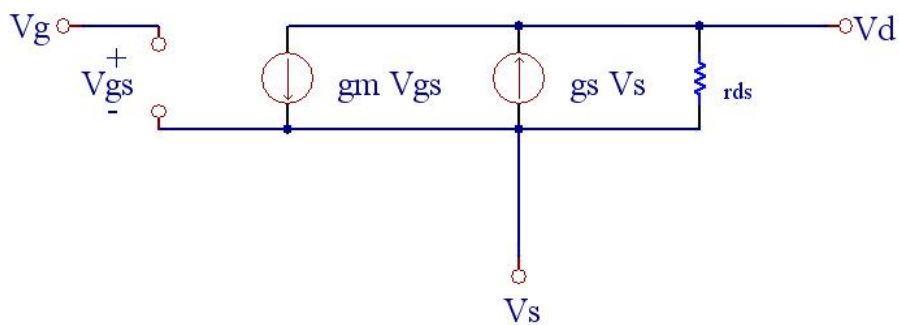
ترانزیستور کانال p آن  $\frac{W}{L} = \frac{7.5\mu m}{0.8\mu m}$  باشد، معادله ای برای پیدا کردن بهره معکوس کننده را زمانی که  $V_{IN} = V_{TH}$  باشد

بدست آورید. توجه کنید که در مدلی که استفاده می کنید هر دو ترانزیستور در ناحیه اشباع هستند.

پاسخ:



مدل سیگنال کوچک یک ترانزیستور MOS در ناحیه به صورت زیر است:



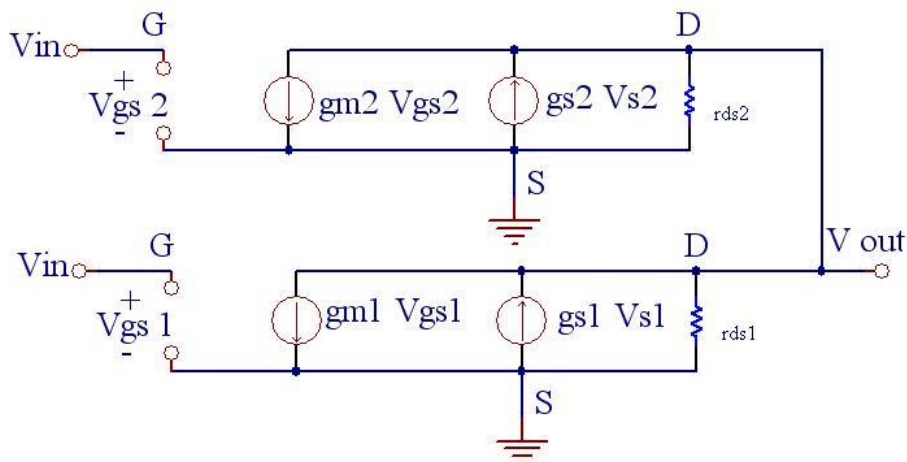
$$g_m = \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})$$

$$r_{ds} = \frac{1}{\lambda \times I_D}$$

یا:

$$r_{ds} = \frac{L \times \sqrt{V_{DG} + V_t}}{I_{DS}}$$

مدار معادل یک معکوس کننده CMOS به صورت زیر است:

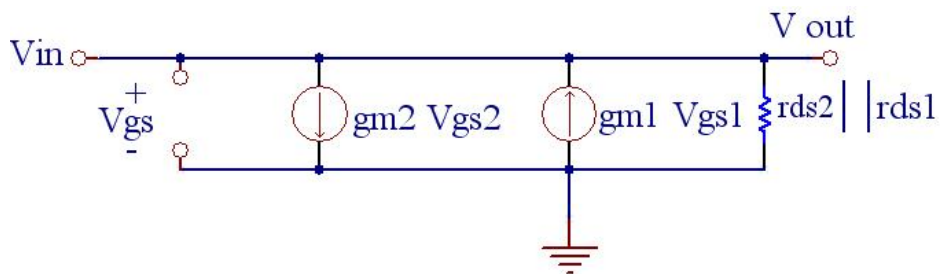


برای محاسبه مدل سیگنال کوچک معکوس کننده،  $V_{DD}$  با زمین جایگزین شده است چون فرض می شود که یک ولتاژ ثابت است (با

توجه به قضیه جمع آثار). توجه داشته باشید که  $V_{G-2} = V_{S-2} = 0$  یعنی هر دو منبع جریان  $gm_1 V_{SG1}$  و

$gm_2 V_{SG2}$  صفر هستند و همچنین چون  $V_{S-1} = 0$  در نتیجه  $g_{s1} V_{S1} = 0$ . بنابراین ساده شده سیگنال کوچک معادل

معکوس کننده به صورت زیر است:



$$\begin{aligned}
gain &= \frac{V_{OUT}}{V_{IN}} \\
\Rightarrow \frac{V_{OUT}}{V_{IN}} &= \frac{-(g_{m1}V_{GS1} + g_{m2}V_{SG2})}{V_{IN}}(r_{ds1} || r_{ds2}) \\
\Rightarrow V_{IN} &= V_{GS1} = V_{SG2} \\
\Rightarrow gain &= -(g_{m1} + g_{m2})(r_{ds1} || r_{ds2})
\end{aligned}$$

۱۹-۳ برای یک ترانزیستور npn که دارای  $I_C = 0.1mA$  می باشد، پارامترهای  $g_m, r_p, r_e, r_o, g_m r_o$  را بدست آورید.

پاسخ:

$$\begin{aligned}
I_C &= 0.1mA \\
\beta &= 100 \\
V_A &= 80v
\end{aligned}$$

$$g_m = \frac{I_C}{V_T}$$

در دمای اتاق ( $300^\circ K$ ) داریم:

$$V_T = \frac{KI}{q} \cong 26mv$$

$$\Rightarrow g_m = \frac{0.1mA}{26mv} = 3.85 \times 10^{-3} \Omega^{-1}$$

$$r_\pi = \frac{V_T}{I_B}$$

$$\Rightarrow r_\pi = \frac{\beta}{I_C} \times V_T = \frac{\beta}{g_m} = \frac{100}{3.85 \times 10^{-3} \Omega^{-1}} = 27.93k\Omega$$

$$r_e = \frac{d(V_{BE})}{dI_E} = \frac{\alpha}{g_m}$$

که از رابطه

$$\alpha = \frac{\beta}{\beta + 1}$$

$$r_e = \frac{\frac{100}{101}}{3.85 \times 10^{-3} \Omega^{-1}} = 257.16 \Omega$$

$$r_o = \frac{V_A}{I_C} = \frac{80v}{0.1mA} = 800k\Omega$$

ماکزیمم بهره ممکن که شخص می تواند با یک ترانزیستور تقویت کننده به دست آورد بصورت زیر است:

$$g_m r_o = \frac{V_A}{V_T} = \frac{80v}{26mv} = 3076.92$$

مسائل ۲۰-۳ و ۲۱-۳ کاملاً مربوط به شبیه سازی با SPICE می باشد. از آوردن این دو مسئله در این جا خود داری می نمائیم.

۳-۲۲ نشان دهید که برای  $I_{BR} \gg I_B$  و  $\frac{I_C}{\beta}$ ، معادله

$$t_S = \tau_S \times \ln \left( \frac{I_{BR} + I_B}{I_{BR} + \frac{I_C}{\beta}} \right)$$

به شکل

$$t_S \cong \frac{Q_S}{I_{BR}} = \tau_S \times \frac{\left[ I_B - \left( \frac{I_C}{\beta} \right) \right]}{I_{BR}} \cong \tau_S \times \frac{I_B}{I_{BR}}$$

ساده می شود.

پاسخ:

$$t_S = \tau_S \times \ln \left( \frac{I_{BR} + I_B}{I_{BR} + \frac{I_C}{\beta}} \right)$$

داریم  $I_{BR} \gg I_B$  و  $\frac{I_C}{\beta}$  بنابراین:

$$t_S = \tau_S \times \ln \left( \frac{I_{BR}}{I_{BR}} \right) \cong 0$$

طبق رابطه موجود:

$$t_S = \tau_S \times \frac{I_B}{I_{BR}} \xrightarrow{I_{BR} \gg I_B} t_S \cong 0$$