



فصل ششم

طراحی به شیوه سنتی مدارهای MOS

امروزه گیت های منطقی MOS مشهور ترین گزینه برای تحقق بخشیدن به مدارات مجتمع دیجیتال به شمار می روند چرا که تعداد بسیار زیادی از ترانزیستور های MOS را می توان در یک مدار مجتمع ساده ساخت. گیت های منطقی MOS در فصل ۱ معرفی شدند، که در آنجا ترانزیستورها به عنوان کلیدهای ساده ای مدل سازی شدند. اکنون که درک کاملتری از ترانزیستورهای MOS و روند تولید مدار های مجتمع MOS بدست آمده، در این فصل با جزئیات بیشتری تحلیل خواهند شد.

خانواده منطقی CMOS به علت اتلاف کم توان بسیار معروف هستند اما در ابتدا یک خانواده منطقی به نام فنآوری شبه NMOS معرفی خواهد شد. این خانواده منطقی ابتدا با استفاده از ترانزیستورهای کانال n با یک ترانزیستور کانال p پیاده سازی شد که این ترانزیستور کانال p در هر گیت منطقی به عنوان بار بکار می رفت. طراحی این گیت های منطقی بسیار مشابه طرحهایی بود که در گذشته برای خانواده منطقی NMOS بکار می رفت که اولین فنآوری بود که در تولید مدارهای VLSI مطرح شد. غالباً از گیت های شبه NMOS در مدارهای مجتمع واقعی استفاده نمی شود (شاید استثنائاً در آرایه های منطقی برنامه پذیر که در فصل ۱۰... توضیح داده خواهد شد)، زیرا حتی زمانی که خروجی آنها تغییر نمی کند اتلاف توان دارند. اما در هر صورت مدارهایی ساده هستند که موجب متراکم شدن مدارها شده اند و زمانی که بارگذاری خازنی کم است نسبتاً سریع عمل می کنند، و مشابه بسیاری از خانواده های منطقی دیگر طراحی شده اند. مثالی از آن، یک خانواده منطقی است که با استفاده از فنآوری GaAs^۱ محقق شدند. مهم تر آن که گیت های منطقی شبه NMOS مثالهای نسبتاً ساده ای هستند که می توان از آنها در توضیح اینکه شبکه های محرک از جنس کانال n چگونه طراحی می شوند استفاده نمود. این گیت ها در بیشتر خانواده های منطقی MOS مورد نیاز هستند. بعد از اینکه طرح منطقی NMOS بیان شد مفهوم منطق CMOS به سادگی قابل درک است.

۴-۱ منطق شبه NMOS

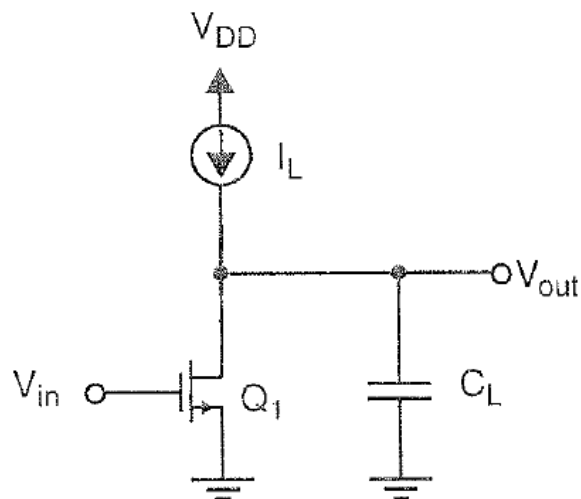
همانطور که در شکل (۴-۱) نشان داده شده است ایده اصلی معکوس کننده شبه NMOS، ایجاد گیتی به عنوان یک تقویت کننده سورس مشترک با یک منبع جریان به عنوان بار است. اگر ولتاژ ورودی گیت کمتر از ولتاژ آستانه^۲ Q_1 باشد، آنگاه Q_1 قطع میشود و I_L خازنهای بار را تا سطح ولتاژ بالا (بطور ایدآل V_{DD}) شارژ خواهد کرد. از طرف دیگر اگر سیگنال ورودی تا یک ولتاژ بالا تغییر کند، آنگاه Q_1 در ابتدا به طور چشمگیری جریان بیشتری را نسبت به I_L هدایت خواهد کرد و خازن بار تا سطح ولتاژ پایین تخلیه می شود. زمانی که این اتفاق می افتد، ولتاژ عبوری از Q_1 که V_{DS-1} است کمتر از V_{GS-1} مؤثر خواهد بود، و Q_1 به ناحیه خطی وارد می شود که باعث می شود که جریان آن تا حد I_L کاهش یابد. هرگاه اینگونه شود، ولتاژ خروجی نزدیک به صفر ولت خواهد شد، با فرض اینکه عرض ترانزیستور به طور مناسب انتخاب شده باشد.

بطور معمول، برای تضمین اینکه ولتاژ خروجی پایین، یعنی V_{OL} به اندازه کافی به صفر ولت نزدیک باشد، لازم است که Q_1 را به قدر کافی عریض در نظر گرفت به طوری که در حالتی که خروجی در ناحیه گذر (ولتاژ از بالا به پایین تغییر کند) و در حدود ولتاژ آستانه گیت یا V_{TH} است، جریانش بسیار بیشتر از مقدار I_L شود. هر چند این امر منجر می شود که زمان صعود بطور چشمگیری بیشتر از زمان نزول شود. به این ترتیب، بیشتر گیت های با بار منبع جریان توانایی تحریک ضعیفی برای گذرهای خروجی بالا رونده دارند، مگر اینکه توسط بافرها تقویت شوند. همچنین زمانی که خروجی پایین است اتلاف توان این گیت ها برابر با $I_L.V_{DD}$ است. زمانی که خروجی بالاست هیچ اتلاف توانی صورت نمی گیرد.

^۱ فنآوری بسیار سریع گالیم - آرسنید

^۲ توجه داشته باشید که ولتاژ آستانه یک ترانزیستور MOS (V_t) با ولتاژ آستانه گیت منطقی (V_m) که در فصل ۱ معرفی شد متفاوت است.

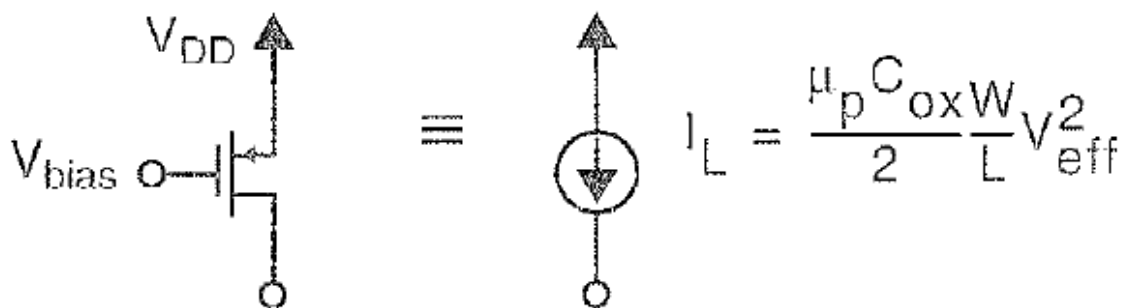
بنابراین، تقریباً در نیمی از زمان توان اتلاف می شود. این اتلاف توان d.c. بدان معنی است که یک مدار مجتمع نوین حاوی میلیونها گیت نمی تواند فقط با استفاده از گیت های شبه NMOS پیاده سازی شوند. با این وجود این مدارها ساده هستند، جای کمی می گیرند و همیشه بار کوچکی برای طبقات قبلی خود محسوب می شوند.



شکل ۴-۱. معکوس کننده با بار منبع جریان.

استفاده از یک ترانزیستور کانال p برای ایجاد یک منبع جریان

همانطور که در شکل (۴-۲) نشان داده شده است، ایده اصلی معکوس کننده شبه NMOS استفاده از یک ترانزیستور کانال p برای ایجاد یک بار منبع جریان می باشد. برای درک این مطلب، معادله ای را در نظر بگیرید که جریان یک ترانزیستور MOS کانال p را در ناحیه فعال یا اشباع بیان می کند. در این حالت رابطه (۴-۱) را داریم که در آن $V_{eff} = V_{SG} + V_{tp}$ ولتاژ گیت-سورس مؤثر ترانزیستور است. این معادله امپدانس خروجی متناهی r_{ds} ترانزیستور را در نظر نمی گیرد. با بکارگیری رابطه (۴-۱)، ولتاژ درین نباید بیش از مقدار $|V_{tp}|$ (که همیشه در حدود ۰٫۸ الی ۰٫۹ ولت است) از ولتاژ گیت بزرگتر باشد.



شکل ۴-۲. استفاده از یک ترانزیستور کانال p به منظور ایجاد یک منبع جریان تقریبی.

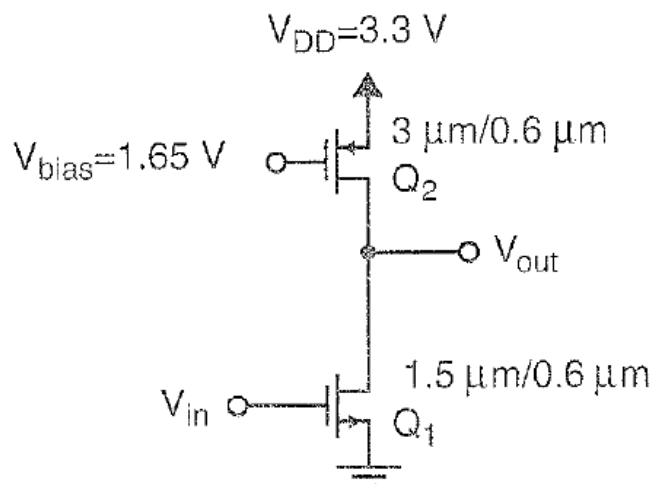
$$I_D = \frac{\mu_p C_{ox} W}{2 L} (V_{SG} + V_{tp})^2$$

$$= \frac{\mu_p C_{ox} W}{2 L} V_{eff}^2 \quad (4.1)$$

با فرض اینکه $V_{DD} = 3.3 \text{ V}$ و اینکه ولتاژ بایاس V_{bias} نصف مقدار بین زمین و V_{DD} یعنی 1.65 V باشد، آنگاه مادامی که ولتاژ درین تقریباً کمتر از 2.45 V است رابطه (۴-۱) به کار می رود. اکنون در معادله رابطه (۴-۱) داریم 1.65 V $V_{SG} = V_{DD} - V_{bias} =$ $V_{eff} = V_{SG} + V_{tp} \approx 0.75 \text{ V}$. بنابراین تا زمانیکه این ولتاژ بیشتر از 0.75 V یا بیشتر باشد، $I_D = I_L$ مستقل از ولتاژ دو سر ترانزیستور است. به این ترتیب، مادامی که ولتاژ خروجی گیت منطقی کمتر از 2.45 V یا حدود آن باشد، می توان از ترانزیستور کانال p برای ایجاد یک منبع جریان تقریبی استفاده کرد. این حالتی است که در اکثر موارد هنگام تغییر منطق خروجی رخ می دهد. زمانی که ولتاژ خروجی تقریباً بیشتر از 2.45 V ولت شود، آنگاه جریان بار شروع به افت می کند و مدل دقیق تر، یک منبع جریان به صورت موازی با یک مقاومت خواهد بود.

معکوس کننده شبه NMOS

شکل ۴،۳ یک معکوس کننده شبه NMOS را نشان می دهد که نسبت W/L ترانزیستور تحریک آن نصف نسبت W/L ترانزیستور بار است (بصورت رابطه (۴-۲)).



شکل (۴-۳) یک معکوس کننده شبه NMOS نوعی در فناوری $0.6 \mu\text{m}$ مایکرون.

$$(W/L)_1 = \frac{(W/L)_2}{2} \quad (4.2)$$

این نسبت ها یک انتخاب مرسوم در معکوس کننده شبه NMOS ای خواهد بود که دارای بار کانال p با ولتاژ بایاس گیت ۱,۶۵ ولت دارد. مدار ساده ای که قادر به ایجاد این ولتاژ بایاس است به اختصار توضیح داده می شود. در این بخش، معکوس کننده شبه NMOS را از نظر ولتاژ تقریبی آستانه گیت، بهره در ولتاژ آستانه، ولتاژهای خروجی بالا و پایین مرسوم، و پاسخهای گذرای تقریبی تحلیل می کنیم. به منظور ساده سازی تحلیل ها، برخی تقریب ها را می پذیریم. خطاهای برخاسته از این تقریبهها متغیر است اما این خطاها در تمام موارد بطور معمول کمتر از خطاهای ایجاد شده ناشی از عدم توانایی در روند پیشگویی دقیق و پارامترهای ترانزیستور، قبل از زمان تولید (ساخت) است. همچنین با ایجاد تقریبههای قابل قبول و منطقی بدون اینکه خواننده در محاسبات پیچیده ای که کاربرد محدودی هم در طراحی مدارهای مجتمع دیجیتالی کاربردی دارند دچار اشکال شود، اساس عملکرد گیت روشن تر می شود. این بخش صرف نظر از استفاده از تقریب ها، عمدتاً بر درک روابطی که ترانزیستورهای MOS را توضیح می دهند تکیه دارد (که در فصل ۳ ارائه شد). بنابراین این بخش نه تنها بینش وسیعتری از منطق شبه NMOS ارائه می کند بلکه به عنوان اولین مثال های عمیق از کاربرد روابط MOS در مدارات واقعی بکار خواهد رفت.

ولتاژ آستانه معکوس کننده (V_{TH})

همانطور که در فصل ۱ اشاره شد، ولتاژ آستانه شبه معکوس کننده NMOS به صورت ولتاژی که در آن، ولتاژ ورودی و خروجی یکسان است تعریف می شود. به طور معمول برای یک معکوس کننده MOS که خوب طراحی شده است، این ولتاژ تقریباً نصف ولتاژ منبع تغذیه خواهد بود. برای محاسبه این ولتاژ، لازم است که ابتدا ناحیه ای که ترانزیستور در آن عمل می کند و روابط مورد استفاده تعیین شوند. یعنی اینکه آیا ترانزیستور در ناحیه خطی یا ناحیه اشباع (که ما بطور مرسوم آن را ناحیه فعال می نامیم) قرار دارد؟ اول، می توان با اطمینان گفت که ترانزیستور تحریک کانال n افزایشی (Q_1) قطعاً در ناحیه فعال یا اشباع است به این دلیل که در حالت $V_{in}=V_{out}$ ولتاژ گیت-درین Q_1 صفر است. هر ترانزیستور افزایشی با $V_{DG}=0$ در ناحیه اشباع قرار دارد. همچنین می توان فرض کرد که ترانزیستور بار کانال p هم در ناحیه اشباع قرار دارد. این مسئله مادامی که ولتاژ آستانه گیت منطقی، کمتر از ۲,۴۵ ولت باشد در معکوس کننده هایی که به درستی طراحی شده اند رخ می دهد. اگر چنین نباشد، اندازه ترانزیستورها به خوبی انتخاب نشده است و گیت غیر قابل استفاده خواهد بود که این حالت ها در این کتاب توضیح داده نمی شود. با این مفروضات می توان رابطه زیر را نوشت. برای Q_2 داریم که در آن فرض شده $V_{SG-2}=V_{DD}/2$. برای Q_1 داریم $V_{GS-1}=V_{in}=V_{th}$ و از آنجا که همیشه فرض بر این است که گیت های MOS فقط بارهای خازنی را درایو می کنند، داریم $I_{D-1}=I_{D-2}$ و با مساوی قرار دادن روابط (۴,۳) و (۴,۴) و حل آن برای بدست آوردن V_{th} به رابطه ۴,۵ خواهیم رسید.

$$I_{D-2} = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 \left(\frac{V_{DD}}{2} + V_{tp} \right)^2 \quad (4.3)$$

$$I_{D-1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{th} - V_{tn})^2 \quad (4.4)$$

$$V_{th} = V_{tn} + \sqrt{\frac{\mu_p (W/L)_2}{\mu_n (W/L)_1} \left(\frac{V_{DD}}{2} + V_{tp} \right)} \quad (4.5)$$

مثال ۴,۱

برای $\mu_n/\mu_p = 4.2$, $V_{th} = 0.8 \text{ V}$ و $V_{tp} = -0.9 \text{ V}$ را برای معکوس کننده شکل ۴,۳ پیدا کنید.
پاسخ: برای $(W/L)_2/(W/L)_1 = 2$ با استفاده از رابطه (۴,۵), $V_{th} = 1.32 \text{ V}$.

ولتاژ بالای خروجی (V_{OH})

ولتاژ خروجی زمانی بالاست که ولتاژ ورودی "0" باشد. با فرض اینکه ولتاژ ورودی "0" مرسوم، کمتر از V_{th} باشد آنگاه Q_1 کاملاً قطع خواهد شد. در این شرایط، ولتاژ سورس-درین Q_2 بسیار کوچک خواهد بود. در این مورد داریم $V_{SD-2} \approx V_{eff-2}$ و Q_2 شدیداً در ناحیه خطی است. جریان ترانزیستوری که شدیداً در ناحیه است از رابطه (۴-۶) محاسبه می گردد.

$$I_{D2} \approx \mu_p C_{ox} \left(\frac{W}{L} \right)_2 V_{eff-2} V_{SD-2} \quad (4.6)$$

به این ترتیب، جریان آن تقریباً متناسب با ولتاژ دو سوی آن است. از آنجا که $V_{SG-2} + V_{tp} = V_{DD}/2 + V_{tp} = 0.75 \text{ V}$ می توان Q_2 را با مقاومت r_{ds-2} که از رابطه (۴-۷) محاسبه می گردد تقریب زد.

$$r_{ds-2} = \frac{1}{\mu_p C_{ox} (W/L)_2 V_{eff-2}} \quad (4.7)$$

چون Q_1 قطع است، هیچ جریانی از Q_2 رد نخواهد شد، و طبق رابطه (۴,۶) داریم $V_{SD-2} = 0$ که نشان می دهد $V_{out} = V_{OH} = V_{DD}$ بنابراین، ولتاژ بالای خروجی V_{DD} است.

باید تاکید کرد که تقریبی از رابطه (۴,۷) تنها زمانی معتبر است که V_{SD-2} به 0 نزدیک باشد یا به طور معادل، V_{out} به V_{DD} نزدیک باشد و زمانی که خروجی در ناحیه گذر و در حدود V_{th} است (هنگامی که از "0" به "1" تغییر می کند) معتبر نیست. بلکه فقط زمانی صحیح است که ولتاژ خروجی تغییراتش را در طی گذر کاملاً انجام داده باشد.

مثال ۴,۲

با فرض $\mu_n C_{ox} = 188 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 188 \mu\text{A}/\text{V}^2$ و این که خازن بار 1 Pf است، چه مدت طول می کشد که ولتاژ خروجی در پایان انتقال از "0" به "1"، از 3.0 به 3.2 V تغییر کند؟ فرض کنید $(W/L)_2 = (3 \mu\text{m} / 0.6 \mu\text{m})$.
پاسخ: از رابطه (۴,۷) داریم:

$$r_{ds-2} = \frac{1}{44.5 \times 10^{-6} (3/0.6) 0.75} = 5.99 \text{ k}\Omega \quad (4.8)$$

با استفاده از رابطه (۱،۱۴) از فصل ۱ رابطه (۹-۴) را داریم که $\tau = r_{ds-2}C_L = 5.99 \text{ ns}$ ، $V_{out}(t_1) = 3.0 \text{ V}$ ، $V_{out}(\infty) = 3.3 \text{ V}$ ، $V_{out}(t_2) = 3.2 \text{ V}$ ، با جایگذاری این مقادیر در رابطه (۹-۴) بدست می آوریم $\Delta t = 2.4 \text{ ns}$

$$\Delta t = \tau \ln \left[\frac{V_{out}(\infty) - V_{out}(t_1)}{V_{out}(\infty) - V_{out}(t_2)} \right] \quad (4.9)$$

ولتاژ پایین خروجی (V_{OL})

زمانی که ورودی "۱" است، از بخش قبل داریم $V_{GS-1} = V_{DD} = 3.3 \text{ V}$ ، به این ترتیب Q_1 کاملاً روشن خواهد بود. با فرض اینکه اندازه ترانزیستور به درستی انتخاب شده باشد، خروجی یک ولتاژ پایین خواهد بود. بنابراین، می توان گفت که Q_2 در ناحیه فعال خواهد بود و مانند یک منبع جریانی که مقدار آن از رابطه (۱۰-۴) محاسبه می گردد، عمل خواهد کرد.

$$I_L = I_{D-2} \cong \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 V_{off-2}^2 \quad (4.10)$$

همچنین، از آنجا که V_{out} کوچک است، V_{DS-1} بسیار کوچکی داریم (به عبارت دیگر بسیار کمتر از ولتاژ گیت موثرش، که $V_{GS-1} - V_{th}$ یا 2.5 V است) و Q_1 شدیداً در ناحیه خطی است. بنابراین می توان Q_1 را با مقاومتی به اندازه زیر تقریب زد.

$$r_{ds-1} = \frac{1}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{th})} \quad (4.11)$$

آنگاه ولتاژ پایین خروجی به سادگی بدست می آید:

$$V_{OL} = I_{D-2} r_{ds-1} = \frac{1}{2} \frac{\mu_p}{\mu_n} \frac{(V_{DD}/2 + V_{tp})^2 (W/L)_2}{(V_{DD} - V_{th}) (W/L)_1} \quad (4.12)$$

مثال ۴،۳

با استفاده از پارامترهای مثال قبل، V_{OL} و حاشیه های نویز معکوس کننده شبه NMOS را محاسبه کنید. پاسخ: با استفاده از رابطه (۴،۱۲) داریم:

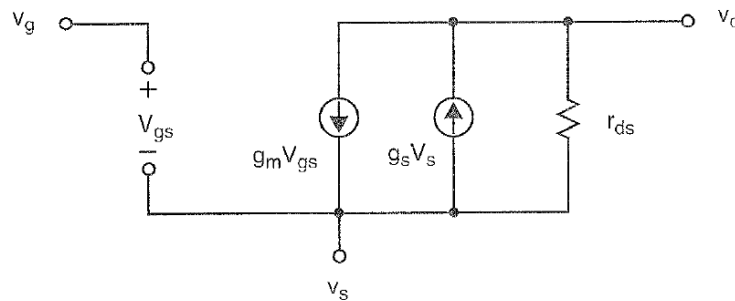
$$V_{OL} = \frac{1}{2} \left(\frac{44.5}{188} \right) \frac{0.75^2}{(3.3 - 0.8)} = 0.053 \text{ V} \quad (4.13)$$

از مثال ۴،۱ داریم $V_{th} = 1.32 \text{ V}$ ، و از بخش قبلی داریم $V_{OH} = 3.3 \text{ V}$ ، به این ترتیب، $NM_H = V_{OH} - V_{th} = 1.98 \text{ V}$ و $NM_L = V_{th} - V_{OL} = 1.27 \text{ V}$. ولتاژ آستانه و ولتاژهای بالا و پایین خروجی بدست آمده از شبیه سازهای اسپایس

عبارتند از $V_{th} = 1.43 \text{ V}$, $V_{OH} = 3.3 \text{ V}$, $V_{OL} = 0.13 \text{ V}$. این اختلاف ها اساساً ناشی از اثرات ثانویه ای است که در مدل سازی روابط به کار رفته در تحلیل دستی در نظر گرفته نشده اند. حاشیه های نویز متقارن نیستند اما هنوز نسبتاً بزرگ هستند.

بهره^۱ در ولتاژ آستانه گیت

یکی از رایج ترین معیارهای مورد استفاده برای یک معکوس کننده، بهره سیگنال کوچک معکوس کننده است زمانی که در نقطه کار $V_{in} = V_{out} = V_{th}$ قرار دارد. برای یافتن این بهره، ترانزیستورها باید با مدل های سیگنال کوچکی که در فصل ۳ توضیح داده شدند، جایگزین شوند. مدل سیگنال کوچک یک ترانزیستور MOS در فرکانسهای پایین، که خازن های آن حذف شده اند، در شکل ۴,۴ نشان داده شده است. این مدل در فصل ۳ توضیح داده شده، اما به منظور تسهیل تسهیل معادلات برای پارامترهای مختلف در اینجا مجدداً تکرار خواهند شد.



شکل ۴,۴ مدل سیگنال کوچک یک ترانزیستور MOS در فرکانس های پایین.

منبع جریان کنترل شونده با ولتاژ $(g_m V_{gs})$ ، مسئولیت عملکرد ترانزیستور را بر عهده دارد که این در یک ترانزیستور ایدئال تنها مؤلفه در مدل خواهد بود. رسانایی متقابل (g_m) از رابطه (۴-۱۴) محاسبه می گردد.

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{tn}) = \mu_n C_{ox} \frac{W}{L} V_{eff} = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (4.14)$$

دومین منبع جریان کنترل شونده با ولتاژ $(g_s V_s)$ ، اثر بدنه را مدل سازی می کند که مسئول کاهش ولتاژ در زمانی است که ولتاژ سورس یعنی v_s افزایش می یابد که این، دلیل خلاف جهت بودنش نسبت به $g_m V_{gs}$ است. در بسیاری از متون مقدماتی، این منبع جریان در مدل های سیگنال کوچک MOS در نظر گرفته نشده است. در معکوس کننده شبه NMOS، سورس هر دو ترانزیستور تحریک و ترانزیستور بار کانال p به ترتیب به زمین و V_{DD} وصل شده اند، که هر دو (زمین و V_{DD}) در سیگنال کوچک، زمین هستند. بنابراین، برای هر دو ترانزیستور، $v_s = 0$ و می توان از منبع جریانی که اثر بدنه را مدل سازی می کند صرف نظر کرد. آخرین پارامتر مدل، مقاومت خروجی ترانزیستور یعنی r_{ds} است. این مقاومت برای ترانزیستورهایی که اثرات کانال کوتاه ندارند، کاهش طول کانال را که ناشی از افزایش طول ناحیه تنگیدگی در انتهای کانال (درین)، هنگامی که ولتاژ درین افزایش می یابد، مدل سازی می کند. در این مورد مقدار آن از رابطه (۴-۱۵) محاسبه می گردد که در آن α ثابت وابسته به فرایند از مرتبه $5\sqrt{V/\mu m}$ است (و L بر حسب میکرو متر می باشد). برای ترانزیستورهایی که اثرات کانال کوتاه دارند، مقاومت خروجی بسیار کوچکتر خواهد بود که در این مورد مقدار آن از رابطه (۴-۱۶) محاسبه می گردد که در آن λ اکنون باید بطور تجربی از اندازه گیری های ترانزیستور بدست

¹ Gain

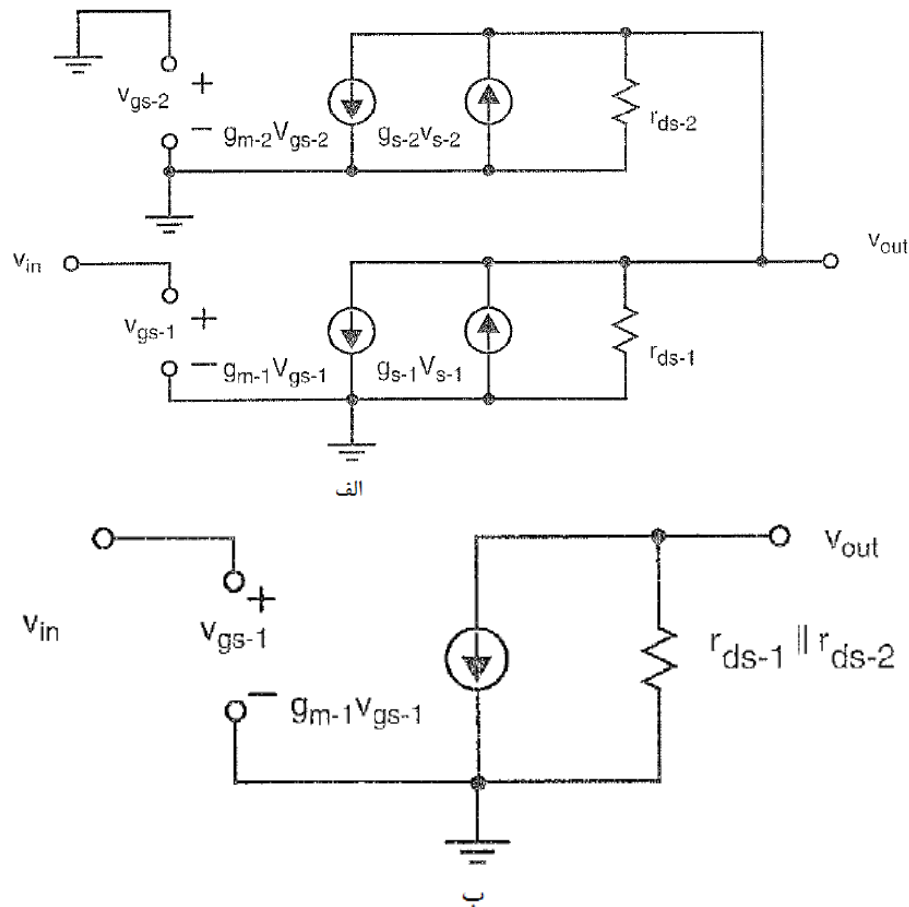
آید. این کار باید برای هر طول کانال مختلف که قرار است استفاده شود، انجام شود. در مدل های MOS که در اسپایس مورد استفاده قرار می گیرد، λ را می توان با استفاده از پارامتر LAMBDA تعیین کرد. اگر این مقدار تعیین شود، امپدانس خروجی با استفاده از رابطه (۴-۱۶) و مستقل از طول ترانزیستور (L) محاسبه می گردد. از این رو، برای ترانزیستورهای با طول مختلف که مورد استفاده قرار می گیرند، باید عبارات جداگانه ای برای تعیین پارامتر LAMBDA در مدل مورد استفاده بیان شود.

$$r_{ds} \cong \frac{L \alpha \sqrt{V_{DS} + V_t}}{I_D} \quad (4.15)$$

$$r_{ds} = \frac{1}{\lambda I_D} \quad (4.16)$$

در بدست آوردن مدل سیگنال کوچک معکوس کننده، V_{DD} با زمین جایگزین می شود چرا که بصورت یک ولتاژ ثابت در نظر گرفته شود. که این منجر به مدار معادل سیگنال کوچک نشان داده شده در شکل (۴-۵ الف) می شود. توجه داشته باشید که $v_{g-2} = v_{s-2} = 0$ اشاره دارد به اینکه هر دو منبع جریان $g_{m-2}v_{gs-2}$ و $g_{s-2}v_{s-2}$ صفر هستند. همچنین از آنجا که $v_{s-1} = 0$ و $g_{s-1}v_{s-1} = 0$ ، این به مدار اجازه می دهد که به صورت شکل (۴-۵ ب) ساده شود. اکنون بهره به سادگی از رابطه (۴-۱۷) محاسبه خواهد شد که مقدار بهره را در ولتاژ آستانه گیت، بسته به پارامترهای پردازشی در فناوری های مختلف، در حدود ۱۵-۵۰ می دهد.

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m-1}}{1/r_{ds-1} + 1/r_{ds-2}} \quad (4.17)$$



شکل ۴-۵. (الف) مدار معادل سیگنال کوچک یک معکوس کننده شبه NMOS (ب) مدار معادل ساده شده سیگنال کوچک معکوس کننده.

مثال ۴.۴

بهره یک معکوس کننده شبه NMOS را در ولتاژ آستانه، بدون صرف نظر کردن از امپدانس های خروجی ترانزیستور محاسبه کنید. فرض کنید $\lambda_n = 0.060$ و $\lambda_p = 0.065$

پاسخ: از مثال ۴.۱ داریم $V_{th} = 1.32 \text{ V}$ ، از رابطه (۴،۱۴) و با استفاده از $\mu_n C_{ox} = 188 \mu\text{A}/\text{V}^2$ روابط (۴-۱۸) و (۴-۱۹) را داریم:

$$g_{m-1} = \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{th} - V_{tn}) = 0.244 \text{ mA/V} \quad (4.18)$$

$$\begin{aligned} I_{D-1} &= \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (V_{th} - V_{tn})^2 \\ &= 63.5 \mu\text{A} \end{aligned} \quad (4.19)$$

به این ترتیب رابطه (۴-۲۰) قابل محاسبه است. همچنین، از $I_{D-2} = I_{D-1}$ رابطه (۴-۲۱) را داریم.

$$r_{ds-1} = \frac{1}{\lambda_n I_{D-1}} = 262 \text{ k}\Omega \quad (4.20)$$

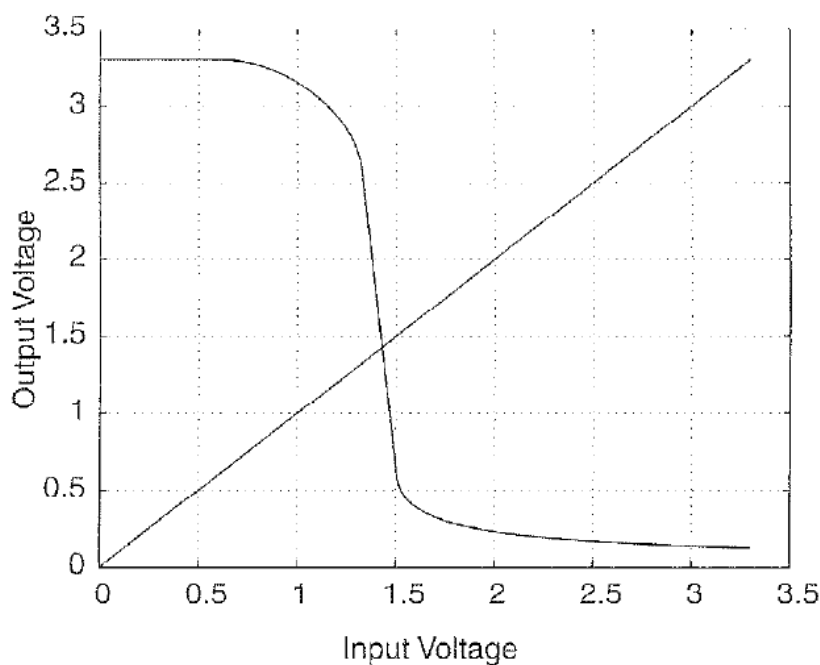
$$r_{ds-2} = \frac{1}{\lambda_p I_{D1}} = 242 \text{ k}\Omega \quad (4.21)$$

در نهایت با استفاده از رابطه (۴،۱۷) بدست رابطه (۴-۲۲) را می آوریم.

$$\frac{v_{out}}{v_{in}} = \frac{-0.244}{1/262 + 1/242} = -31.0 \quad (4.22)$$

منحنی انتقالی که V_{out} را به عنوان تابعی از V_{in} رسم می کند، با استفاده از اسپایس بدست آمده و در شکل ۴،۶ نشان داده شده است. بهره در ولتاژ آستانه ۱۰.۹- است که بطور چشم گیری از آنچه که از طریق آنالیز دستی بدست آمده متفاوت است. برآورد بهره مدار حیطه ای است که بخصوص در آن اسپایس نادرست است. خوشبختانه برآورد های صحیح بهره در پیاده سازی مدارهای دیجیتال مهم نیست.

شکل ۴،۶ منحنی انتقال معکوس کننده شبه NMOS از شکل ۴،۳ که با استفاده از اسپایس به دست آمده.



شکل ۴-۶. منحنی انتقالی معکوس کننده شبه NMOS شکل (۴-۳) بدست آمده از اسپایس.

پاسخ گذرا

سرعتی که با آن خروجی گیت می تواند تغییر وضعیت دهد محدود است زیرا ترانزیستورها فقط می توانند مقدار محدودی جریان به شارژ یا دشارژ خازن های پارازیتی موجود در هر گره را تأمین کنند. خازن پارازیتی یک از سه جزء تشکیل شده است: خازن ورودی گیت هایی که با خروجی تحریک شده اند، خازن ناشی از اتصالات میانی، و خازن ناشی از نقاط اتصال بایاس معکوس در گره خروجی گیت. اغلب عوامل تأخیری دیگری نیز وجود دارد که به خاطر این است که گره های داخلی گیت باید تغییر وضعیت دهند، قبل از اینکه خروجی بتواند تغییر وضعیت دهد. در مورد معکوس کننده شبه NMOS این عوامل تأخیری وجود ندارد چون فقط یک گره وجود دارد و آن گره خروجی است.

اغلب زمانی که یک گیت فقط چند گیت دیگر را تحریک می کند، خازن نقاط اتصال در گره خروجی می تواند مؤلفه غالب باشد و این خازن به شدت غیر خطی است. تخمین اندازه آن نیز در زمان طراحی مشکل است زیرا مساحت نقاط اتصال، قبل از آن که چپش انجام شده باشد، مشخص نمی شود و تنها می توان برآوردی از آن ارائه کرد. به این دلایل، بسیار مهم است که طراح تضمین کند که مدارهای مجتمع، صرف نظر از اطلاع دقیق از تأخیر های گیت، کاربردی باشند. همچنین بهتر است که طراح بر چپش مدار نظارت داشته باشد تا مطمئن شود که مساحت اتصال گره های بحرانی حداقل باشند.

به دلیل ماهیت بسیار غیرخطی ترانزیستورها و خازن (هم خازن های نقاط اتصال و هم خازن های ورودی گیت)، تحلیل دقیق پاسخ گذرای یک معکوس کننده شبه NMOS پیچیده و خسته کننده است. با توجه به اینکه خازن های بار در زمان طراحی به درستی شناخته نشده اند، فرض می شود که طراح دیجیتال که تحت محدودیتهای زمانی قرار دارد هرگز محاسبات دقیق تأخیر های گذرا را مورد استفاده قرار نخواهد داد. بلکه، روشهای تقریبی که اندازه زمانهای پاسخ گذرا را به درستی ارائه می کنند و می توانند در تعیین سریع گره های بحرانی بکار روند، باید توسعه یابد. در تحلیل زمان های تقریبی تأخیر یک معکوس کننده شبه NMOS، باید فرض شود که خازن بار ایدآل و شناخته شده است و در مثالها فرض می شود که مقدار آن 0.2 pF است.

زمان صعود

ابتدا، زمان را از نقطه ای که ورودی وارد مرحله تغییر از ۱ به ۰ می شود تا زمانی که خروجی به ۷۰٪ تغییر، یعنی حدوداً 2.3 V می رسد محاسبه می کنیم. همانطور که در فصل ۱ توضیح داده شد، دلیل استفاده از ۷۰٪ زمان صعود (به عنوان یک معیار) این است که اگر تعداد زیادی از معکوس کننده ها سری شوند، آنگاه مجموع ۷۰٪ زمان صعود و نزول تقریباً برابر با کل تأخیر زنجیره معکوس کننده ها خواهد بود. در طی ۷۰٪ زمان صعود، Q_1 قطع می شود و به این ترتیب از آن صرف نظر می شود. در ابتدا Q_2 در ناحیه فعال است و جریان آن تقریباً برابر است با:

$$I_{D-2} = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 V_{eff-2}^2 = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 \left(\frac{V_{DD}}{2} + V_{tp} \right)^2 \quad (4.23)$$

این مسئله تا زمانی که ولتاژ دو سوی Q_2 به $V_{eff-2} = 0.75 V$ یا معادل آن یعنی زمانی که به $V_{out} = 2.55 V$ برسد، صادق خواهد بود. چون خروجی باید به 2.3 V برسد تا از تغییر 70٪ بگذرد، ترانزیستور Q_2 در طی زمان صعود 70٪ در ناحیه

فعال باقی خواهد ماند. بنابراین I_{D-2} در مقدار تعیین شده در رابطه (۴-۲۳) ثابت باقی خواهد ماند. بنابراین رابطه (۴-۲۴) را داریم که در آن C_L خازن بار کل بر حسب فاراد است.

$$t_{+70\%} = \frac{C_L}{I_{D-2}} \Delta V_{out} = \frac{2C_L 2.3}{\mu_p C_{ox} (W/L)_2 [(V_{DD}/2) + V_{tp}]^2} \quad (4.24)$$

مثال ۴,۵

زمان تقریبی صعود معکوس کننده شبه NMOS شکل ۴,۳ به ازاء $C_L=0.2$ pF با فرض $\mu_p C_{ox}=44.5$ $\mu A/V^2$ چقدر است؟

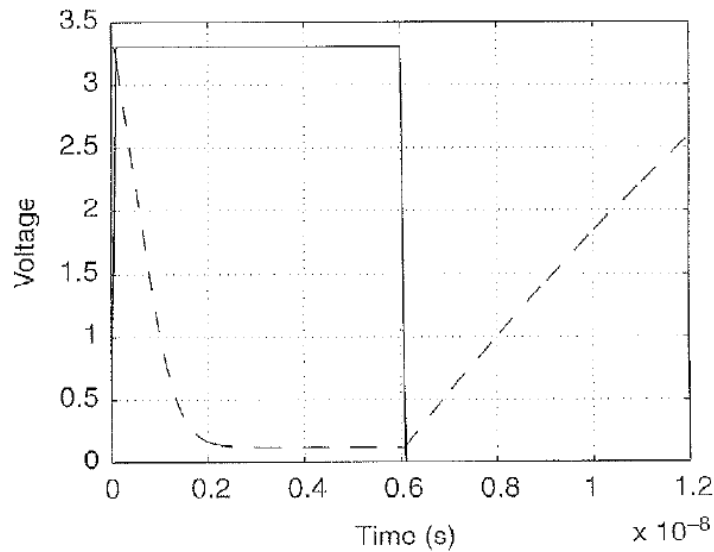
پاسخ: با استفاده از رابطه (۴,۲۴) و با در نظر داشتن $\mu_p C_{ox}=44.5$ $\mu A/V^2$, $(W/L)_2 = 3 \mu m/0.6 \mu m$, $V_{tp} = -0.9$ V, و $V_{DD}=3.3$ V داریم $t_{+70\%} = 5.7$ ns. که کمی سریع تر از زمان صعود بدست آمده با شبیه سازی اسپایس است که در شکل ۴,۷ نشان داده شده است. زمان صعود ۵,۹ ns مشاهده می شود. دلیل اصلی این اختلاف این است که اسپایس خازن های پارازیتیک ترانزیستور بار را به خازن های بار مشخص 0.2 pF اضافه می کند.

زمان نزول

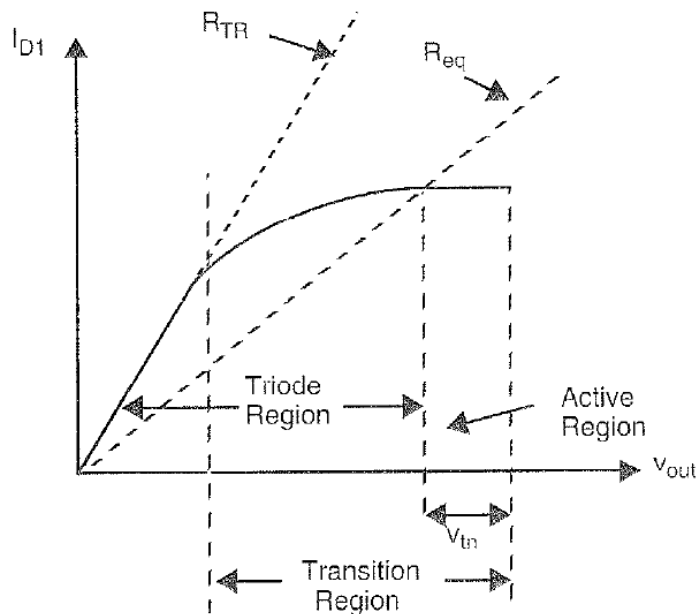
هنگامی که زمان نزول را محاسبه می کنیم، چنین فرض می شود که در زمان 0، ورودی دستخوش یک تغییر به V_{DD} می شود که موجب می شود ترانزیستور Q_1 شدیداً روشن شود. زمان نزول بصورت مدت زمانی که طول می کشد که خروجی از 3.3 V از طریق یک تغییر 70٪ ای به 1.0 V کاهش می یابد، تعریف می شود. در بخش عمده ای از این زمان، جریان عبوری از Q_1 بسیار بزرگتر از جریان عبوری از Q_2 است و به این ترتیب می توان از Q_2 صرف نظر کرد. این برآورد تا حدی خوش بینانه و غیر واقعی است، اما به ساده تر شدن تحلیل کمک می کند.

در ابتدا تا زمانی که $V_{DG-1} < -V_{tn}$ یا معادل آن $V_{DS-1} < V_{eff-1} = V_{GS-1} - V_{tn}$ باشد، Q_1 در ناحیه فعال است. این مسئله زمانی رخ می دهد که خروجی (برای $V_{th} = 0.8$ v) به 2.5 ولت دشارژ شده است. سپس، Q_1 در بیشتر زمان نزول وارد ناحیه خطی می شود. محاسبه تحلیلی زمان نزول امکان دارد و روابط آن موجود است اما در طی طراحی استفاده کمی دارد. در عوض، پیدا کردن فرمولی برای مقاومت تقریباً معادلی که زمان نزول مشابهی را ارائه می کند، مطلوب است.

همانطور که اشاره شد، زمانی که ولتاژ خروجی از 3.3V به 1.0V تغییر می کند، جریان عبوری از Q_1 به شدت غیر خطی است. شکل ۴,۷ این جریان را به عنوان تابعی از ولتاژ خروجی نشان می دهد. اگر بتوانیم مقدار مقاومتی را که تقریباً جریان مشابهی را به عنوان ترانزیستور واقعی ارائه می کند پیدا کنیم، تحلیل بسیار ساده تر خواهد شد. برای پیدا کردن مقاومتی که تقریباً معادل Q_1 است، لازم است که یک منحنی I-V پیدا کنیم که به صورت یک خط مستقیم است که از مبدا عبور می کند و منجر به ارائه زمانهای نزول مشابه با آنچه که با Q_1 بدست آمده می شود.



شکل ۴-۷. پاسخ گذرای معکوس کننده شکل (۴-۳) به ازاء $C_L = 0.2 \text{ pF}$.



شکل ۴-۸. جریان عبوری از Q_1 به عنوان تابعی از ولتاژ خروجی.

بر آورد تقریبی که پیش تر در مورد آن صحبت شد، استفاده از مقاومتی است که زمانی که V_{DS-1} کوچک است (به عبارت دیگر زمانی که Q_1 در ناحیه شدیداً خطی است) معادل مقاومت Q_1 باشد. رابطه این مقاومت (که با R_{TR} نشان داده شده است) بصورت رابطه (۴-۲۵) است.

$$R_{TR} = \frac{1}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})} \quad (4.25)$$

با این وجود همان طور که در شکل ۴,۸ می توان مشاهده نمود، این تقریب منجر به مقاومتی می شود که همیشه در ناحیه گذر نسبت به Q_1 جریان بیشتری دارد. تقریب بهتر مقاومتی است که منحنی I-V آن، منحنی I-V Q_1 را در مرز ناحیه خطی قطع می کند. این تقریب در شکل ۴,۸ به صورت خط مستقیمی که با R_{eq} مشخص شده، نشان داده شده است. می توان دید که در بازه ابتدایی زمان نزول، جریان عبوری R_{eq} از جریان عبوری Q_1 بزرگتر خواهد بود، و در مورد بخش دوم گذر، جریان عبوری R_{eq} کمتر از جریان عبوری Q_1 می شود. ولتاژ محل تقاطع منحنی های I-V R_{eq} و Q_1 برابر است با $V_{DD}-V_{tn}$. جریان در محل تقاطع همان جریان Q_1 در ناحیه فعال است، یعنی

$$I_{D-1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{DD} - V_{tn})^2 \quad (4.26)$$

مقدار R_{eq} مساوی است با نسبت ولتاژ به جریان ، یعنی

$$R_{eq} = \frac{V_{DD} - V_{tn}}{\frac{\mu_n C_{ox}}{2} (W/L)_1 (V_{DD} - V_{tn})^2} = \frac{2}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})} \quad (4.27)$$

به این ترتیب، مقاومت معادل با Q_1 تقریباً دو برابر R_{TR} است که همان مقاومت خطی Q_1 است. رابطه (۴-۲۷) موجب می شود که زمان های گذر کمی بیش از ۲۰ درصد کند باشند. بنابراین بعضی از طراحان رابطه (۴,۲۷) را اصلاح میکنند که طبق رابطه (۴-۲۸) تا حدی بزرگتر شود.

$$R_{eq} = \frac{2.5}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})} \quad (4.28)$$

برخی دیگر بسادگی از (۴,۲۷) استفاده می کنند و پس از برآورد، یک زمان اضافی ۲۰٪ به آن اضافه می کنند. هر دو رویکرد معتبر است.

مثال ۴,۶

با استفاده از تقریب مقاومت معادل، زمان نزول معکوس کننده شبه NMOS را با فرض این که خروجی ۷۰٪ تغییر می کند و خازن بار ۰.۲ pF است محاسبه کنید.

پاسخ: با استفاده از معادله (۴,۲۷) و با فرض $\mu_p C_{ox} = 188 \mu A/V^2$ و $(W/L)_1 = 2.5$ داریم $R_{eq} = 1.7 k\Omega$. به این ترتیب، $\tau = R_{eq} C_L = 0.34 ns$. با استفاده از رابطه (۱,۱۴) از فصل ۱ و این که $V_{out}(t_1) = 3.3 V$ ، $V_{out}(t_2) = 1.0 V$ و $V_{out}(\infty) = 0.05 V$ می دهد $t_{70\%} = 0.42 ns$. زمان نزول بدست آمده از شبیه ساز اسپایس برابر ۰.۹۴ ns است. دلیل اصلی اختلاف این است که جریان عبوری از ترانزیستور بار Q_2 نادیده گرفته شده است.

$$t_F = \tau \ln \left[\frac{V_{out}(\infty) - V_{out}(t_1)}{V_{out}(\infty) - V_{out}(t_2)} \right] \quad (4.29)$$

۴,۲ گیت های منطقی شبه NMOS

در فصل ۱، تعدادی از گیت های منطقی NMOS معرفی شدند. در این بخش، گیت های منطقی شبه NMOS تا حدی به تفصیل مرور می شوند، که در آن از تقریب مقاومت معادل بطور گسترده تری استفاده خواهد شد. این بخش همچنین به نحوه انتخاب اندازه ترانزیستورها برای گیت های منطقی NMOS می پردازد.

مثالی از گیت NMOS پیاده سازی تابع XOR می باشد که به صورت زیر تعریف می شود:

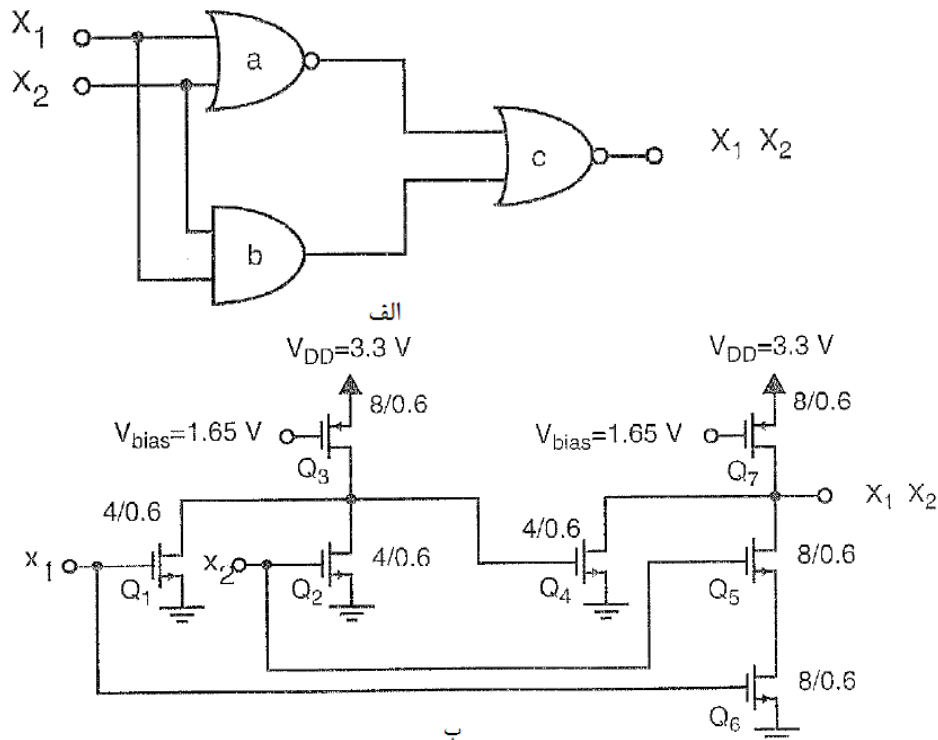
$$y = x_1 \oplus x_2 = x_1 \overline{x_2} + \overline{x_1} x_2$$

$$= \overline{x_1 x_2} + \overline{\overline{x_1} \overline{x_2}}$$

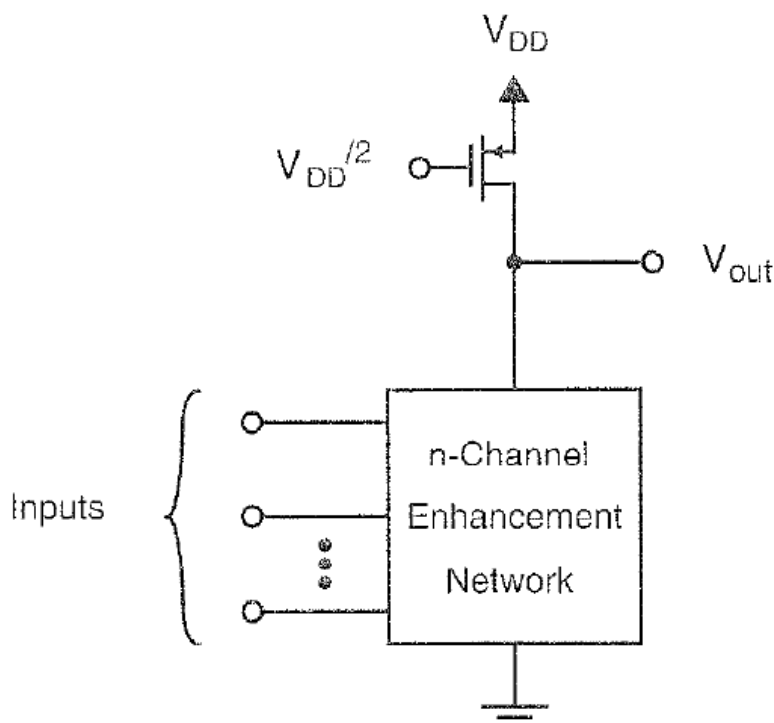
$$= \overline{x_1 x_2 + x_1 + x_2}$$

یک مدار منطقی که این تابع را پیاده سازی می کند در شکل (۴-۹ الف) نشان داده شده است. پیاده سازی با منطع شبه NMOS از این مدار منطقی نیز در شکل (۴-۹ ب) نشان داده شده است. گیت nor نشان داده شده با a با ترانزیستورهای Q_1 ، Q_2 و Q_3 ایجاد می شود. گیت NMOS دوم که از ترانزیستورهای Q_4 تا Q_7 تشکیل شده است، یک گیت مرکب است که هر دو گیت nor نشان داده شده b و c را توسط یک سری از ارتباطات ترانزیستورهای تحریک ایجاد می کند. دقت کنید که چگونه ترانزیستورهای سری (Q_5 تا Q_6) انتخاب شده اند که عریض تر از ترانزیستور موازی Q_4 شوند.

شکل عمومی گیت منطقی NMOS مرسوم در شکل ۴,۱۰ نشان داده شده است. این گیت از یک ترانزیستور بار کانال P، بین V_{DD} و V_{out} ، تشکیل شده است که گیت آن به یک ولتاژ بایاس متصل است.



شکل ۴-۹ (الف) پیاده سازی منطقی گیت XOR (ب) پیاده سازی همان گیت با منطق NMOS.



شکل ۴-۱۰. پیاده سازی عمومی منطق شبه NMOS.

علاوه بر این، شبکه ای از ترانزیستورهای محرک افزایشی کانال n بین V_{out} و زمین وجود دارد. گیت هر کدام از ترانزیستورهای محرک در این شبکه، به یک ورودی متصل است. بسته به مقادیر منطقی ورودی ها، شبکه ترانزیستورهای محرک قادر است امپدانس بی نهایت بین V_{out} و زمین فراهم می کنند که در این حالت خروجی برابر با V_{DD} خواهد بود، یا یک امپدانس به حد کافی کم ایجاد کند طوری که V_{out} به سطح پایین "۰" کشیده شود.

در مواقعی که شبکه ترانزیستور محرک دارای امپدانس کوچک است، این امپدانس نباید از امپدانس یک ترانزیستور افزایشی که گیت آن به V_{DD} متصل است و W/L آن حداقل نصف اندازه ترانزیستور بار است بزرگتر باشد که این شرایط، حداقل نسبت W/L ترانزیستورهای محرک را محدود می کند.

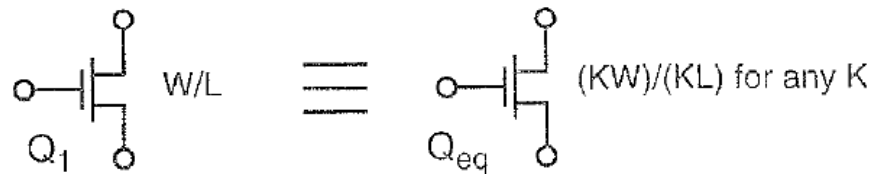
حداکثر W/L ترانزیستورهای محرک به خاطر تمایل به سرعت بیشتر محدود می شود. به دو دلیل بزرگتر کردن آنها از حد مورد نیاز، سبب آهسته تر شدن منطق می شود؛ اول این که این امر خازنهای پارازیتیک گره های داخلی گیت را افزایش می دهد؛ دوم این که، خازن بار خروجی گیت های پیشین را افزایش می دهد. بزرگ در نظر گرفتن بیش از حد W/L سبب عمل کرد نا صحیح گیت نمی شود.

قبل از توضیح اینکه W/L های شبکه کانال n چگونه باید انتخاب شوند، بیان برخی از قضایای مهم در مورد ترانزیستورهای تقریباً معادل که اغلب در این متن استفاده خواهد شد ضروری است.

۴,۳ ترانزیستورهای معادل

۱. دو ترانزیستور زمانی معادلند که نسبت W/L هایشان مستقل از مقادیر مطلق W یا L ، برابر باشد. این قضیه در شکل (۴-۱۱) نشان داده شده است. این قضیه واضح است چون روابط $I-V$ سیگنال بزرگ فقط تابعی از W/L هستند. در حقیقت اثرات ثانویه ای وجود دارد که باعث می شوند این قضیه فقط به طور تقریبی صحت داشته باشد. ترانزیستوری با W کوچکتر تمایل دارد که جریانی کمی کمتر از جریان پیش بینی شده در رابطه (۴,۱) داشته باشد که در امتداد کانالی که باید مربع باشد گرد شده است، ناشی از مقطع عرضی کانال است. همچنین ترانزیستوری با طول کوتاهتر به علت اثرات کانال کوتاه، تمایل به کم دقتی دارد.

به خاطر این اثرات جانبی، ترانزیستورهایی که W های بسیار بزرگی دارند ($1000 \mu m$ تا $50 \mu m$)، معمولاً با اتصال تعدادی از ترانزیستورهای کوچکتر موازی با هم (که W هایی به ترتیب 10 تا $25 \mu m$ دارند) ایجاد می شوند. از آنجا که ما فقط تحلیل های دستی تقریبی انجام می دهیم، از اثرات جانبی صرف نظر خواهد شد.



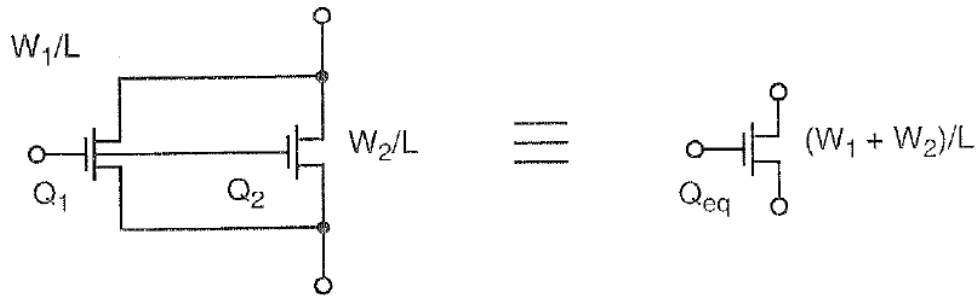
شکل ۴-۱۱. تغییر مقیاس همزمان W و L یک ترانزیستور تقریباً اثری بر ترانزیستور ندارد.

۲. دو ترانزیستور با طول یکسان که بطور موازی متصلند، معادل ترانزیستوری هستند که عرضی برابر با مجموع عرضهای دو ترانزیستور دارد. این قضیه در شکل (۴-۱۲) نشان داده شده است. اثبات آن ساده است. فرض کنید دو ترانزیستور Q_1 و Q_2 با طول مشابه L و عرض های، به ترتیب W_1 و W_2 وجود دارد. همچنین فرض کنید که گیت ها، سورس ها و درین هایشان به همدیگر متصل است و ترانزیستورها در ناحیه اشباع قرار دارند. آنگاه جریان کل I_T از رابطه (۴-۳۰) محاسبه می گردد.

$$I_T = I_{D-1} + I_{D-2} = \frac{\mu C_{ox}(W_1 + W_2)}{2L} (V_{GS} - V_t)^2 \quad (4.30)$$

اما این رابطه $I-V$ ترانزیستوری است که عرض آن $W_1 + W_2$ است. می توان اثبات مشابهی را برای ترانزیستورهایی که در ناحیه خطی قرار دارند ارائه کرد.

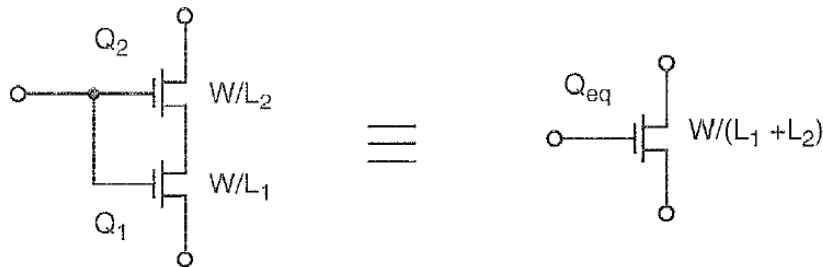
اگر طول ترانزیستورها برابر نباشد، آنگاه W و L یکی از ترانزیستورها (طبق قضیه (۱)) می تواند مقیاس بندی شود تا طول ها برابر شوند آنگاه می توان قضیه (۲) را به سادگی در شبکه بکار برد.



شکل ۴-۱۲. دو ترانزیستور موازی (Q_1 و Q_2) که دارای L های یکسان هستند، معادل اند با یک ترانزیستور واحد که عرض آن برابر است با مجموع عرض های Q_1 و Q_2 .

۳. دو ترانزیستور که عرض های مشابه دارند، بصورت سری متصلند و گیت هایشان بهم متصل است، معادل ترانزیستوری هستند که طول آن برابر مجموع طول های هر یک از آنها به تنهایی است. این قضیه در شکل ۴،۱۳ نشان داده شده است. هر چند اثبات این قضیه ساده است اما به کمی عملیات جبری نیاز دارد. ترانزیستور Q_1 مطمئناً در ناحیه خطی عمل می کند، چون ولتاژ درین- سورس آن کوچک است و جریان آن به صورت رابطه (۴-۳۱) است.

$$I_{D-1} = \mu C_{ox} \frac{W}{L_1} \left[(V_{GS-1} - V_t) V_{DS-1} - \frac{V_{DS-1}^2}{2} \right] \quad (4.31)$$



شکل ۴-۱۳. دو ترانزیستور (Q_1 و Q_2) که W های یکسان دارند و به طور سری به یکدیگر متصلند و گیت های آنها نیز به یکدیگر متصل است، معادلند با یک ترانزیستور واحد که طول آن مساوی است با مجموع طول Q_1 و Q_2 .

با فرض اینکه Q_2 در ناحیه اشباع قرار دارد، ولتاژ گیت- سورس آن به صورت رابطه (۴-۳۲) است. آنگاه، جریان درین Q_2 به صورت رابطه (۴-۳۳) است.

$$V_{GS-2} = V_{GS-1} - V_{DS-1} \quad (4.32)$$

$$I_{D-2} = \frac{\mu C_{ox} W}{2 L_2} (V_{GS-1} - V_{DS-1} - V_t)^2$$

$$= \frac{\mu C_{ox} W}{2 L_2} [(V_{GS-1} - V_t) - V_{DS-1}]^2 \quad (4.33)$$

با بسط رابطه (۴,۳۳) به رابطه (۴,۳۴) خواهیم رسید.

$$I_{D-2} = \frac{\mu C_{ox} W}{2 L_2} [(V_{GS-1} - V_t)^2 - 2(V_{GS-1} - V_t)V_{DS-1} + V_{DS-1}^2] \quad (4.34)$$

از آنجا که $I_{D-1} = I_{D-2}$ می توانیم روابط (۴,۳۱) و (۴,۳۴) را مساوی هم قرار داده و مرتب نماییم که در این صورت به روابط (۳-۳۵) و (۳-۳۶) خواهیم رسید و با جایگذاری رابطه (۴,۳۶) در (۴,۳۱) به (۴-۳۷) می رسیم.

$$\left(\frac{W}{L_1} + \frac{W}{L_2}\right)(V_{GS-1} - V_t)V_{DS-1} - \left(\frac{W}{L_1} + \frac{W}{L_2}\right)\frac{V_{DS-1}^2}{2} = \frac{1}{2}\frac{W}{L_2}(V_{GS-1} - V_t)^2 \quad (4.35)$$

$$\Rightarrow (V_{GS-1} - V_t)V_{DS-1} - \frac{V_{DS-1}^2}{2} = \frac{1}{2}\frac{L_1}{L_1 + L_2}(V_{GS-1} - V_t)^2 \quad (4.36)$$

$$I_{D1} = \frac{\mu C_{ox}}{2} \frac{W}{L_1 + L_2} (V_{GS-1} - V_t)^2 \quad (4.37)$$

اما این رابطه I-V ترانزیستور واحدی است که طولش برابر $L_1 + L_2$ است و اثبات کامل شد. اگر Q_2 در ناحیه خطی باشد، به طور مشابهی اثبات می شود که این مورد در انتهای این فصل به عنوان مسئله ۴,۷ برای خواننده محترم در نظر گرفته شده است.

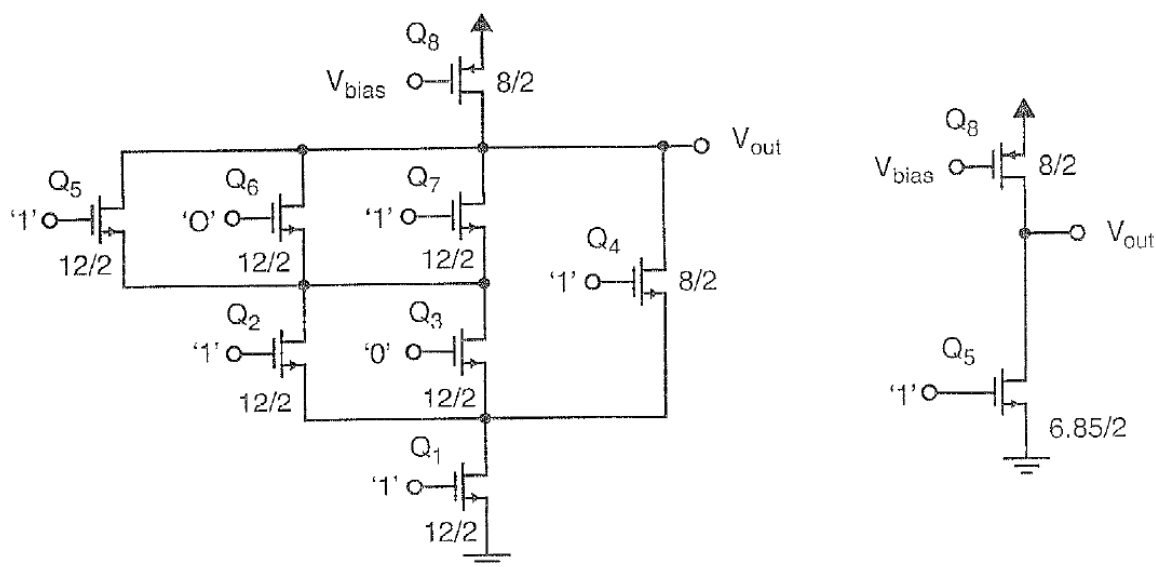
همانند گذشته، اگر عرض Q_1 و Q_2 برابر نباشد آنگاه یکی از ترانزیستورها را می توان مقیاس بندی کرد و سپس مدار را ساده نمود.

اکنون می توان روند ساده کردن شبکه ترانزیستورهای تحریک یک گیت NMOS را به یکی از دو شکل مدار باز یا یک ترانزیستور معادل منفرد شرح داد:

۱. همه ترانزیستورهایی که در گیت خود ورودی "0" دارند خاموش هستند و می توان آنها را از مدار حذف کرد.
۲. همه ترانزیستورهایی که با ترانزیستورهای که خاموش است سری باشند خاموش هستند و می توان آنها را از مدار حذف کرد.
۳. بقیه ترانزیستورها ولتاژهای گیت یکسانی دارند. اکنون می توان قضایای ۱ و ۳ را بطور مکرر بکار برد تا اتصالات موازی و سری با ترانزیستورهای معادل جایگزین شوند تا اینکه نهایتاً یک ترانزیستور معادل (یا یک مدار باز) بدست آید. این روند با ارائه مثال (۴-۷) بیشتر توضیح داده خواهد شد.

مثال ۴,۷

شبکه ترانزیستورهای تحریک شکل ۴,۱۴ را با یک ترانزیستور معادل جایگزین کنید.



شکل ۴-۱۴. یک گیت شبه NMOS پیچیده.

پاسخ: اولین چیزی که باید در نظر گرفته شود این است که Q_6 و Q_3 خاموش هستند و می توان از آنها صرف نظر کرد. ترانزیستور Q_5 با Q_7 موازی است و یک ترانزیستور Q'_1 را با اندازه $24/2$ می توان جایگزین آن کرد. آنگاه Q_2 با Q'_1 سری می شود که می توان آنها را با یک ترانزیستور جایگزین کرد، اما ابتدا یکی از آنها را باید مقیاس بندی کرد طوری که عرض یکسانی داشته باشند. می توان Q_2 را به Q'_2 مقیاس بندی کرد که ترانزیستوری به اندازه $24/4$ خواهد بود. اکنون می توان Q'_1 و Q'_2 را با هم ترکیب کرد و ترانزیستور Q'_3 را با اندازه $24/6$ بدست آورد که معادل ترانزیستوری با اندازه $8/2$ است. آنگاه Q'_3 را می توان با Q_4 ترکیب کرد و Q'_4 ای به اندازه $16/2$ بدست آورد. سپس با مقیاس بندی Q_1 به $16/2.67$ ، می توانیم آن را با Q_3 ترکیب کرده و Q_4 ای به اندازه $16/4.67$ بدست آورد که می تواند به اندازه $6.85/2$ مقیاس بندی شود. توجه کنید که ترانزیستور معادل، W/L بزرگتری نسبت به $4/2 = (W/L)_{8/2}$ دارد.

مقاومت معادل

روند فوق را می توان با استفاده از اصل مقاومت معادل ساده کرد که در بخش ۳،۱ توضیح داده شد و بیان شد که ترانزیستور تحریک Q_1 کانال n که ورودی "1" دارد تقریباً مقاومتی با مقدار $(4-38)$ دارد.

$$R_i = \frac{2.5}{\mu_n C_{ox} (W/L)_i (V_{DD} - V_{tn})} \quad (4.38)$$

اگر کسی در طی ساده کردن، با ادمیتانس مقیاس بندی شده $(4-39)$ کار کند، آنگاه هر ترانزیستور Q_i را می توان معادل ادمیتانس مقیاس بندی شده ای برابر با اندازه نسبی اش (یعنی $(W/L)_i$) در نظر گرفت. اکنون با ساده کردن شبکه، می توان ادمیتانس های موازی و سری را به سادگی ترکیب کرد. پس از اینکه همه ادمیتانس ها به یک ادمیتانس تبدیل شدند، مقیاس بندی با ضرب کردن آن در $2.5 / (\mu_n C_{ox} (V_{DD} - V_{tn}))$ به پایان می رسد. این مورد هم با ارائه مثال $(4-8)$ بیشتر توضیح داده می شود.

$$G_i = \frac{1}{R_i} \frac{2.5}{\mu_n C_{ox} (V_{DD} - V_{tn})} = \left(\frac{W}{L} \right)_i \quad (4.39)$$

مثال ۴,۸

با استفاده از مفهوم مقاومت ها (یا ادمیتانس های) معادل، شبکه تحریک کانال n شکل ۴,۱۴ را به یک مقاومت معادل ساده کنید. سپس ولتاژ خروجی پایین را برآورد کنید. نهایتاً، زمان نزول 70٪ را برآورد کنید.

پاسخ: همانند مثال ۴,۷، چون Q_3 و Q_6 خاموش هستند، از آنها صرف نظر می شود. آنگاه Q_5 با Q_7 موازی می شود که با ادمیتانس مقیاس بندی شده G_1 برابر است که از رابطه (۴-۴۰) محاسبه می گردد. ادمیتانس G_1 با Q_2 سری است که برابر است با مقاومت مقیاس بندی شده R_2 که از رابطه (۴-۴۱) محاسبه می گردد.

$$G_1 = \frac{12}{2} + \frac{12}{2} = 12 \quad (4.40)$$

$$R_2 = \frac{1}{12} + \frac{2}{12} = \frac{1}{4} \quad (4.41)$$

مقاومت R_2 با Q_4 موازی است که برابر است با ادمیتانس مقیاس بندی شده G_3 در رابطه (۴-۴۲).

$$G_3 = \frac{8}{2} + 4 = 8 \quad (4.42)$$

ادمیتانس G_3 با Q_1 سری است که با مقاومت مقیاس بندی شده R_4 در رابطه (۴-۴۳) معادل است.

$$R_4 = \frac{2}{12} + \frac{1}{8} = \frac{7}{24} = 0.292 \quad (4.43)$$

توجه کنید که $1/R_4$ با W/L ترانزیستور معادل Q_4 مثال ۴,۷ برابر است. در ادامه، مقاومت مقیاس بندی نشده معادل به صورت رابطه (۴-۴۴) خواهد بود.

$$R_{eq} = 0.292 \frac{2.5}{\mu_n C_{ox} (V_{DD} - V_{tn})} \quad (4.44)$$

$$= 1.55 \text{ k}\Omega$$

.....

با فرض $\mu_n C_{ox} = 188 \text{ }\mu\text{A/V}^2$ و $V_{tn} = 0.8 \text{ v}$ ، جریان بار کانال p به صورت رابطه (۴-۴۵) است

$$I_{D-8} = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_8 V_{eff-2}^2 = 50.1 \text{ }\mu\text{A} \quad (4.45)$$

فرض کنید $\mu_p C_{ox} = 44.5 \text{ }\mu\text{A/V}^2$ و $V_{tp} = -0.9 \text{ v}$. آنگاه ممکن است فرض شود که V_{out-0} بسادگی از حاصل ضرب R_{eq} بدست می آید که در آن R_{eq} از رابطه (۴,۴۴) بدست آمده است که این فرض اشتباه است. چرا که R_{eq} که از رابطه (۴,۴۴) بدست آمده مقاومت میانگینی است که قرار است برای محاسبه زمان گذر نزول استفاده شود. مقاومتی که باید در محاسبه V_{out-0} استفاده شود باید مقاومت ناحیه خطی باشد، یعنی همان مقاومت درین-سورس، زمانی که V_{DS} بسیار کوچک است (در حدود ۲,۵ ولت یا کمتر). به این ترتیب رابطه (۴-۴۶) صادق است.

$$V_{out-0} = I_{D-8} \frac{R_{eq}}{2.5} = 31 \text{ mV} \quad (4.46)$$

برای محاسبه زمان نزول رابطه (۴۷-۴) و (۴۸-۴) را داریم.

$$\tau = C_L R_{eq} = 0.2 \times 10^{-12} \times 1.55 \times 10^3 = 0.31 \text{ ns} \quad (4.47)$$

$$t_{70\%} = \tau \ln\left(\frac{0.07 + 3.3}{0.07 + 1.0}\right) = 0.37 \text{ ns} \quad (4.48)$$

انتظار می رود که این مقدار تا حدی بسیار کوچک باشد چون جریان بار کانال p در نظر گرفته نشده است.

ارزیابی تابع منطقی یک گیت NMOS

تعیین یک تابع منطقی که با گیت شبه NMOS پیاده سازی شده است کاملاً ساده است حتی زمانی که گیت ها نسبتاً پیچیده باشند. بدین منظور، شبکه تحریک کانال n برای تعیین این که چه زمانی دارای امپدانس کوچکی است تحلیل می شود. با فرض اینکه عرض ترانزیستورهای تحریک به اندازه کافی بزرگ در نظر گرفته شده باشد، آنگاه هر زمانی که شبکه تحریک کانال n کم امپدانس باشد، خروجی صفر خواهد بود. برای تعیین اینکه شبکه تحریک چه زمانی کم امپدانس است، تنها باید به خاطر داشت که اتصالات سری زیر شبکه ها، معادل تابع and هستند در حالی که اتصالات موازی معادل تابع or می باشند. روند تعیین تابع منطقی به سادگی زیر است:

۱. با هر ترانزیستوری که به زمین متصل است شروع کرده و نام ورودی آن را یادداشت کنید. فرض کنید

ترانزیستور Q_1 است و ورودی آن X_1 .

۲. اگر یک یا بیش از یک ترانزیستور با Q_1 موازی باشند، ورودی هایشان با X_1 باید or شوند. به طور مشابه اگر یک یا بیش از یک ترانزیستور با Q_1 سری باشند، ورودی هایشان با X_1 باید and شوند. این روند باید جدا از سایر ترانزیستور سری و موازی گروهی انجام شود. اکنون هر کدام از این گروه ها بیانگر یک زیرشبکه با عبارت منطقی مختص خودش است.

۳. با شروع مجدد از زمین، هر گروه از زیر شبکه های موازی یا سری را بسته به اینکه آیا موازی یا سری هستند، به ترتیب با or و یا and کردن عبارات منطقی منفرد به زیرشبکه های بزرگتری ترکیب کنید.

۴. بعد از اینکه یک عبارت منطقی واحد بدست آمد، مکمل این تابع منطقی توسط مدار ترانزیستوری پیاده سازی شده است.

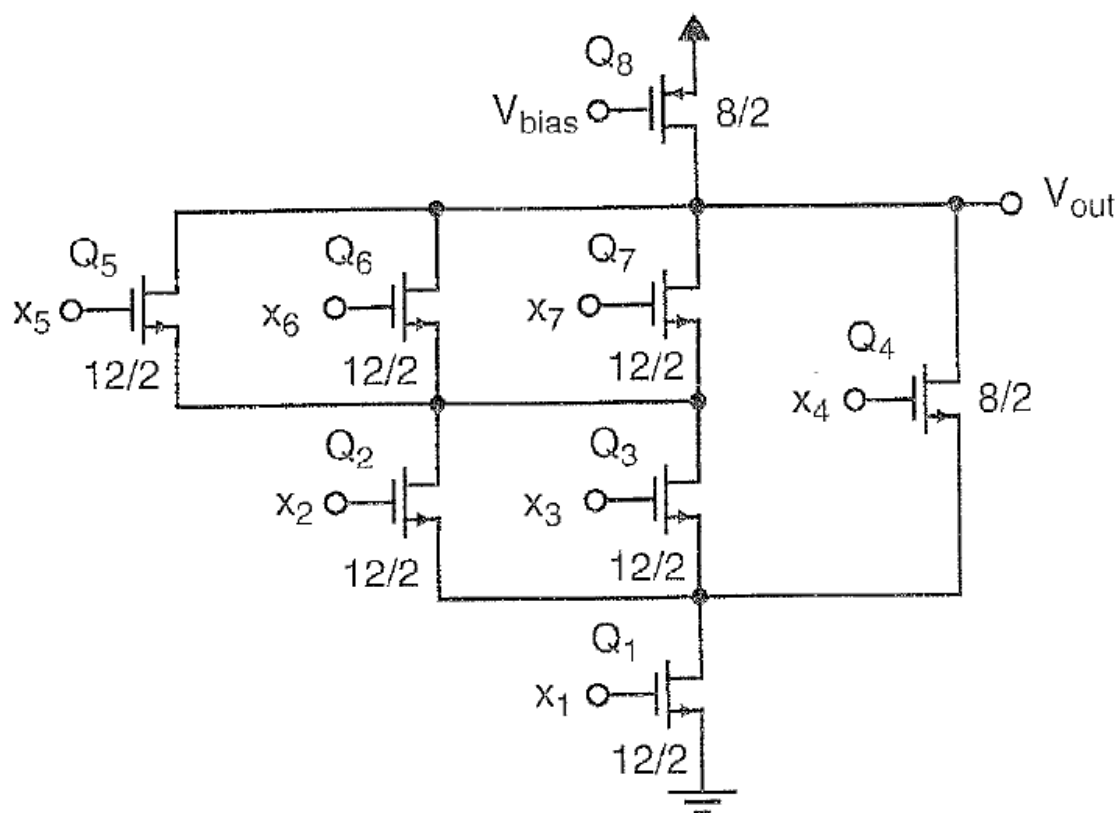
اگرچه این روند ممکن است پیچیده به نظر برسد اما با کمی تمرین و تحقیق، حتی در مورد گیت های NMOS نسبتاً پیچیده ساده خواهد شد.

مثال ۴,۹

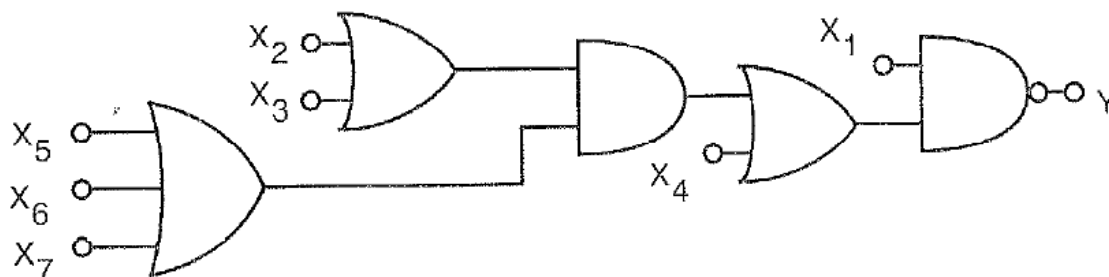
به عنوان مثال، شکل ۴,۱۴ را در نظر بگیرید که مجدداً در شکل ۴,۱۵ نشان شده است و فرض کنید که ترانزیستور Q_i ورودی X_i دارد. زیرشبکه Q_1 زیرشبکه ای است که با زیرشبکه شامل Q_4 سری است و زیر شبکه اخیر، خود موازی است با دو زیر شبکه که با یکدیگر سری هستند (که اولی شامل Q_2 و Q_3 موازی است و دومی شامل Q_5 و Q_6 و Q_7 موازی است). به این ترتیب روابط (۴-۴۹) و (۴-۵۰) را خواهیم داشت. مدار منطقی معادل این مدار، در شکل ۴,۱۶ نشان داده شده است.

$$\overline{V_{out}} = [x_1(x_4 + (x_2 + x_3)(x_5 + x_6 + x_7))] \quad (4.49)$$

$$V_{out} = \overline{x_1(x_4 + (x_2 + x_3)(x_5 + x_6 + x_7))} \quad (4.50)$$



شکل ۴-۱۵. مدار شکل (۴-۱۴) که به منظور تعیین تابع منطقی آن مورد تحلیل قرار می گیرد.



شکل ۴-۱۶. دیاگرام منطقی معادل گیت NMOS شکل (۴-۱۵).

ایجاد گیت های شبه NMOS پیچیده

همانطور که قبلاً دیدیم، توابع منطقی نسبتاً پیچیده را می توان با گیت های NMOS منفرد ایجاد کرد. به طور کلی، هرگونه ترکیبی از گیت های غیر معکوس کننده and و or که بتوان به صورت یک گیت معکوس کننده منفرد nand و nor پیاده سازی کرد، می توان با یک گیت شبه NMOS منفرد ایجاد کرد. روند انجام این سنتز، برعکس روند یافتن تابع منطقی یک گیت NMOS است. چون شبکه تحریک کانال n، خروجی را پایین می کشد، معکوس سازی نهایی باید صورت پذیرد. به این ترتیب، با شروع از گره خروجی، با ترکیب شبکه تحریک کانال n به همراه ترانزیستور بار، معکوس سازی را به دست می دهد. اکنون گیت nand یا nor به ترتیب گیت and یا or در نظر گرفته می شود. اکنون به حرکت از سمت خروج به سمت ورودی، با ایجاد زیرشبکه های مورد نیاز، گیت نهایی را ایجاد کنید. یک گیت and با n ورودی با n زیرشبکه سری ایجاد می شود و یک گیت or با n ورودی، با n زیرشبکه موازی ایجاد می شود. هر کدام از این توابع منطقی، به نوبه خود تجزیه می شوند. اگر ورودی به یک گیت and یا or از گیت منطقی دیگری نیاید، بلکه ورودی اصلی مدار^۱ (سیگنال ورودی و از دنیای بیرون از مدار) باشد، آنگاه تکرار مراحل فوق با یک ترانزیستور تحریک افزایشی خاتمه می یابد. همانند قبل، این روند با یک مثال ساده بهتر درک خواهد شد.

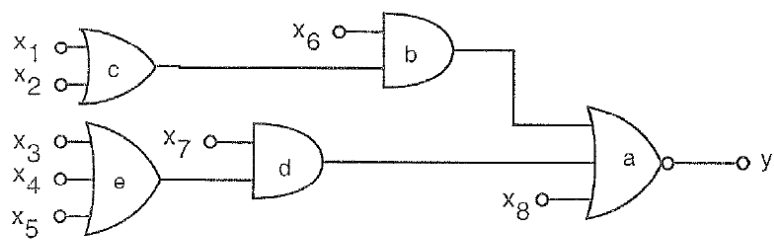
مثال ۴،۱۰

مدار منطقی شکل ۴،۱۷ را با یک گیت NMOS ایجاد کنید.

پاسخ: روند مرحله به مرحله در شکل ۴،۱۸ توضیح داده شده است.

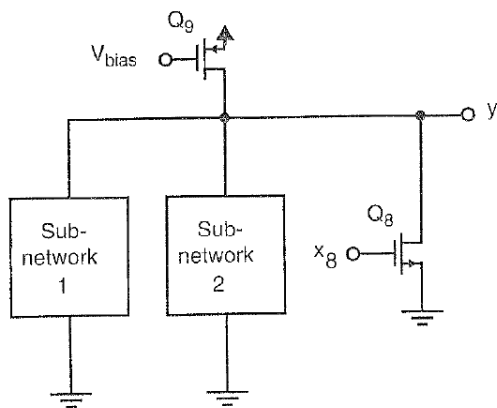
۱. گیت a که معکوس شده گیت or است، با ترانزیستور کانال p بار در ترکیب با شبکه تحریک کانال n کامل ایجاد می شود. از آنجا که در این جا گیت a یک گیت or سه ورودی در نظر گرفته می شود، معنای آن این است که به سه زیرشبکه موازی بین خروجی و زمین تبدیل می شود. چون یکی از ورودی های گیت a (یعنی x₈ از جهان خارج است، یکی از زیرشبکه ها یک ترانزیستور ساده (Q₈) است. این مطلب در شکل (۴-۱۸ الف) نشان داده شده است.
۲. سپس زیرشبکه ۱ یعنی گیت های b و c در شکل ۴،۱۷ تجزیه می شود. گیت b که یک گیت and است، با دو زیرشبکه سری بین خروجی و زمین معادل است، که یکی از آنها ترانزیستور Q₆ است که ورودی X₆ دارد. زیرشبکه دیگر، که معادل گیت c که یک گیت or است، به دو ترانزیستور موازی Q₁ و Q₂ که ورودی های X₁ و X₂ دارند، تبدیل می شود. این مرحله پیاده سازی در شکل (۴-۱۸ ب) نشان داده شده است.
۳. نهایتاً، یک روند مشابه در ایجاد زیرشبکه ۲ بکار می رود. مدار کامل در شکل (۴-۱۸ ج) نشان داده شده است.

¹ Primitive Input

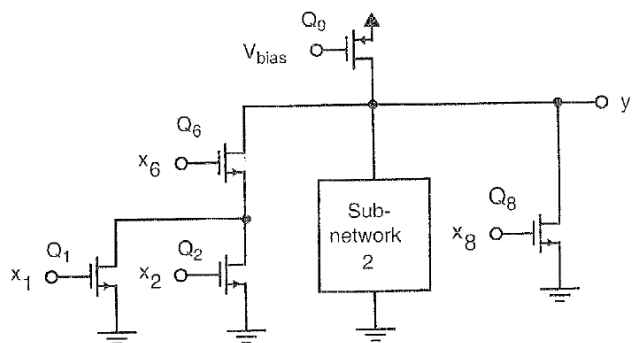


$$y = (x_1 + x_2)x_6 + (x_3 + x_4 + x_5)x_7 + x_8$$

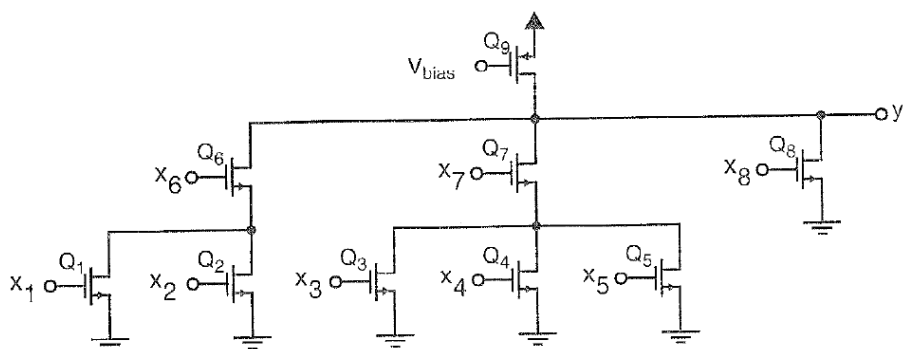
شکل ۴-۱۷. مدار منطقی مربوط به مثال (۴-۱۰).



(الف)



(ب)



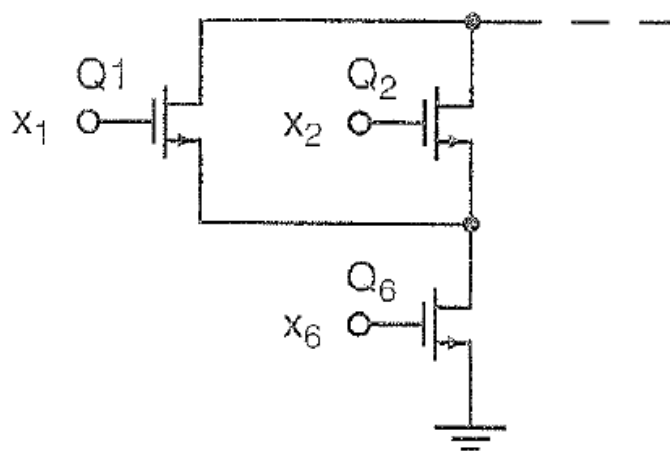
(ج)

شکل ۴-۱۸. گیت های مختلفی که تابع منطقی شکل (۴-۱۷) را پیاده سازی می کنند.

باید توجه داشت که ایجاد زیرشبکه ۱ در مثال فوق منحصر به فرد نیست. همانطور که در شکل ۴،۱۹ نشان داده شده، امکان آن وجود دارد که Q_6 را به زمین و Q_1 و Q_2 را به خروجی متصل نمود. همانگونه در انتهای فصل نشان داده خواهد شد چون این عمل خازن را در گره خارجی افزایش می دهد منجر به ایجاد گیت کندتری خواهد شد. قانونی که در اینجا بیان خواهد شد برای داشتن کمترین تأخیر بکار می رود:

زمانی که توابع and را با اتصالات سری زیرشبکه ها ایجاد می کنید، زیرشبکه های پیچیده تر را نزدیک به زمین قرار دهید.

این امر سبب می شود که خازن های پارازیتیک معرفی شده در اتصالات ترانزیستور تا حد امکان به زمین نزدیک باشد، که به نوبه خود به این معنی است که آنها با کوچکترین مقاومت معادل ممکن، دشارژ می شوند. این اصل بویژه برای گیت های دینامیک اهمیت دارد که در ادامه این فصل توضیح داده خواهند شد. به عنوان نکته پایانی، هرگز گیت های NMOS ای را که بیش از چهار ترانزیستور تحریک سری داشته باشند ایجاد نکنید چرا که به شدت سرعت گیت را کاهش می دهند.



شکل ۴-۱۹. پیاده سازی دیگر (و نا مطلوب تر) برای زیرشبکه ۱ شکل (۴-۱۸ الف).

انتخاب ابعاد ترانزیستور

همانطور که قبلاً بیان شد، قانون اساسی در انتخاب اندازه ترانزیستور این است که برای هر نوع ترکیب ورودی ممکن که منجر به یک امپدانس محدود بین خروجی و زمین می شود، نسبت W/L ترانزیستور معادل با شبکه تحریک کانال n باید حداقل نصف نسبت W/L بار باشد، با فرض اینکه ترانزیستور بار کانال p و گیت آن به $V_{DD}/2$ وصل باشند. با این محدودیت ها نسبت W/L ترانزیستورهای شبکه تحریک باید تا حد ممکن کوچک باشد.

اندازه نسبی ترانزیستور بار کانال p (یعنی نسبت W/L این ترانزیستور) بر اساس مصالحه بین سرعت و اندازه در برابر اتلاف توان انتخاب شده است. هر چه W/L ترانزیستور بار بزرگتر باشد، گیت سریع تر خواهد بود، بویژه زمانی که این ترانزیستور تعداد زیادی گیت های دیگر و یا یک باس را تحریک می کند. متأسفانه این مسئله موجب افزایش اتلاف توان

و مساحت شبکه تحریک می شود. نسبت W/L نوعی، می تواند در محدوده $5\mu m/L_{min}$ یا $10\mu m/L_{min}$ باشد که در آن L_{min} حداقل طول کانال است.

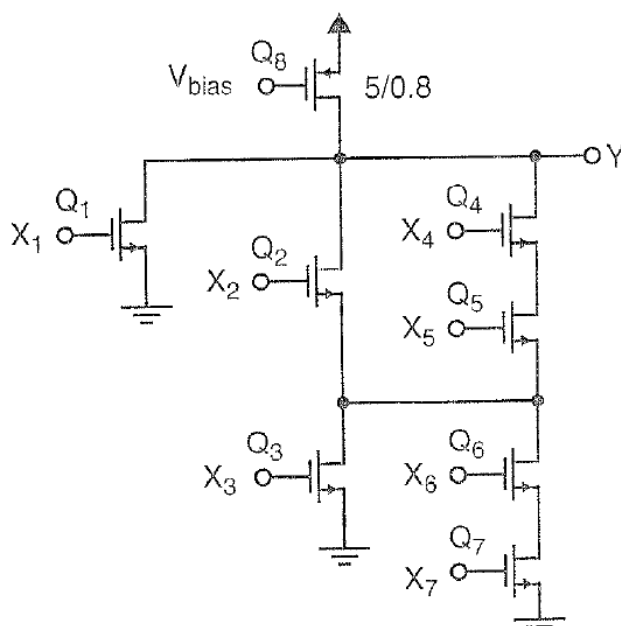
زمانی که اندازه ترانزیستور بار انتخاب شد، روش ساده ای می تواند برای انتخاب W/L های ترانزیستور تحریک مورد استفاده قرار گیرد. هر چند که این روش، روشی بهینه برای به حداکثر رساندن سرعت نمی باشد، اما اختلاف سرعت بین گیت ایجاد شده و گیت بهینه، معمولاً ناچیز است. این روش به شرح زیر است:

۱. اجازه دهید $(W/L)_{eq}$ نصف W/L ترانزیستور بار کانال p شود.
۲. به ازاء همه ورودی های ممکن، برای هر ترانزیستور Q_i حداکثر تعداد ترانزیستور تحریکی را که با آن سری خواهد شد تعیین کنید. این عدد را به صورت n_i مشخص کنید. این کار تقریباً همیشه می تواند با یک آزمایش بسیار ساده تعیین شود.
۳. در نظر بگیرید که $(W/L)_{eq} = n_i(W/L)_{eq}$.

مثال ۴,۱۱

اندازه مناسب برای گیت منطقی شبه NMOS نشان داده شده در شکل ۴,۲۰ را انتخاب کنید. از آنجا که اندازه ترانزیستور بار کانال p یا $(W/L)_p$ برابر با $5\mu m/0.8\mu m$ است، داریم $(W/L)_{eq} = (5\mu m/0.8\mu m)/2 = 3.125$. چون طول ترانزیستور بار $0.8\mu m$ میکرو متر می باشد، بنابراین یک فناوری $0.8\mu m$ مایکرون مورد نظر بوده است. بنابراین، کوچکترین بعد مجاز برای هر ترانزیستور $0.8\mu m$ است. به طور معمول، طول گیت ترانزیستورهای تحریک همیشه در کمترین حالت ممکن در نظر گرفته می شود تا خازن های پارازیتیک و اندازه را کاهش و سرعت را افزایش دهد. بنابراین طول Q_1 برابر با $0.8\mu m$ خواهد بود. عرض Q_1 برابر با $(W/L)_{eq} = 2.5\mu m$ انتخاب می شود، زیرا با هیچ یک از ترانزیستورهای دیگر سری نیست. سپس با در نظر گرفتن Q_2 بدترین حالت ممکن زمانی است که تمام ترانزیستورهای شبکه تحریک، به استثنای Q_2 ، Q_6 و Q_7 خاموش هستند. این بدان معنی است که اندازه Q_2 باید برابر با $(W/L)_{eq} = 7.5\mu m/0.8\mu m$ در نظر گرفته شود. به طور مشابه، بدترین حالت برای Q_3 زمانی است که همه ترانزیستورهای درایو، بجز Q_3 ، Q_4 و Q_5 خاموش هستند در نتیجه، اندازه Q_3 نیز باید برابر با $7.5\mu m/0.8\mu m$ در نظر گرفته شود. با در نظر گرفتن Q_4 بدترین حالت ممکن زمانی است که تمام ترانزیستورهای شبکه تحریک، به استثنای Q_4 ، Q_5 ، Q_6 و Q_7 خاموش هستند. بنابراین اندازه Q_4 باید $(W/L)_{eq} = 10\mu m/0.8\mu m$ در نظر گرفته شود. بحث مشابهی در مورد Q_5 ، Q_6 و Q_7 وجود دارد که همگی باید اندازه ای برابر با $10\mu m/0.8\mu m$ داشته باشند. همه اندازه های انتخاب شده در جدول زیر فهرست شده اند. باز هم تأکید می شود که این اندازه ها بهینه نیست. مثلاً Q_2 و Q_3 را می توان کمی کوچکتر انتخاب کرد، اما با این صورت اختلاف سرعت عملکرد گیت چندان محسوس نخواهد بود.

Transistor	Size
Q_1	$2.5 \mu\text{m}/0.8 \mu\text{m}$
Q_2	$7.5 \mu\text{m}/0.8 \mu\text{m}$
Q_3	$7.5 \mu\text{m}/0.8 \mu\text{m}$
Q_4	$10 \mu\text{m}/0.8 \mu\text{m}$
Q_5	$10 \mu\text{m}/0.8 \mu\text{m}$
Q_6	$10 \mu\text{m}/0.8 \mu\text{m}$
Q_7	$10 \mu\text{m}/0.8 \mu\text{m}$



شکل ۴-۲۰. گیت NMOS مربوط به مثال (۴-۱۱).

توان مصرفی

یک گیت منطقی شبه NMOS که خروجی "۱" دارد هیچگونه اتلاف توان dc ندارد. یک گیت منطقی شبه NMOS که خروجی "۰" دارد دارای اتلاف توان dc برابر با حاصل ضرب جریان ترانزیستور بار کانال p در ولتاژ منبع تغذیه است. بنابراین، اتلاف توان گیتی با خروجی "۰" از رابطه (۴-۵۱) محاسبه می گردد که در آن $(W/L)_p$ اندازه ترانزیستور بار کانال p می باشد. فرض کنید که یک گیت منطقی شبه NMOS در نیمی از زمان ها، خروجی "۱" و در نیم دیگر زمان خروجی "۰" دارد. بنابراین توان مصرفی متوسط آن از رابطه (۴-۵۲) محاسبه می گردد.

$$P_d = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_p V_{eff-p}^2 V_{DD} \quad (4.51)$$

$$P_d = \frac{\mu_p C_{ox}}{4} \left(\frac{W}{L} \right)_p V_{eff-p}^2 V_{DD} \quad (4.52)$$

علاوه بر این توان dc، هرگاه یک خازن شارژ یا دشارژ می شود، یک اتلاف توان ac هم وجود دارد. همچنین، بیشتر مدارهای مجتمع برای تحریک پین های خروجی و باس های داخلی به بافرها نیاز دارند که این بافرها اغلب دارای توان مصرفی بیش از توان مصرفی گیت های معمولی می باشد. در مجموع، این مسئله نشان می دهد که بطور نوعی، برای یک بسته مدار مجتمع شبه NMOS با ده ها هزار گیت (که در برابر استانداردهای امروزی، یک مدار مجتمع محسوب نمی شود) مقادیر بسیار زیادی از توان را مصرف می کند. به همین دلیل، منطق شبه NMOS به ندرت به عنوان یک مدار کامل استفاده می شود. بلکه ممکن است فقط در انتخاب مکان های که در آن ظرفیت بار خروجی^۱ کوچک باشد و سرعت حیاتی است مورد استفاده قرار گیرد. البته روشهای طراحی بکار رفته در شبکه تحریک کانال n با روشهای طراحی مورد استفاده در شبکه های تحریک نوع n از منطق دیگر، یعنی خانواده هایی از قبیل منطق CMOS سنتی، منطق CMOS دینامیک (پویا)، و منطق GaAs، یکسان هستند.

مثال ۴,۱۲

توان مصرفی یک بسته آرایه گیت های شبه NMOS که دارای ۲۰,۰۰۰ گیت می باشد چیست اگر ترانزیستورهای بار کانال p اندازه ای برابر با $(W/L)_p = 4/2$ داشته باشند و بافرهای خروجی در نظر گرفته نشده باشند؟ پاسخ : با استفاده از معادله (۴,۵۲) رابطه (۴-۵۳) را داریم.

$$P_{total} = 20,000 \frac{44.5 \times 10^{-6}}{4} \frac{4}{2} (0.75)^2 3.3 = 0.83 \text{ W} \quad (4.53)$$

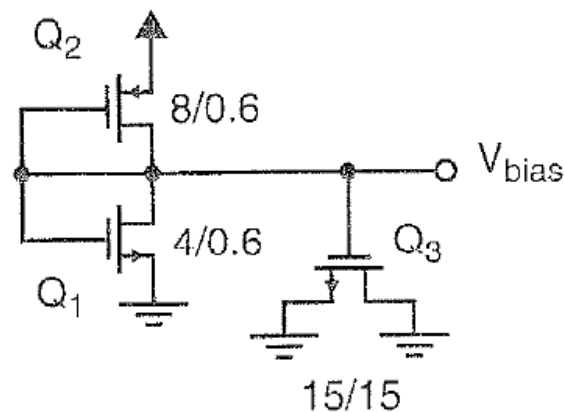
که مقدار بدست آمده با فرض $\mu_p C_{ox} = 44.5 \mu A/V^2$ و $V_{eff-p} = 0.75V$ برای یک مدار مجتمع حاوی فقط ۲۰۰۰۰ گیت خیلی بالا است. مدار مجتمع نوین امروزی ممکن است میلیونها گیت داشته باشند.

سایر مدارهای شبه NMOS

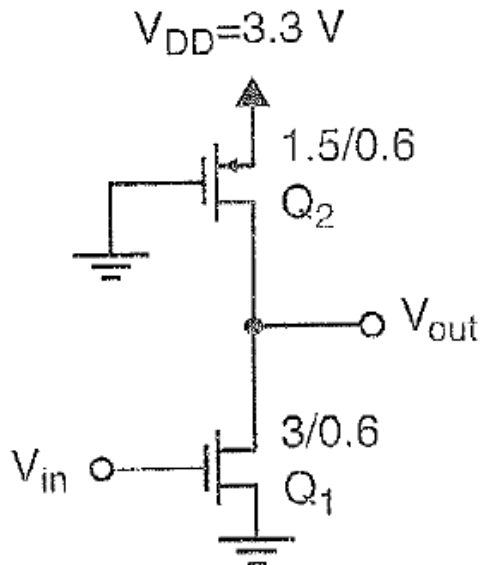
ولتاژ بایاس مدارهای شبه NMOS را می توان به آسانی با استفاده از مدارهای مرجعی از قبیل آنچه که در شکل ۴,۲۱ نشان داده شده، بدست آورد. نسبت $(W/L)_1$ به $(W/L)_2$ باید مشابه نسبت $(W/L)_{eq}$ به $(W/L)_p$ باشد. همان گونه که در این شکل نشان داده شده است $(W/L)_{eq} = (1/2) (W/L)_p$ انتخاب مناسبی است. ترانزیستور Q_3 برای ایجاد بارگذاری خازنی گنجانده شده است که کمک می کند تا نویزی که به V_{bias} تزریق می شود به حداقل برسد. اندازه دقیق آن به تعداد گیت های که به این مدار مرجع متصل است وابسته است و می توان آن را با استفاده از شبیه سازی در سطح اسپایس تعیین کرد.

¹ Fan-Out

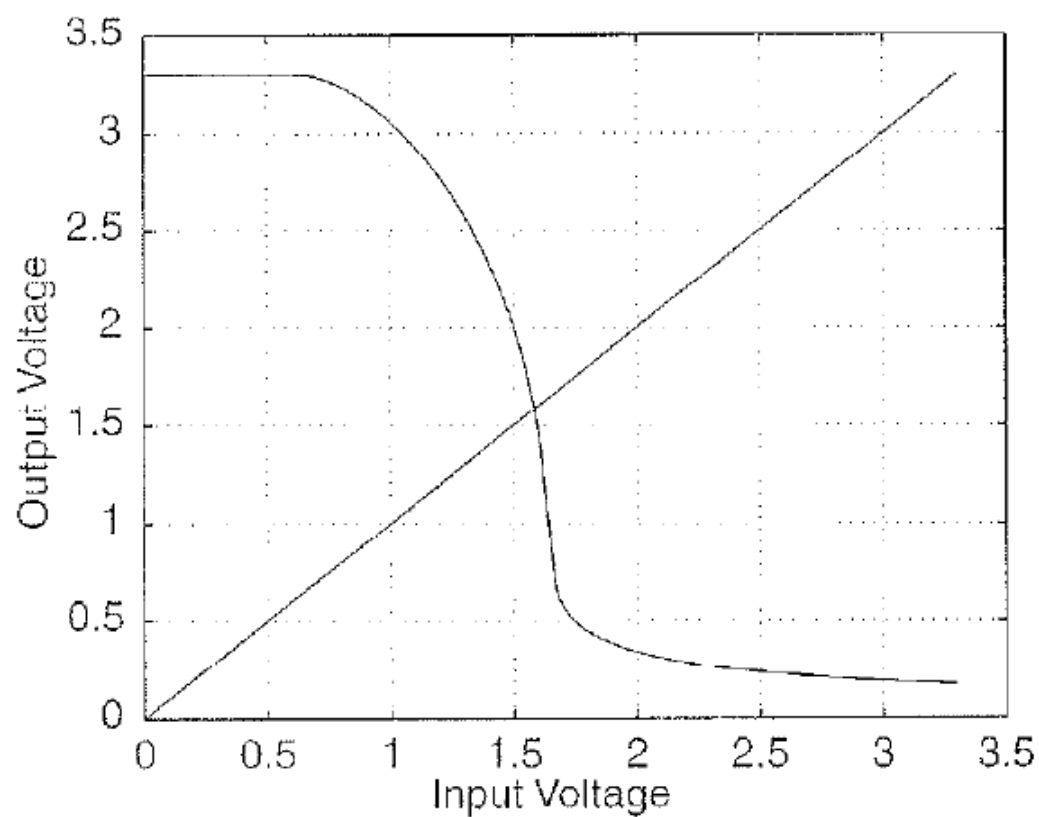
همانطور که در شکل ۴،۲۲ نشان داده شده است می توان با اتصال گیت ترانزیستور بار کانال p به زمین، مدارهای شبه NMOS دیگری را ایجاد کرد که به مدار مرجع (یا بایاس) نیازی نداشته باشد. توجه کنید که در این حالت اندازه نسبی ترانزیستور تحریک کانال n نسبت به ترانزیستور بار کانال p متفاوت است. به منظور به دست آوردن ولتاژ آستانه گیت مناسب و ولتاژ خروجی پایین، انتخاب معمول $(W/L)_{eq} = 2 (W/L)_p$ است. منحنی انتقالی معکوس کننده شکل ۴،۲۲ که با استفاده از اسپایس بدست آمده است در شکل ۴،۲۳ نشان داده شده است. مشاهده می شود که ولتاژ آستانه گیت ۱،۵۸ ولت و ولتاژ خروجی پایین ۰،۱۷ ولت است که هر دو از مقادیر معقولی برخوردار است. همچنین توجه داشته باشید که بهره در ولتاژ آستانه ۶،۵- است که کمتر از گیت شبه NMOS ای است که بار کانال p آن با استفاده از یک ولتاژ بایاس، بایاس شده است. دلیل بهره پایین تر این است که هنگامی که ولتاژ خروجی در سطح ولتاژ آستانه است، ترانزیستور بار کانال p در ناحیه خطی است و امپدانس درین- سورس (یعنی r_{ds}) کمتر از زمانی است که در ناحیه فعال یا اشباع قرار دارد. تحلیل بهره در ولتاژ آستانه گیت به عنوان تمرینی برای خوانندگان علاقمند باقی گذاشته شده است (نگاه کنید به مسئله ۴،۱۲).



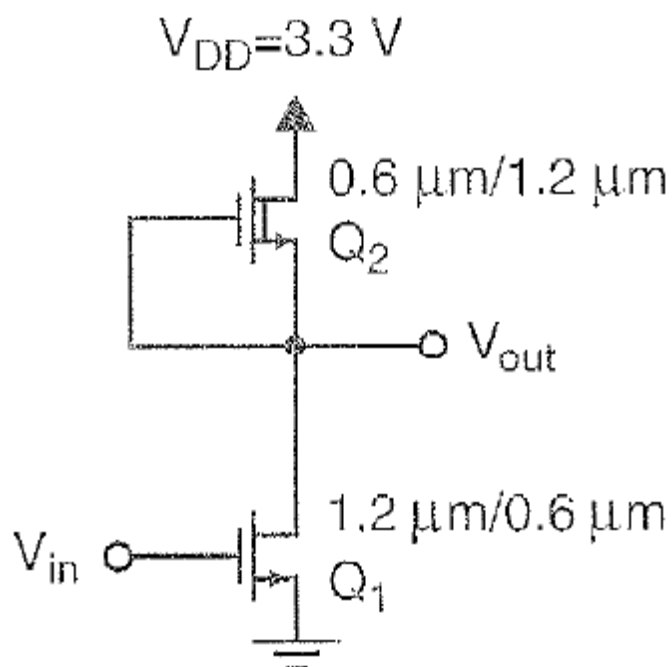
شکل ۴-۲۱. مداری که به منظور ایجاد ولتاژ بایاس در مدارهای شبه NMOS به کار می رود.



شکل ۴-۲۲. مدار معکوس کننده شبه NMOS دیگری که در فناوری ۰،۶ میکرون ساخته شده است.



شکل ۴-۲۳. تابع انتقالی معکوس کننده شبه NMOS شکل (۴-۲۲) که از اسپایس بدست آمده است.



شکل ۴-۲۴. یک معکوس کننده NMOS با بار تپی در فناوری ۰.۶ میکرون.

منطق NMOS با ترانزیستورهای بار نوع تخلیه ای

گیت های شبه NMOS ای که در اینجا توضیح داده شد، واقعاً بر اساس یک نوع منطقی ابتدایی است که در آن ترانزیستورهای تخلیه ای کانال n به عنوان بار استفاده می شدند. این خانواده منطقی که منطق NMOS نامیده شد و استفاده از آن در اوائل امر در ریزپردازنده های ۸ بیتی رایج بود، هم اکنون به ندرت استفاده می شود. منطق NMOS بسیار شبیه به منطق شبه NMOS است، اگر چه به لحاظ تاریخی بعد از آن به وجود آمد، اما ابتدا منطق شبه NMOS شرح داده شد، زیرا در حال حاضر گاهی برای مدارهای بحرانی در یک مدار مجتمع استفاده می شود، در حالی که منطق NMOS با بار نوع تخلیه ای تقریباً امروزه هرگز استفاده نمی شود. همچنین، تحلیل منطق شبه NMOS برای بهره ولتاژ آستانه گیت ساده تر از منطق NMOS سنتی است که در آن اثر ثانویه ای که اثر بدنه نامیده می شود، غالب می شود. تدریس این بخش باید در دوره های سطح اول به صورت اختیاری در نظر گرفته شود و به دلیل اهمیت تاریخی آن و به عنوان مثالی از استفاده از ترانزیستورهای نوع تهی گنجانده شده است.

معکوس کننده بار از نوع تخلیه ای NMOS در شکل ۴،۲۴ نشان داده شده است. بار توسط ترانزیستور تخلیه ای که گیت آن به پایه سورس آن متصل است ایجاد شده است. از آنجایی که برای ترانزیستور تخلیه داریم $V_{td} < 0$ که در آن V_{td} ولتاژ آستانه ترانزیستور است، یک کانال به ازاء $V_{GS}=0$ وجود خواهد داشت. ترانزیستور تخلیه به ازاء $V_{DS} > V_{eff-d} = -V_{td}$ در ناحیه اشباع خواهد بود که ممکن است در حدود ۲ ولت و یا کمی بیشتر باشد. با فرض این حالت، جریان درین ترانزیستور بار تخلیه ای بصورت رابطه (۴-۵۴) خواهد بود.

$$I_{D-2} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_2 V_{td}^2 \quad (4.54)$$

بنابراین ترانزیستور تخلیه ای که گیت و سورس آن به یکدیگر متصل است، بدون در نظر گرفتن اثرات جانبی یک منبع جریان dc تقریبی است. همچنین پیاده سازی آن بسیار کارایی دارد. در واقع، این ترانزیستور، تنها یک منبع جریان تقریبی با کیفیت متوسط است. ریشه اصلی خطا این است که هنگامی که ولتاژ سورس- زیرلایه تغییر می کند، عرض ناحیه تخلیه بین کانال و زیرلایه تغییر می کند که به نوبه خود سبب می شود که ولتاژ آستانه مطابق رابطه (۴-۵۵) تغییر کند.

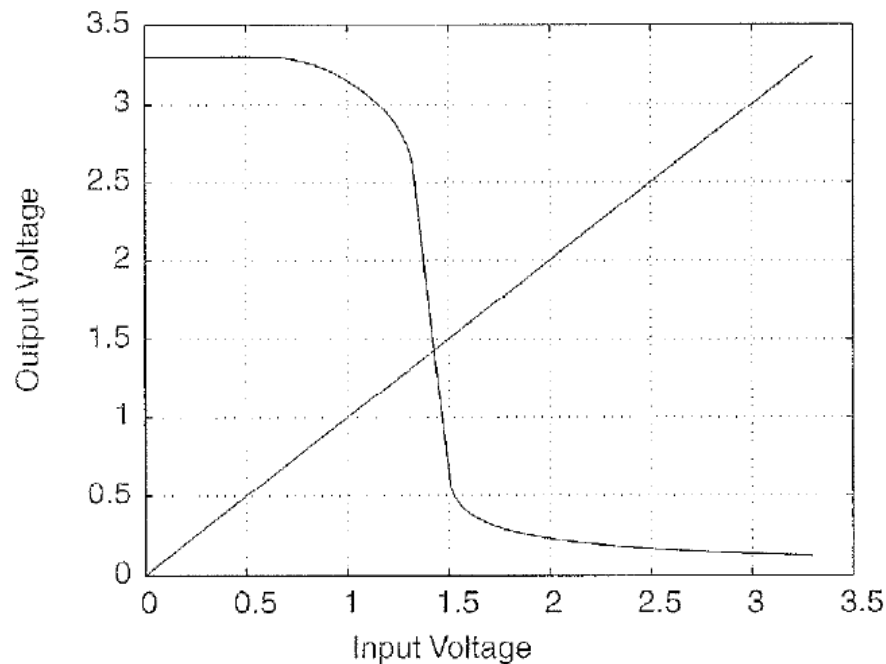
$$V_{td} = V_{td-0} + \gamma (\sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|}) \quad (4.55)$$

این پدیده اثر بدنه نامیده می شود. هنگامی که ولتاژ خروجی معکوس کننده در حدود ولتاژ آستانه است، این سبب می شود که امپدانس خروجی معکوس کننده محدود شود، شاید حدوداً فقط هشت بار بزرگتر از $\frac{1}{g_{m-2}}$ که در آن g_{m-2} رسانایی متقابل ترانزیستور تخلیه است. علاوه بر این، امپدانس خروجی محدود ترانزیستورهای تخلیه و تحریک، بهره معکوس کننده را تا حدودی کاهش می دهند. هر دوی این دو اثر باعث می شوند که بهره معکوس کننده شکل ۴،۲۴ در ولتاژ آستانه اش به صورت رابطه (۴-۵۶) باشد، هنگامی که ولتاژ خروجی در حدود ولتاژ آستانه گیت است.

$$\frac{V_{out}}{V_{in}} = A_{inv} = \frac{-g_{m-1}}{g_{s-2} + g_{ds-1} + g_{ds-2}} \quad (4.56)$$

توجه داشته باشید که g_{s-2} پارامتر رسانایی متقابل اثر بدنه است و g_{ds-1} و g_{ds-2} به ترتیب ادمیتانس های درین- سورس Q_1 و Q_2 هستند. بررسی صحت رابطه (۴،۵۶) به عنوان تمرین به عهده خوانندگان علاقمند واگذار شده است (به مسئله ۴،۱۳ نگاه کنید). به این ترتیب، ممکن است بهره معکوس کننده در ولتاژ آستانه گیت بین ۶- الی ۹- باشد. با این حال

این بهره کوچک دارای تأثیر کمی در مدارهای دیجیتال می باشد. یک منحنی انتقالی نمونه از معکوس کننده NMOS که با استفاده از اسپایس بدست آمده در شکل ۴،۲۵ نشان داده شده است. مقدار $V_{td} = -2V$ برای بدست آوردن این منحنی استفاده شده است. همچنین W/L ترانزیستور تحریک، چهار برابر W/L ترانزیستور تحریک در شکل ۴،۲۵ در نظر گرفته شده است. این نسبت از اندازه ها نسبت های نوعی بود که اغلب به وسیله طراحان مدار NMOS انتخاب می شود. ولتاژ آستانه گیت ۱،۴۴ ولت است و بهره در ولتاژ آستانه ۸،۳- است. ولتاژ خروجی پایین ۰،۱۴ ولت است. این منحنی انتقالی قابل قبول است.



شکل ۴-۲۵. نمودار انتقالی معکوس کننده NMOS شکل (۴-۲۴).

در اواخر دهه ۱۹۷۰ منطق NMOS در طراحی مدارهای مجتمع غلبه یافت. در واقع فناوری NMOS عامل کلیدی توسعه ریزپردازنده های ۸ و ۱۶ بیتی بود که انقلاب کامپیوترهای خانگی را ایجاد کرد. در اوایل دهه ۱۹۸۰ منطق CMOS که در ادامه شرح داده خواهد شد محبوبیت بیشتری پیدا کردند، زیرا علیرغم این واقعیت که این مدارها سطح بیشتری اشغال می کردند، بهره تولید^۱ آن ها کمتر بود، و پردازش آنها پیچیده تر بود، اما اتلاف توان آنها بسیار کمتر بود. در اواخر دهه ۱۹۹۰ منطق NMOS به علت اتلاف توان بالا عملاً ناپدید شد. با این حال، همان طور که پیش تر بیان گردید، خانواده های منطقی مشابه با متدلوژی های طراحی منطق NMOS همچنان کاملاً محبوب هستند.

۴،۴ منطق CMOS

منطق CMOS که در اوایل دهه سال ۱۹۷۰ برای استفاده تجاری گسترش یافت در مقایسه با تکنولوژی NMOS اساساً بیش از حد پیچیده، گران و آهسته تصور می شد. همچنین در اصل مستعد یک پدیده نامطلوب به نام قفل شدگی بود (که در فصل ۳ توضیح داده شد). با این حال، همچنان که مدارهای مجتمع بزرگتر می شدند، با پیشرفت فناوری، پیچیدگی رو به افزایش پردازش NMOS، و افزایش اهمیت اتلاف توان با بزرگتر شدن مدارهای مجتمع، امروزه فناوری

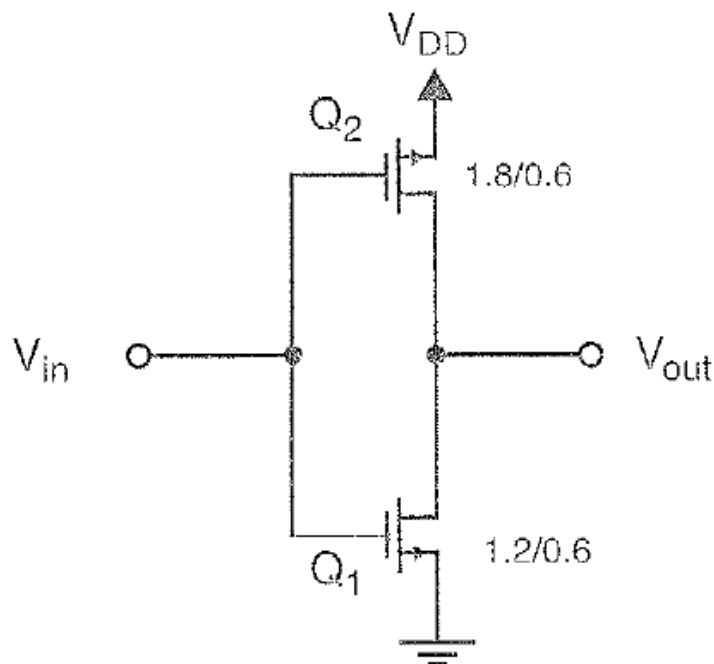
¹ Yield

CMOS تقریباً به طور کامل جایگزین فناوری NMOS شده است. نه تنها در دسترس بودن ترانزیستورهای کانال p سبب اتلاف توان بسیار کمتری می شوند، بلکه توانایی تحریک بسیار بهتری را برای سیگنال های بالا رونده فراهم می کند. همچنان که مدارهای مجتمع سریعتر می شوند، این مسئله، به ویژه برای بافرهای خروجی که نیاز به تحریک بارهای بزرگ خازنی بزرگ دارند بحرانی تر و حیاتی تر می شود.

بطور طبیعی، یک مدار مجتمع CMOS فقط ترانزیستورهای افزایشی کانال n و کانال p دارد. همچنین امکان ایجاد ترانزیستورهای تخلیه هم وجود دارد، اما به طور معمول این کار انجام نمی شود زیرا هرچقدر هم که مفید باشند، هزینه های تولید ماسک های اضافی را توجیه نخواهند کرد. مانند آنچه که در مورد منطق شبه NMOS انجام شد، معکوس کننده CMOS در ابتدا با جزئیات بیشتر مرور می شود، سپس منطق CMOS بطور کامل و با جزئیات بیشتری نسبت به آنچه که در مقدمه فصل ۱ بیان شد بررسی خواهیم نمود.

معکوس کننده CMOS

نمونه یک معکوس کننده CMOS در شکل ۴،۲۶ نشان داده شده است. توجه داشته باشید که ترانزیستور کانال p عریض تر از ترانزیستور کانال n است. این اختلاف عرض برای عملکرد صحیح ضروری (مورد نیاز) نیست. برعکس، تا حدودی اختلاف قابلیت تحرک ترانزیستور کانال n و کانال p را جبران می کند. قابلیت تحرک مؤثر ترانزیستورهای کانال n دو الی چهار برابر ترانزیستورهای کانال p است. با عریض تر کردن ترانزیستورهای کانال p به نسبتی برابر با عکس نسبت قابلیت تحرک متناظر، ولتاژ آستانه گیت نزدیک به $V_{DD}/2$ و زمانهای صعود و نزول تقریباً مساوی خواهد شد.



شکل ۴-۲۶. یک معکوس کننده CMOS معمولی.

با در نظر گرفتن عرض مساوی برای ترانزیستور کانال p با عرض ترانزیستور کانال n از نظر مساحت به صرفه است و به کم کردن بار خازنی گیت های قبلی کمک می کند. صرف نظر از اندازه های نسبی انتخاب شده، گیت های CMOS

سنتی بطور صحیح عمل خواهند کرد. به این دلیل منطق CMOS سنتی خانواده منطقی بدون نسبت^۱ خوانده می شود. معمولاً عرض ترانزیستورهای نوع p یک الی دو و نیم برابر عرض ترانزیستورهای کانال n انتخاب می شود. در اکثر موارد که بارهای خازنی بزرگ تحریک می شوند، انتخاب عرض یک و نیم برابری عرض ترانزیستورهای کانال n مناسب است، به استثنای حالتی که تعداد زیادی از ترانزیستورهای نوع p بصورت سری به یکدیگر متصل باشند، که در این حالت باید آنها را به طور مناسب عریض تر در نظر گرفت.

ولتاژ آستانه^۲

هنگام تحلیل معکوس کننده CMOS در ولتاژ آستانه (V_{th}) از قبل می دانیم که هر دو نوع ترانزیستورهای کانال p و n در ناحیه اشباع قرار دارند، چراکه در ولتاژ آستانه، V_{in} و V_{out} با هم برابرند و بنابراین ولتاژ درین - گیت هر دو ترانزیستور صفر می باشد. از آنجا که هر دو ترانزیستور از نوع افزایشی هستند، بنابراین باید در ناحیه اشباع باشند^۳. بدین ترتیب برای ترانزیستور Q_1 داریم:

$$I_{D-1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{th} - V_{tn})^2 \quad (4.57)$$

همچنین برای ترانزیستور Q_2 داریم^۴:

$$I_{D-2} = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 (V_{DD} - V_{th} + V_{tp})^2 \quad (4.58)$$

که یاد آور می شویم در این معادله مقدار V_{tp} منفی می باشد. با قرار دادن معادله (۴-۵۷) در (۴-۵۸) و حل آن برای بدست آوردن V_{th} به رابطه (۴-۵۹) می رسیم.

$$V_{th} = \frac{V_{tn} + (V_{DD} + V_{tp}) \sqrt{\mu_p (W/L)_2 / \mu_n (W/L)_1}}{1 + \sqrt{\mu_p (W/L)_2 / \mu_n (W/L)_1}} \quad (4.59)$$

مثال ۴،۱۳

ولتاژ آستانه معکوس کننده شکل (۴-۲۶) را بیابید. فرض نمایید:

$$\mu_n = 545 \text{ cm}^2/\text{V} \cdot \text{s} \text{ and } \mu_p = 130 \text{ cm}^2/\text{V} \cdot \text{s}, V_{tn} = 0.8 \text{ V}, V_{tp} = -0.9 \text{ V}, \text{ and } V_{DD} = 3.3 \text{ V}.$$

پاسخ:

^۱Ratioless

^۲ Threshold Voltage

^۳ برای ترانزیستور نوع N داریم: $V_{DS}=0 > -V_{tn}$ و برای ترانزیستور نوع P داریم: $V_{GD}=0 > V_{tp}$ که هر دو، شرط لازم برای ترانزیستورهایی هستند که در ناحیه اشباع قرار دارند.

^۴ توجه داشته باشید که برای ترانزیستورهای کانال P یک علامت منفی جلو هر متغیر ولتاژ معادله های جریان ولتاژ سیگنال بزرگ که برای ترانزیستور های کانال N استفاده می شود قرار می گیرد

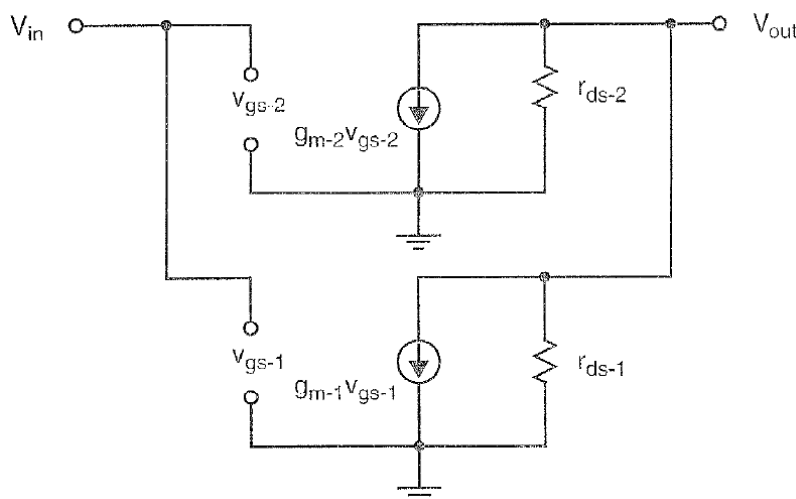
با جایگذاری مقادیر داده شده در رابطه (۴-۵۹) بدست می آید:

$$V_{th} = \frac{0.8 + (3.3 - 0.9)\sqrt{(130/545)1.5}}{1 + \sqrt{(130/545)1.5}} = 1.40 \text{ V} \quad (4.60)$$

این مقدار باید با ولتاژ آستانه بدست آمده از اسپایس که ۱.۴۵ v است مقایسه شود. از آنجا که برای گیت های CMOS داریم $V_{OH}=3.3\text{v}$ و $V_{OL}=0\text{v}$ بنابراین حاشیه های نویز $N_{MH}=1.85\text{v}$ و $N_{ML}=1/45\text{v}$ را برای تراشه با ابعاد مورد نظر می دهد. اگر مقدار $(W/L)_2=(W/L)_1$ انتخاب می کردیم، به ازاء همان پارامترها $V_{th}=1.32\text{v}$ بدست می آمد در حالی که اگر $V_{th}=V_{DD}/2=1.65\text{v}$ $(W/L)_2=(\mu n/\mu p)(W/L)_1=4.2 (W/L)_1$ داشته باشیم.

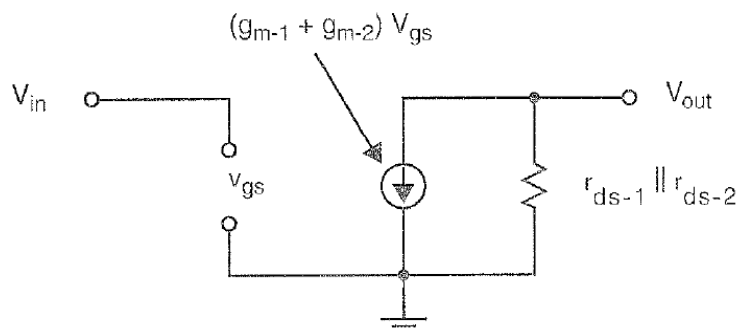
بهره معکوس کننده در $V_{IN}=V_{TH}$

روش تحلیل معکوس کننده CMOS برای محاسبه بهره در ولتاژ آستانه مشابه روش تحلیلی معکوس کننده شبه NMOS می باشد. در این روش، مدار معادل سیگنال کوچک برای معکوس کننده که در شکل (۴-۲۷) نشان داده شده است مورد استفاده قرار می گیرد. توجه داشته باشید که همانند همه مدارهای سیگنال کوچک، منابع تغذیه dc صفر می شوند. از آنجا که سورس هر دو ترانزیستور به زمین سیگنال کوچک متصل است هیچ منبع جریانی برای مدل سازی اثر بدنه وجود نخواهد داشت. همچنین توجه داشته باشید که مدار سیگنال کوچک برای ترانزیستور کانال p مشابه مدار سیگنال کوچک برای ترانزیستور کانال n می باشد^۱. به این ترتیب دو مدل سیگنال کوچک بصورت موازی برای ترانزیستور ها وجود دارد. بنابراین می توان شکل (۴-۲۷) را بصورت شکل (۴-۲۸) ترسیم نمود.



شکل ۴-۲۷. مدل سیگنال کوچک معادل با یک معکوس کننده CMOS.

^۱ تغییر علامت متغیرهای ولتاژ برای معادله های سیگنال بزرگ ترانزیستورهای کانال p با توجه این مطلب که جریان سیگنال بزرگ ترانزیستور کانال p از سورس به درین است حذف می گردد (برعکس ترانزیستورهای کانال n که جریان آنها از درین به سورس می باشد).



شکل ۴-۲۸. مدل ساده شده سیگنال کوچک معادل با یک معکوس کننده CMOS.

اکنون می توان میزان بهره را بصورت زیر محاسبه نمود:

$$\frac{V_{out}}{V_{in}} = -(g_{m-1} + g_{m-2})(r_{ds-1} \parallel r_{ds-2}) \quad (4.61)$$

مثال ۴،۱۴

به ازاء

$$\mu_n C_{ox} = 188 \mu A/V^2, \mu_p C_{ox} = 44.5 \mu A/V^2, \lambda_n = 0.06$$

در ترانزیستور های کانال n و

$$\lambda_p = 0.07$$

در ترانزیستور های کانال p و سایر پارامترهایی که در مثال ۴،۱۳ مورد استفاده قرار گرفت، بهره را در ولتاژ آستانه بیابید.

پاسخ:

از مثال ۴،۱۳ داریم:

$$I_{D-1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right)_1 (V_{th} - V_{tn})^2 = 67.7 \mu A \quad (4.62)$$

به این ترتیب:

$$r_{ds-n} = \frac{1}{\lambda_n I_{D1}} = 246 \text{ k}\Omega \quad (4.63)$$

و

$$r_{ds-p} = \frac{1}{\lambda_p I_{D1}} = 211 \text{ k}\Omega \quad (4.64)$$

همچنین با استفاده از

$$g_{m-1} = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_1 I_{D1}} \quad (4.65)$$

داریم

$$g_{m-1} = 226 \mu A/V$$

و

$$g_{m2} = 134 \mu A/V$$

بنابراین با استفاده از رابطه (۴-۶۱) بهره ۴۰,۱- را بدست می آوریم. اسپایس میزان بهره را ۲۰,۱- محاسبه می نماید. مجدداً بیان می کنیم که اسپایس در محاسبه بهره دقیق نیست اما این مطلب برای مدارهای دیجیتالی به ندرت اهمیت دارد.

پاسخ گذرا

محاسبه پاسخ گذرا برای زمان های صعود و نزول تقریباً با محاسبه زمان نزول معکوس کننده NMOS یکسان است. به عنوان مثال، در مورد محاسبه زمان نزول معکوس کننده CMOS، ترانزیستور کانال p خاموش است و می توان از آن صرف نظر نمود و ترانزیستور کانال n را با استفاده از یک مقاومت معادل که مقدار آن از رابطه (۴-۶۶) محاسبه می گردد تقریب زد.

$$R_{eq-1} = \frac{2.5}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})} \quad (4.66)$$

به طور مشابه در طی زمان صعود، می توان ترانزیستور کانال p را بصورت زیر تقریب زد:

$$R_{eq-2} = \frac{2.5}{\mu_p C_{ox} (W/L)_2 (V_{DD} + V_{tp})} \quad (4.67)$$

اکنون با استفاده از این تقریب ها و با کمک روش مدار RC مرتبه اول زمان های صعود و نزول را می توان بصورت زیر تخمین زد:

$$t_f \equiv R_{eq-1} C_L \ln \left[\frac{V_{out}(\infty) - V_{out}(t_1)}{V_{out}(\infty) - V_{out}(t_2)} \right] \quad (4.68)$$

برای یک تغییر ولتاژ ۷۰٪- داریم

$$t_{-70\%} \equiv 1.2 R_{eq-1} C_L \quad (4.69)$$

و بطور مشابه برای زمان صعود داریم

$$t_{+70\%} \equiv 1.2 R_{eq-2} C_L \quad (4.70)$$

مثال ۴,۱۵

برای معکوس کننده CMOS شکل (۴-۲۶) مقادیر تقریبی زمان های صعود و نزول ۷۰٪ را با فرض خازن بار 0.2pF محاسبه نمایید.

پاسخ:

با استفاده از معادله (۴-۶۶) و (۴-۶۷) داریم

$$R_{eq-1} = 2.66 \text{ k}\Omega$$

و

$$R_{eq-2} = 7.80 \text{ k}\Omega$$

با جایگذاری این مقادیر در (۴-۶۹) داریم:

$$t_{-70\%} = 0.64 \text{ ns} \quad (4.71)$$

و از (۴-۷۰) داریم:

$$t_{+70\%} = 1.87 \text{ ns} \quad (4.72)$$

این مقادیر را باید با مقادیر حاصل از شبیه سازی اسپایس که به ترتیب برابر 1.07 و 1.67 نانو ثانیه می باشند مقایسه نمود. تفاوت ها اساساً به دلیل خازن های اتصال^۱ و اثرات کانال کوتاهی^۲ است که ما در تحلیل دستی خود از آن صرف نظر نموده ایم.

تأثیر اندازه های ترانزیستور در پاسخ های گذرا

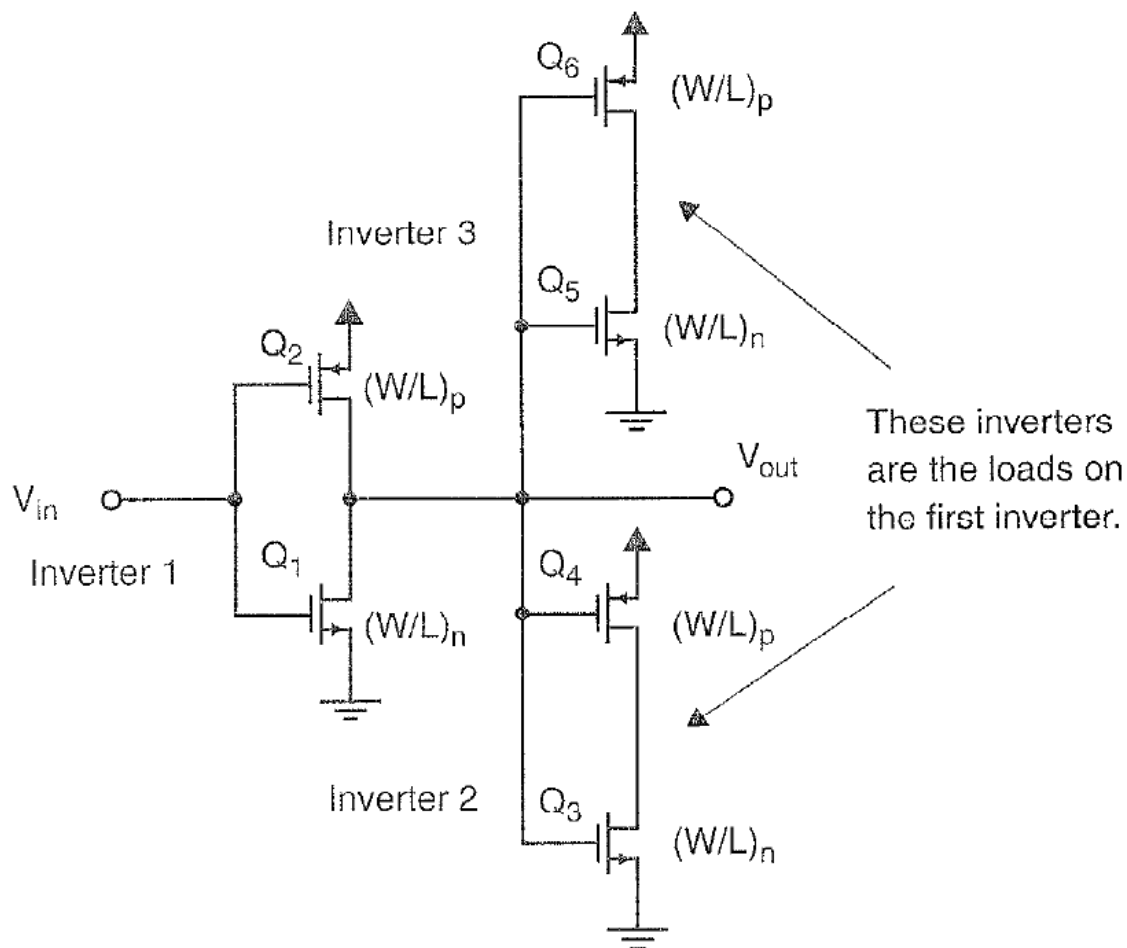
در منطق NMOS انتخاب صحیح اندازه ترانزیستورها به منظور عملکرد گیت ها ضروری است در صورتی که برای منطق CMOS مرسوم ضروری نمی باشد. هرچند نسبت W/L های ترانزیستورهای کانال p به نسبت W/L های ترانزیستورهای کانال n بر روی ولتاژ آستانه و مهمتر از آن بر پاسخ گذرای گیت تأثیر می گذارد. نسبت بهینه دقیقی که بتوان بطور مستقل از کاربرد مدار مشخص نمود برای اندازه ترانزیستورهای کانال p به ترانزیستورهای کانال n وجود ندارد. با این وجود، دو وضعیت وجود دارد که می توان در مورد W/L های نسبی آنها صحبت کرد. حالت اول زمانی است که یک گیت منفرد تعدادی از گیت های مشابه را تحریک می کند.

شرایط نشان داده شده در شکل ۴,۲۹ را در نظر بگیرید که در آن یک معکوس کننده CMOS بوسیله خازن های ورودی دو معکوس کننده یکسان بارگذاری شده است. در این مثال پاسخ گذرای معکوس کننده اول تحلیل می شود. فرض شده است که ترانزیستور های کانال n دارای نسبت W/L یکسانی هستند. همچنین فرض شده است که همه ترانزیستورهای کانال p نیز دارای نسبت W/L یکسانی هستند اما این نسبت می تواند متفاوت از نسبت ترانزیستورهای کانال n باشد.

¹ Junction Capacitances

² Short Channel Effects

این وضعیت در طراحی CMOS بیانگر بسیاری از وضعیت های مرسوم می است که با آن مواجه می شویم که در آن ظرفیت خروجی^۱ کوچک است.



شکل ۴-۲۹. یک معکوس کننده CMOS که دو معکوس کننده مشابه را تحریک می کند.

زمانی که پاسخ گذرای اولین معکوس کننده را در نظر می گیریم ابتدا ضروری است که خازن بار را تقریب بزنیم. دو مؤلفه برای این بار وجود دارد. مؤلفه اول خازن اتصال درین های Q_1 و Q_2 است. این خازن ها با فرض اینکه این دو ترانزیستور خیلی بزرگ نیستند^۲ شدیداً با عرض Q_1 و Q_2 متناسب است و مؤلفه دوم خازنهای معکوس کننده های ۲ و ۳ می باشد. خازن های ورودی این دو معکوس کننده اساساً از خازن های گیت دو ترانزیستور کانال n و دو ترانزیستور کانال p تشکیل شده اند. تعیین دقیق این خازن ها یک مسئله بسیار مشکل غیر خطی می باشد. برآورد هایی وجود دارد که در این جا بیان می شود. زمانی که یک ترانزیستور در ناحیه شدیداً خطی می باشد، خازن گیت-کانال آن تقریباً به صورت زیر محاسبه می شود:

^۱ Fan-Out

^۲ زمانی که عرض ها بزرگ هستند ترانزیستور ها توسط یک ساختار چند انگشتی (multiple-finger) که خازن های اتصال را کوچک می کنند ایجاد می شوند.

$$C_{gs} = WLC_{ox}$$

با استفاده از رابطه (۴-۷۳) بارگذاری خازنی دو معکوس کننده با فرض اینکه ترانزیستورهای کانال n و p طول های برابری دارند که مساوی حداقل طول است، تقریباً بصورت زیر می باشد.

$$C_L = 2C_{ox}L(W_n + W_p) \quad (4.74)$$

بنابراین خازن های ورودی همچنین با عرض ترانزیستورها متناسب هستند. با فرض اینکه همه ترانزیستورها دارای طول حداقل باشند، آنگاه با مقیاس بندی عرض همه ترانزیستورها بطور یکسان، هم کانال n و هم کانال p تأثیر کمی بر تأخیرهای گذرا خواهد داشت. این بدین دلیل است که با افزایش عرض ها، بارهای خازنی بطور متناسب افزایش می یابد اما مقاومت های معادل بطور معکوس کاهش می یابند و ثابت های زمان صعود و نزول تقریباً بدون تغییر باقی خواهد ماند. این مسئله در مورد عرض های خیلی کوچکی که در آن خازن های اتصال دیواره های کناری اهمیت بیشتری پیدا خواهند کرد و تأخیر های بزرگتری ایجاد می کند صادق نیست. در ضمن، از خازن های سیم بندی و خازن های خارجی صرف نظر شده است. زمانی که این خازن ها اهمیت پیدا کنند، ترانزیستورهای با عرض بیشتر منجر به تأخیر های کوچکتری خواهند شد. اگر چه، برای مثال ساده ای که در نظر گرفته شد مستقل بودن تأخیر از مقیاس بندی عرض همه ترانزیستورها تقریبی معقول می باشد. بدین ترتیب، بهینه سازی تأخیر فقط به عنوان تابعی از نسبت W/L ترانزیستورهای کانال p به W/L ترانزیستورهای کانال n ضروری است.

اگر تعدادی گیت سری بدون حافظه یا بازخورد محلی (یعنی منطق غیر چرخه ای^۱) وجود داشته باشند آنگاه این متوسط متوسط زمان های صعود و نزول است که تأخیر کلی گیت را تعیین می کند. این مطلب در مورد فلیپ فلاپ ها و منطق خط لوله^۲ صحیح نمی باشد اما در این جا مورد بررسی قرار خواهیم داد. همچنین فقط خازن بار ناشی از گیت ها که تحریک می شوند در نظر گرفته می شود. اگر خازن اتصال هم در نظر گرفته می شد، نتایج کمی تغییر می کرد اما تحلیل بسیار پیچیده می شد. این پیچیدگی بیش از حد هیچ تأثیر چشم گیری در افزایش بینش در مورد این مطلب نخواهد داشت. متوسط زمان های صعود و نزول اولین معکوس کننده شکل (۴-۲۹) بصورت رابطه (۴-۷۵) است که در آن C_L از رابطه (۴-۷۴) و R_{eq-1} و R_{eq-2} به ترتیب از روابط (۴-۶۶) و (۴-۶۷) محاسبه می گردد.

$$t_{AV} = 1.2C_L \frac{R_{eq-1} + R_{eq-2}}{2} \quad (4.75)$$

بنابراین داریم

$$t_{AV} = 1.2 \times 2C_{ox}L(W_n + W_p) \frac{1}{2} \left[\frac{2.5}{\mu_n C_{ox} \frac{W_n}{L} (V_{DD} - V_{tn})} + \frac{2.5}{\mu_p C_{ox} \frac{W_p}{L} (V_{DD} - V_{tp})} \right] \quad (4.76)$$

با فرض $V_{DD} - V_{tn} = V_{DD} + V_{tp}$ داریم

¹ Acyclic Logic

² PipeLine

$$t_{AV} = \frac{3L^2}{(V_{DD} - V_{tn})\mu_n} \left(1 + \frac{W_p}{W_n}\right) \left(1 + \frac{\mu_n W_n}{\mu_p W_p}\right) \quad (4.77)$$

به منظور یافتن نسبت W_p/W_n بهینه برای به حداقل رساندن متوسط زمانهای صعود و نزول می توانیم از رابطه (۴-۷۷) نسبت به W_p/W_n مشتق گرفته مساوی صفر قرار دهیم. با چند عمل جبری خواهیم داشت:

$$\frac{\partial t_{AV}}{\partial (W_p/W_n)} = \frac{3L^2}{(V_{DD} - V_{tn})\mu_n} \left[1 - \frac{\mu_n}{\mu_p} \left(\frac{W_n}{W_p}\right)^2\right] \quad (4.78)$$

با قرار دادن (۴-۷۸) مساوی با صفر نسبت بهینه برای W_p/W_n بدست می آید:

$$\left(\frac{W_p}{W_n}\right)_{opt} = \sqrt{\frac{\mu_n}{\mu_p}} \quad (4.79)$$

به عنوان مثال اگر داشته باشیم $\mu_n/\mu_p = 2.5$ نسبت بهینه برای W_p/W_n برابر ۱٫۵۸ است. این دلیلی است برای عبارتی که در بخش معکوس کننده CMOS بیان نمودیم که نسبت W_p/W_n برابر ۱٫۵ همیشه یک انتخاب منطقی است. برای این انتخاب داریم:

$$t_{AV} = \frac{3L^2}{(V_{DD} - V_{tn})\mu_n} \left[1 + \sqrt{\frac{\mu_n}{\mu_p}}\right]^2 \quad (4.80)$$

مشاهده این که چگونه متوسط زمان صعود و نزول برای موارد خاص $W_p/W_n = 1$ و $W_p/W_n = \mu_n/\mu_p$ افزایش می یابد جالب است. برای $W_p/W_n = 1$ و با استفاده از (۴-۷۷) داریم:

$$t_{AV} = \frac{6L^2}{(V_{DD} - V_{tn})\mu_n} \left(1 + \frac{\mu_n}{\mu_p}\right) \quad (4.81)$$

همچنین برای حالت $W_p/W_n = \mu_n/\mu_p$ داریم

$$t_{AV} = \frac{6L^2}{(V_{DD} - V_{tn})\mu_n} \left(1 + \frac{\mu_n}{\mu_p}\right) \quad (4.82)$$

که مشابه (۴-۸۱) است. به عنوان مثال اگر نسبت $\mu_n/\mu_p = 2.5$ را به عنوان مقدار مرسوم در نظر بگیریم با استفاده از (۴-۸۰)، (۴-۸۱) و (۴-۸۲) مشاهده خواهیم کرد که افزایش متوسط زمان های صعود و نزول ۵٪ است. این افزایش بسیار کوچک نشانگر آن است که با وجودی که یک نقطه بهینه وجود دارد، اما با در نظر گرفتن $W_p/W_n = 1$ خطای بسیار کوچکی ایجاد خواهد شد و در مساحت تراشه صرف جویی خواهد شد. اغلب این انتخاب مورد استفاده قرار می گیرد به جز در طراحی های بسیار بحرانی.

باید تأکید شود که تحلیل قبلی، بسیاری از خازن های سیم بندی یا خازن های خارجی را که با عرض های ترانزیستور مقیاس بندی نشده اند نادیده گرفته است. زمانی که این خازن های بار غالب هستند، عریض در نظر گرفتن کانال p زمان صعود و بنابراین متوسط زمان های صعود و نزول را کاملاً بهبود می بخشد. نهایتاً طراحان اغلب نسبت W_p/W_n را مساوی

۲ یا ۳ در نظر می گیرند. به طور قرار دادی برای زمان هایی که بار گیت معلوم نیست، نسبت $W_p/W_n = 1.5$ انتخابی معقول است.

جمله ثابت در معادله (۴-۸۰) که بصورت (۴-۸۳) است مستقل از مختصات و فقط وابسته به فناوری می باشد.

$$T_{proc} = \frac{L^2}{(V_{DD} - V_{tn})\mu_n} \quad (4.83)$$

این ثابت، هنگامی که دو فناوری متفاوت مقایسه می شوند معیار با ارزشی خواهد بود و همچنین تعیین می کند که طول کانال کوتاه به منظور عملکرد بسیار سریع مدار تا چه حد مهم می باشد.

مثال ۴-۱۶

با در نظر گرفتن مقادیر زیر متوسط زمان های صعود و نزول را برای حالت های $W_p/W_n=1$ ، $W_p/W_n=\sqrt{\mu_n/\mu_p}$ ، و $W_p/W_n=\mu_n/\mu_p$ بیابید.

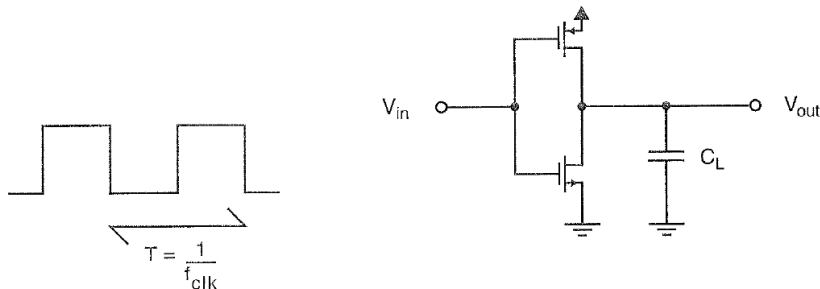
• $\mu_n = 545 \text{ cm}^2/\text{V}\cdot\text{s}$, $\mu_p = 130 \text{ cm}^2/\text{V}\cdot\text{s}$, $L_{min} = 0.6 \text{ }\mu\text{m}$, and $V_{DD} - V_{tn} = 2.5 \text{ V}$, پاسخ:

با استفاده از (۴-۷۷) مقدار بدست آمده برای t_{AV} به ازاء $W_p/W_n=1$ ، $W_p/W_n=\sqrt{\mu_n/\mu_p}$ ، و $W_p/W_n=\mu_n/\mu_p$ به ترتیب برابر است با ۸۲،۳، ۷۳،۶ و ۸۲،۳ پیکو ثانیه. در واقع به علت خازن های اتصالی که ما از آنها صرف نظر نموده ایم، زمان های واقعی بیشتر از این مقادیر خواهند بود اما اختلاف های نسبی حدوداً همان است.

اتلاف توان

همان طور که قبلاً اشاره شد، دلیل اصلی محبوبیت منطق CMOS این است که زمانی که خروجی گیت های سنتی تغییر نمی کند هیچ اتلاف توان dc ندارند، اگرچه هر گاه خروجی یک گیت CMOS تغییر می کند توانی در گیت ترانزیستور تلف می شود. دلیل اصلی برای این اتلاف توان، حرکت بارهای مورد نیاز برای شارژ یا دشارژ خازن های بار خارجی و خازن های پارازیتی داخلی است. به علاوه برای سیگنال های ورودی با زمان های صعود و نزول متناهی، ممکن است که در هنگام تغییر خروجی، مسیرهای موقتی dc بین منبع تغذیه و زمین وجود داشته باشند. این مطلب به ویژه برای معکوس کننده های بزرگی که به عنوان بافر استفاده می شوند صحیح است.

محاسبه توان تلف شده در یک معکوس کننده که یک خازن بار را شارژ یا دشارژ می کند بسیار ساده است. معکوس کننده شکل (۴-۳۰) را در نظر بگیرید که ورودی آن موج مربعی با فرکانس f_{clk} و خازن بار آن C_L است.



شکل ۴-۳۰. یک معکوس کننده CMOS با ورودی موج مربعی (در فرکانس f_{clk}).

هر گاه خروجی از صفر به یک تغییر می کند خازن بار بوسیله ترانزیستور کانال n از صفر ولت به V_{DD} شارژ می شود. انرژی تلف شده در ترانزیستور کانال n طی این زمان از رابطه (۴-۸۴) و به طور مشابه، انرژی تلف شده در ترانزیستور کانال p زمانی که خروجی معکوس کننده از یک به صفر تغییر می کند از رابطه (۴-۸۵) محاسبه می گردد.

$$E_n = \frac{C_L V_{DD}^2}{2} \quad (4.84)$$

$$E_p = \frac{C_L V_{DD}^2}{2} \quad (4.85)$$

از آنجا که در هر دوره تناوب ورودی (T) خروجی از صفر به یک و برعکس به صفر تغییر می کند، انرژی کل تلف شده در هر دوره تناوب از رابطه (۴-۸۶) محاسبه می گردد.

$$E_T = C_L V_{DD}^2 \quad (4.86)$$

متوسط توان تلف شده در یک تناوب برابر انرژی کل تلف شده تقسیم بر T است. بدین ترتیب متوسط اتلاف توان ناشی از شارژ و دشارژ پویای خازن بار از رابطه (۴-۸۷) محاسبه می گردد.

$$P_{\text{dyn-avg}} = \frac{C_L V_{DD}^2}{T} = C_L V_{DD}^2 f_{\text{clk}} \quad (4.87)$$

بنابراین متوسط اتلاف توان با فرکانس ساعت متناسب است. در فرکانس های ساعت بیشتر، به همان نسبت توان بیشتری تلف می شود. همچنین توان مصرفی بسیار به ولتاژ منبع تغذیه حساس است. کاهش ولتاژ منبع تغذیه از ۵ ولت به ۳٫۳ ولت اتلاف توان را تقریباً به نصف کاهش می دهد.

یک گیت CMOS که به طور پیوسته با سرعت زیاد تغییر می کند همان میزان توان تلف می کند که یک گیت NMOS با سرعت مشابه تلف می نماید. به نظر می رسد که این مسئله با برتری مذکور منطق CMOS در ارتباط با اتلاف توان متناقض باشد. خوش بختانه بیشتر تراشه های نوین ده ها هزار و یا حتی میلیون ها گیت دارند که در هر سیکل ساعت تغییرات ندارند. به عنوان مثال، در یک تراشه کامپیوتری بیشتر حافظه و ثبات ها در هر سیکل کلاک بدون تغییر هستند. گیت هایی که تغییر نمی کنند توان را تلف نمی کنند و اتلاف کلی بسیار کمتر است. اگرچه برای مورد خاص گیت CMOS ای که بطور پیوسته با بیشترین نرخ تغییر می کند و اتلاف توان dc دارد طراح باید مدار های منطقی را در نظر بگیرد که از نظر اندازه تراشه کوچکتر باشد یا سرعت بیشتری داشته باشد. اختلاف کلی اتلاف توان کل تراشه در این حالت کوچک خواهد بود.

اتلاف توان دیگری غیر از آنچه که در رابطه (۴-۸۷) مطرح شد وجود دارد. این مؤلفه اضافی به علت این واقعیت است که طی گذرها، مقداری جریان dc از ترانزیستورهای n و p بطور همزمان عبور می کند. این جریان معمولاً جریان مسیر مستقیم^۱ نامیده می شود. این توان مصرفی اضافی همیشه کمتر از ۲۰٪ اتلاف ناشی از شارژ و دشارژ خازن های پارازیتی است، اما می تواند میزان قابل توجهی باشد، بویژه اگر ورودی به کندی تغییر کند.

^۱ Direct-Path Current.

این اتلاف توان را می توان برآورد نمود البته با فرض اینکه مساحت زیر نمودار جریان مسیر مستقیم یک معکوس کننده با یک موج مثلثی را بتوان تخمین زد. به عنوان مثال، نمودار ولتاژ ورودی و جریان مسیر مستقیم معکوس کننده CMOS نشان داده شده در شکل (۴-۳۱) را در نظر بگیرید. هنگامی که ولتاژ آستانه معکوس کننده (V_{th}) پیدا شد، آنگاه قله جریان مسیر مستقیم از رابطه (۴-۸۸) بدست می آید که در آن ترانزیستور تحریک کانال n ترانزیستور Q_1 می باشد.

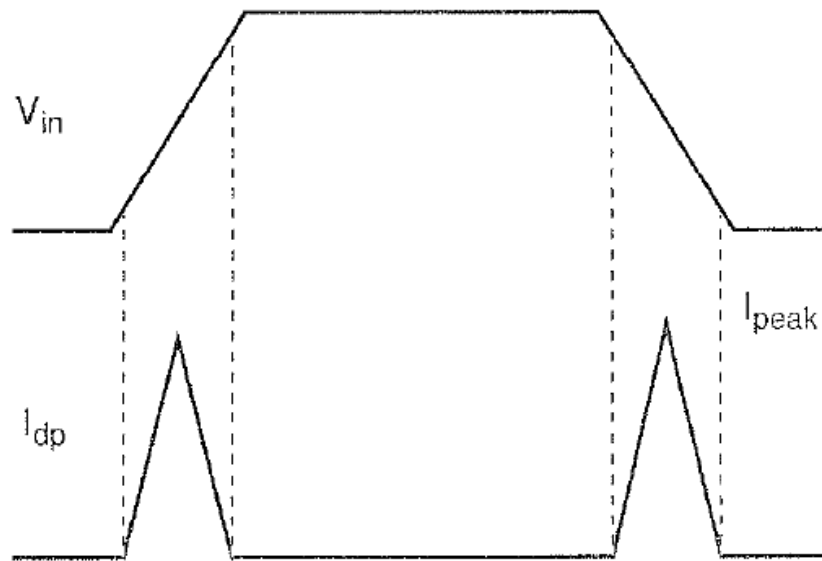
$$I_{peak} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{th} - V_{tn})^2 \quad (4.88)$$

انرژی تلف شده در هر تناوب به صورت رابطه (۴-۸۹) است.

$$E_{dp} = V_{DD} \left(\frac{I_{peak} t_r}{2} + \frac{I_{peak} t_f}{2} \right) = V_{DD} I_{peak} \left(\frac{t_r + t_f}{2} \right) \quad (4.89)$$

متوسط توان تلف شده عبارت است از انرژی تلف شده در تناوب تقسیم بر زمان تناوب. به این ترتیب داریم:

$$P_{dp-avg} = \frac{1}{T} V_{DD} I_{peak} \left(\frac{t_r + t_f}{2} \right) = V_{DD} I_{peak} \left(\frac{t_r + t_f}{2} \right) f_{clk} \quad (4.90)$$



شکل ۴-۳۱. شکل موج ولتاژ ورودی و جریان مسیر مستقیم یک معکوس کننده CMOS به هنگامی که ولتاژ ورودی دارای زمان های صعود و نزول متناهی باشد.

مثال ۴،۱۷

برای معکوس کننده CMOS شکل (۴-۲۶) متوسط توان تلف شده ناشی از توان پویا و توان ناشی از جریان مسیر مستقیم را بیابید. فرض کنید که زمان های صعود و نزول مشابه مقادیر بدست آمده در مثال ۴،۱۵ و فرکانس سیگنال ورودی 100 MHz است.

پاسخ: از مثال ۴،۱۵ داریم $C_L=0.2\text{pF}$. با استفاده از رابطه (۴-۸۷) و $V_{DD}=3.3\text{v}$ رابطه (۴-۹۱) بدست می آید.

$$P_{\text{dyn-avg}} = 5 \times 10^{-13} (3.3^2) 1 \times 10^8 = 0.54 \text{ mW} \quad (4.91)$$

سپس با فرض $V_{th}=1.4\text{v}$ از مثال ۴،۱۳ رابطه (۴-۹۲) را داریم.

$$I_{\text{peak}} = \frac{188 \times 10^{-6}}{2} \left(\frac{1.2}{0.6} \right) (1.4 - 0.8)^2 = 68 \text{ } \mu\text{A} \quad (4.92)$$

در ادامه با استفاده از مقادیر $t_r=0.64\text{ns}$ و $t_f=1.87\text{ns}$ از مثال ۴،۱۵ و با استفاده از رابطه (۴-۹۰) داریم:

$$P_{\text{dp-avg}} = 3.3 (6.8 \times 10^{-5}) (0.64 \times 10^{-9} + 1.87 \times 10^{-9}) 1 \times 10^8 = 56 \text{ } \mu\text{W} \quad (4.93)$$

توجه داشته باشید که در این مثال متوسط اتلاف توان مسیر مستقیم حدود ۱۰٪ اتلاف توان پویا است.

۴-۵ طراحی گیت های CMOS

روش های طراحی بسیار متفاوتی با استفاده از ترانزیستورهای CMOS برای توابع منطقی وجود دارد. در فصل ۱ گیت های CMOS سنتی معرفی شدند. این موضوع با جزئیات بیشتر در این فصل توضیح داده خواهد شد. انواع گوناگونی از خانواده های منطق CMOS امروزه متداول شده است. خانواده های جدیدتر تمایل دارند که تعداد ترانزیستورهای کانال p مورد نیاز را کاهش دهند و اغلب از تکنیک های پویایی از قبیل خروجی های پیش شارژ شونده سطح ولتاژ به بالا، قبل از زمان ارزیابی استفاده می نمایند. علاوه براین، اغلب با سیگنال های کاملاً تفاضلی عمل می نمایند. یعنی هر سیگنال به همراه مکمل آن منتشر می شود.

طراحی منطق سنتی

روش سنتی در طراحی منطق CMOS، ایجاد یک مدار تحریک کانال n است، درست مانند آنچه که در منطق شبه NMOS به کار می رود. البته تعیین ابعاد ترانزیستور احتمالاً به طور متفاوتی صورت می پذیرد. سپس شبکه بار به عنوان شبکه مکمل کانال p ایجاد می شود. به عنوان مثالی از مدار منطق CMOS نسبتاً پیچیده، مدار یک تمام جمع کننده را در نظر بگیرید. مدار تمام جمع کننده یکی از بلوک های سازنده مورد استفاده در مدارهای محاسباتی می باشد. این مدارها اغلب در مسیر بحرانی ریز پردازنده ها و مدارهای پردازش سیگنالهای دیجیتال می باشند. بدین ترتیب تلاش های زیادی به منظور بهینه سازی این مدارها صورت پذیرفته است. یک تمام جمع کننده دارای سه ورودی (A,B,C) و دو خروجی Sum و Carry می باشد. توابع ایجاد شده در یک تمام جمع کننده عبارتند از:

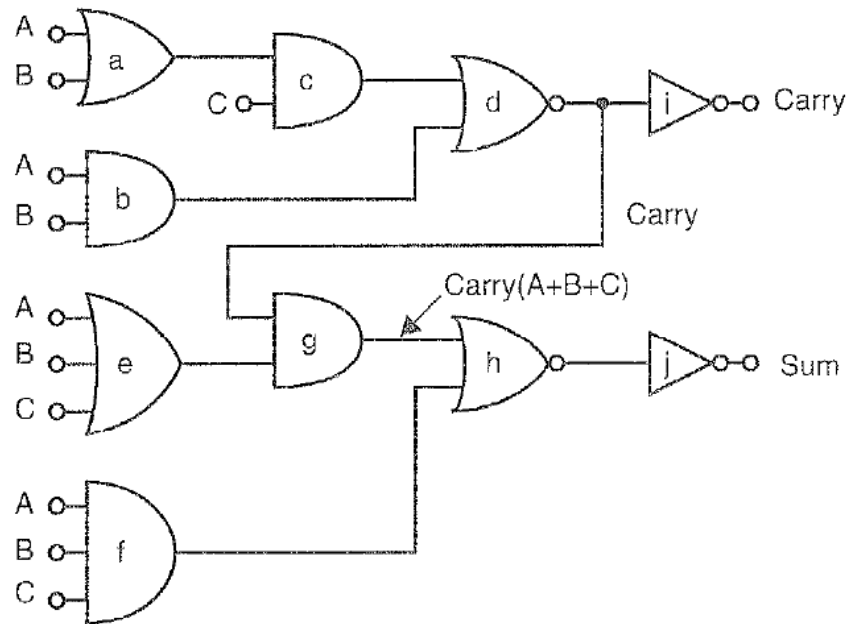
$$\text{Sum} = A \oplus B \oplus C = ABC + A\bar{B}\bar{C} + \bar{A}BC + \bar{A}\bar{B}C \quad (4.94)$$

و

$$\text{Carry} = AB + AC + BC = AB + C(A + B) \quad (4.95)$$

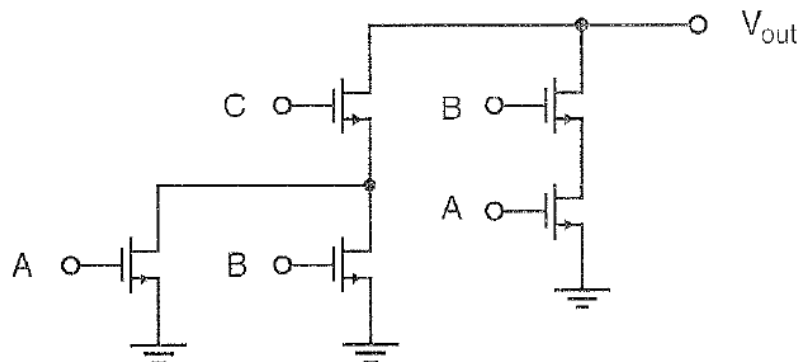
به عبارتی تابع sum یک گیت XOR سه ورودی می باشد و خروجی آن زمانی یک است که تعداد فردی از ورودی های آن یک باشند. تابع Carry زمانی یک می شود که دو ورودی آن یا بیشتر، یک باشند. شکل (۴-۳۲) بلوک دیاگرامی را

نشان می دهد که هر دو تابع را پیاده سازی نموده است. از آنجا که فقط چهار گیت معکوس کننده در این دیاگرام وجود دارد، تابع می تواند به وسیله چهار گیت CMOS ایجاد گردد. دو عدد از این گیت ها معکوس کننده هایی ساده هستند.



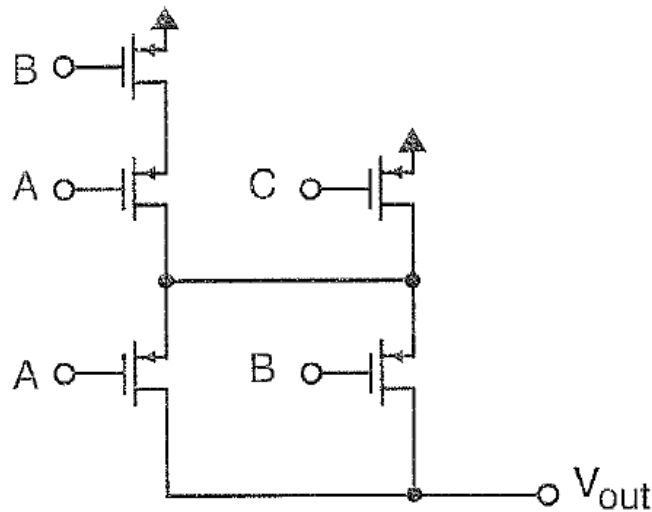
شکل ۳-۴. دیاگرام منطقی که یک تمام جمع کننده را پیاده سازی می کند.

اولین گیت پیچیده می تواند توابع گیت های منطقی a, b, c و d باشد. شبکه تحریک کانال n در شکل ۴،۳۳ نشان داده شده است که با استفاده از روشی که پیشتر در گیت های منطقی شبه NMOS استفاده شد به دست می آید.

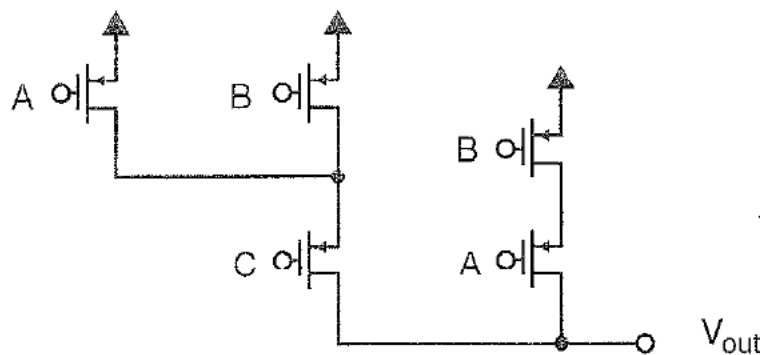


شکل ۴-۳۳. شبکه تحریک کانال n به منظور پیاده سازی گیت های a, b, c و d در شکل (۴-۳۲).

شبکه کانال p مکمل بدست آمده از روش ارائه شده در بخش ۱،۲ در شکل (۴-۳۴) نشان داده شده است. شکل (۴-۳۴) را می توان با توجه به این که شبکه کانال p شکل (۴-۳۵) تابع یکسانی را پیاده سازی می کند و در بدترین حالت تنها دو ترانزیستور سری دارد، ساده سازی نمود. این مورد و سایر ساده سازی ها اغلب امکان پذیر است. متأسفانه هیچ روند رسمی به منظور انجام این ساده سازی ها وجود ندارد.



شکل ۴-۳۴. شبکه کانال p مکمل شبکه کانال n نشان داده شده در شکل (۴-۳۳).



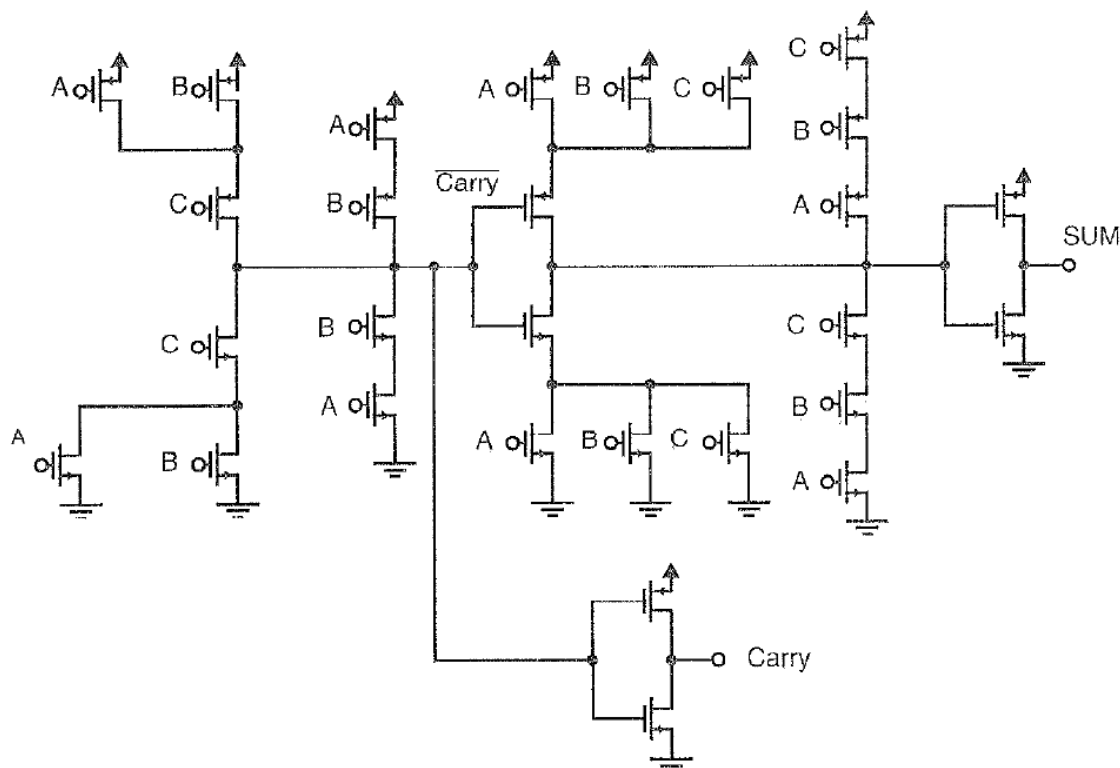
شکل ۴-۳۵. شبکه کانال p معادل با شبکه کانال p نشان داده شده در شکل (۴-۳۴).

به روش مشابه پیاده سازی CMOS گیت های منطقی e, f, g و h را می توان بدست آورده و ساده سازی نمود. پیاده سازی معکوس کننده های i و j نیز واضح است. پیاده سازی کامل یک سلول تمام جمع کننده در شکل (۴-۳۶) نشان داده شده است.

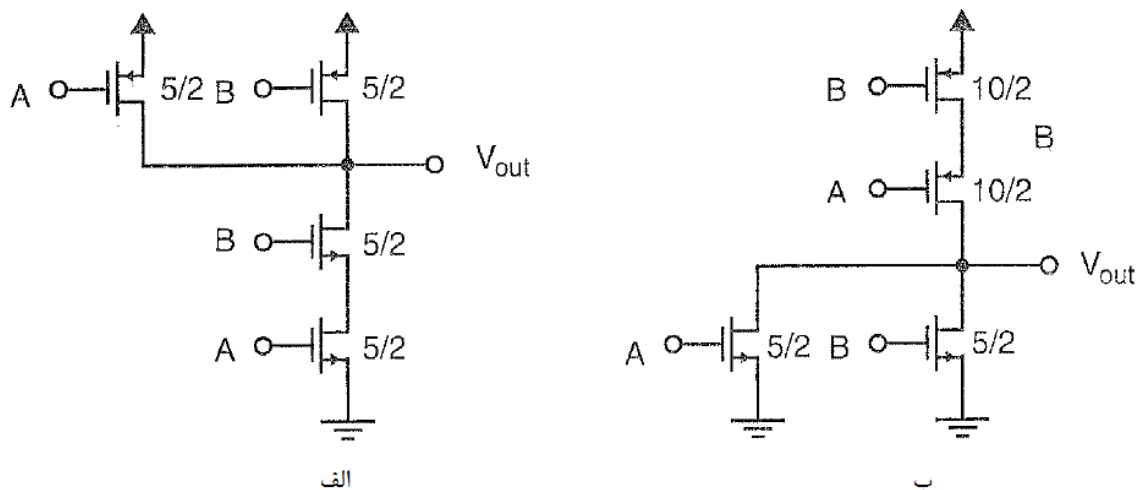
در گیت های منطقی CMOS سنتی هیچ روش دقیق و بهینه ای به منظور تعیین نسبت W/L ترانزیستورها وجود ندارد. گیت ها همواره مستقل از اندازه ه ترانزیستورهایشان عملکرد صحیحی از نظر منطقی خواهند داشت. هرچند از برخی روش های برگرفته از منطق NMOS به منظور تعیین نسبت W/L ترانزیستورها پیروی خواهد شد. اساساً هرگاه قرار بود تعدادی ترانزیستور به طور سری قرار گیرند، عریض تر در نظر گرفته خواهند شد. همچنین، نسبت W/L ترانزیستورهای شبکه کانال p گاهی اوقات بزرگتر از نسبت W/L ترانزیستورهای شبکه کانال n در نظر گرفته خواهند شد تا زمان های صعود و نزول مساوی را در خروجی داشته باشیم (به دلیل اختلاف میزان قابلیت تحرک در الکترون ها و حفره ها). در طراحی CMOS سنتی هرگاه طراح دارای آزادی عمل باشد، گیت های nand نسبت به گیت های nor ارجح هستند. چراکه گیت های nand دارای ترانزیستورهای کانال n سری هستند و ترانزیستورهای کانال p موازی هستند درحالی که در گیت های nor برعکس این مطلب صادق است. در هنگام طراحی زمان های صعود و نزول تقریباً مساوی، اندازه گیت

های nand اغلب به طور یکسان تعیین می گردد. در گیت های nor نسبت W/L ترانزیستورهای کانال p کاملاً بزرگ خواهند بود. برای مثال، شکل (۴-۳۷ الف و ب) پیاده سازی های مرسوم گیت های nand و nor را با اندازه های مطلوب نشان می دهد. به نسبت های W/L کوچکتر در گیت nand دقت فرماید.

علی رغم داشتن W/L های مناسب تر، در هنگام تحریک بارهای خازنی بزرگ، بدترین حالت زمان صعود گیت nand و nor یکسان است.



شکل ۴-۳۶. یک پیاده سازی CMOS از تابع تمام جمع کننده.



شکل ۴-۳۷. گیت CMOS (الف) nand و (ب) nor به همراه نسبت W/L های فیزیکی.

در هنگام طراحی، پیاده سازی توابع به صورت and-or معمولاً نسبت به توابع or-and ارجحیت دارد چراکه توابع and-or با دو سطح از گیت ها and پیاده سازی می شوند اما گیت های or-and با دو سطح از گیت های nor پیاده سازی می شوند. این بدان معنی است که به هنگام ساده سازی در جدول کارنو، گروه بندی "۱" ها مطلوب تر از گروه بندی "۰" ها می باشد. البته این بیانات به صورت کلی صحیح نیست و تنها زمانی که فقط از گیت های nand یا nor استفاده می شود صحیح است و در سایر موارد باید تمامی حالت های ممکن را در بررسی نمود.

مثال ۴,۱۸

برای جدول صحت زیر و با استفاده از جدول کارنو، مدار مورد نظر را به صورت منطق CMOS سنتی پیاده سازی نمایید. پیاده سازی را با گروه بندی "۰" ها و همچنین با گروه بندی "۱" ها انجام دهید. همچنین اندازه های مناسب را تعیین نمایید. می توانید فرض کنید که ورودی ها به همراه مکمل آنها موجود است. توجه داشته باشید که "d" به معنای حالت بی اهمیت^۱ است.

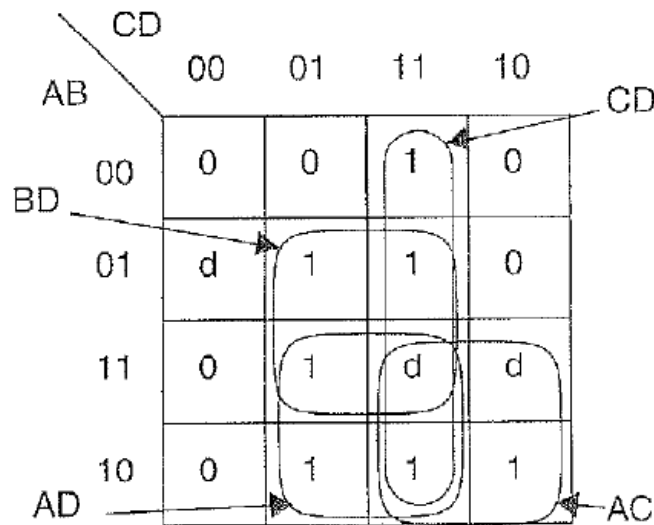
A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	d
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	d
1	1	1	1	d

پاسخ: جدول کارنو با گروه بندی "۱" ها در شکل (۴-۳۸) نشان داده شده است. با استفاده از روش های ساده سازی، تابع مورد نظر بصورت زیر است. پیاده سازی منطقی این تابع در شکل (۴-۴۰) نشان داده شده است. دقت کنید که

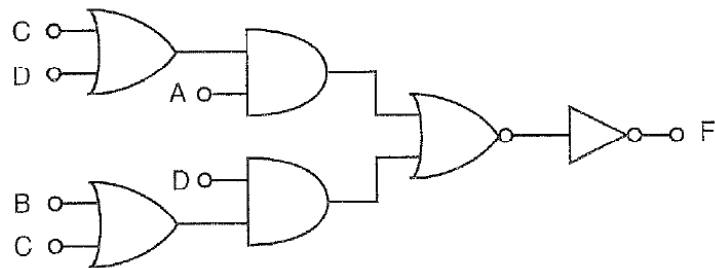
^۱ Don't Care

چگونه تنها یک گیت پیچیده منفرد و یک معکوس کننده به منظور پیاده سازی یک تابع کافی است به طوری که اگر روش های استاندارد ساده سازی جدول کارنو اجرا می شود، پنج گیت nand لازم می داشت (که ۲۸ ترانزیستور نیاز دارد بر خلاف ۱۴ ترانزیستور مورد نیاز در شکل (۴-۴۰)). همچنین اندازه ترانزیستورها در معکوس کننده باید بزرگتر می شد تا بتواند بارهای بزرگتری را در خروجی تحریک نماید.

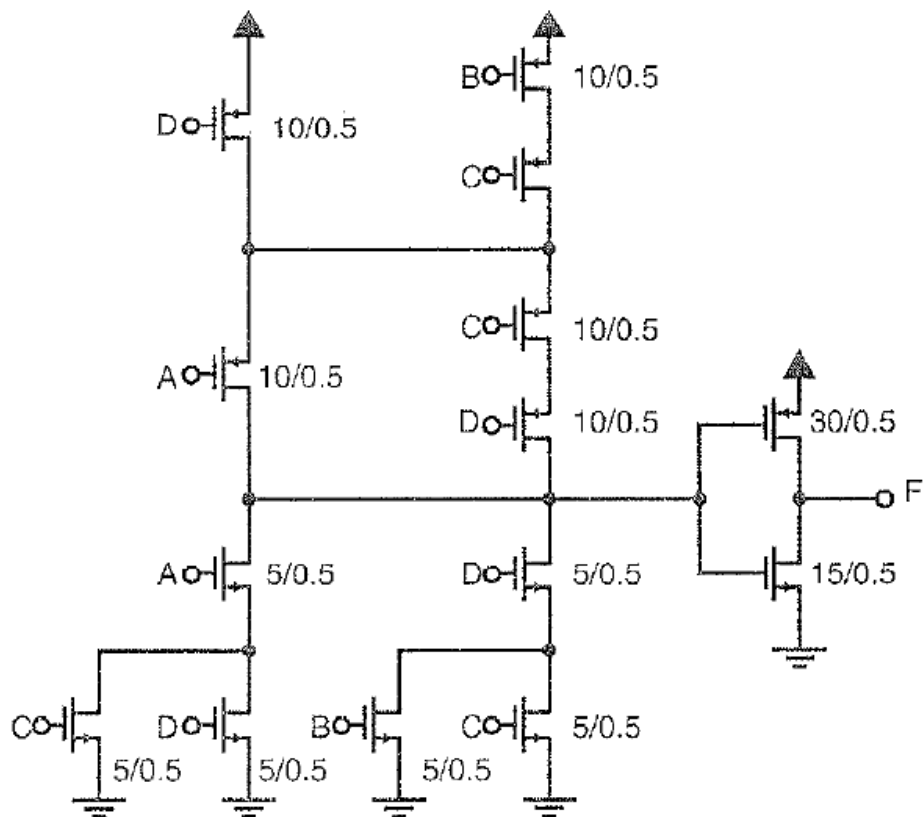
$$F = AC + AD + BD + CD = A(C + D) + D(B + C) \quad (4.96)$$



شکل ۴-۳۸. جدول کارنو مربوط به جدول صحت مثال ۴، ۱۸.



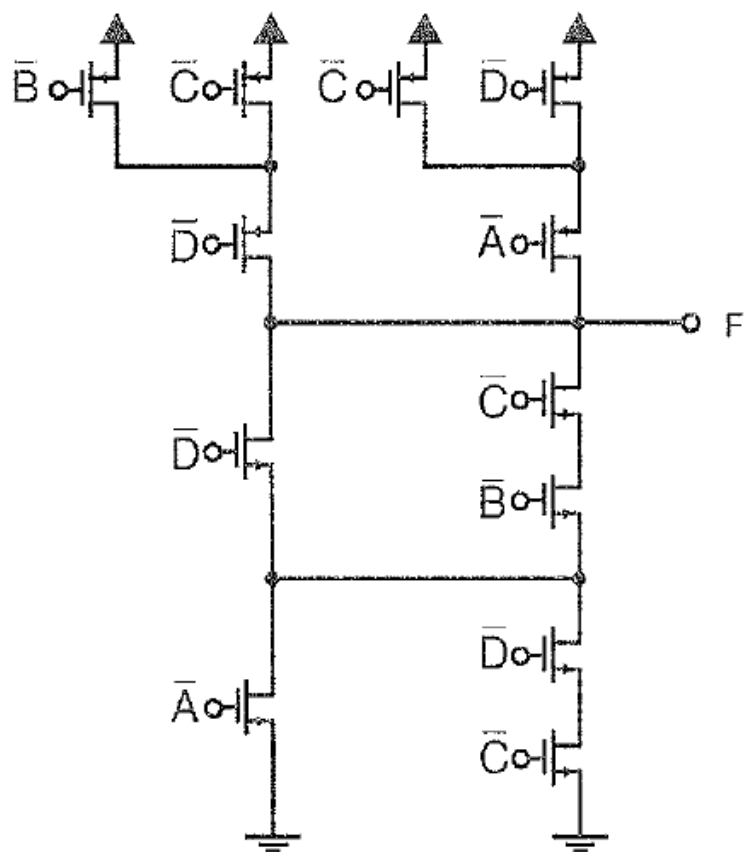
شکل ۴-۳۹. پیاده سازی در سطح منطقی جدول صحت مربوط به مثال ۴، ۱۸.



شکل ۴-۴۰. پیاده سازی CMOS مدار منطقی شکل (۴-۳۹).

با استفاده از قانون دمورگان، رابطه (۴-۹۶) را می توان به صورت رابطه (۴-۹۷) نوشت.

$$\begin{aligned}
 F &= \overline{A(C+D)} + D(B+C) \\
 &= \overline{A(C+D)}D(B+C) \\
 &= (\overline{A} + \overline{(C+D))}(\overline{D} + (B+C)) \\
 &= (\overline{A} + \overline{D}\overline{C})(\overline{D} + BC)
 \end{aligned}
 \tag{4.97}$$



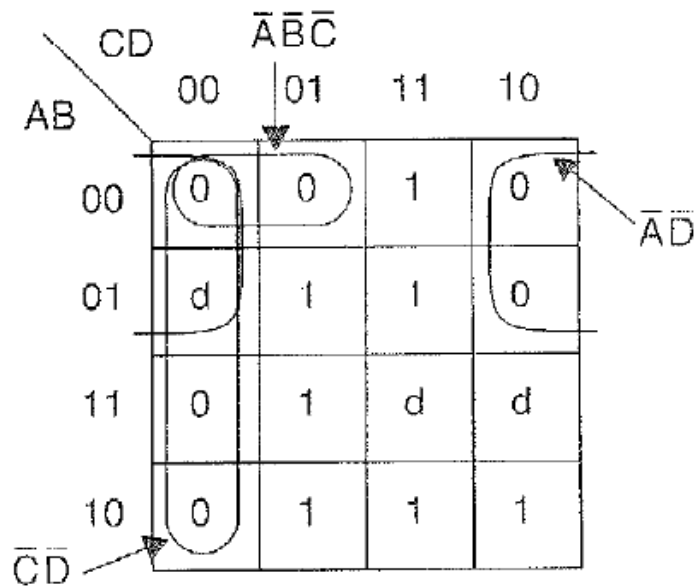
شکل ۴-۴۱. پیاده سازی مکمل تابع منطقی شکل (۴-۴۰).

این تابع را می توان با یک گیت CMOS ساده به صورت شکل (۴-۴۱) پیاده سازی نمود. توجه داشته باشید که این گیت مکمل مدار CMOS شکل (۴-۴۰) است. یعنی ترانزیستورهای کانال n و p جایگزین شده اند، تمامی ورودی ها مکمل شده اند و خروجی معکوس شده است. به طور عمومی این تبدیل مکمل را می توان در هر گیت CMOS سنتی اعمال نمود بدون اینکه تابع مورد نظر تغییری داشته باشد. این تکنیک برخی اوقات در حذف وارون سازی ها در مدارهای محاسباتی مفید است. با گروه بندی "۰" ها جدول کارنو به صورت شکل (۴-۴۲) خواهد شد. این جدول تابع رابطه (۴-۹۸) را پیاده سازی می نماید که معادل است با رابطه (۴-۹۹).

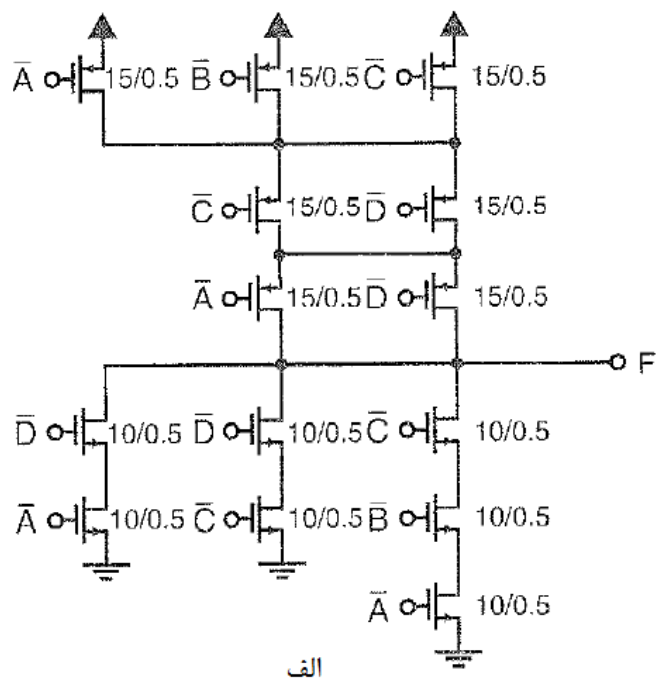
$$\bar{F} = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{D} + \bar{C}\bar{D} \quad (4.98)$$

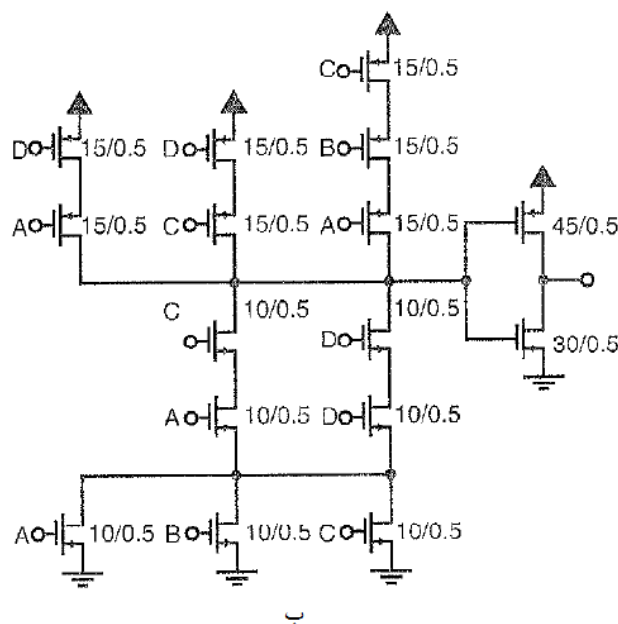
$$F = (A + B + C)(A + D)(C + D) \quad (4.99)$$

این تابع را می توان با گیت های nor پیاده سازی نمود. به روشی دیگر، روابط (۴-۹۸) و (۴-۹۹) را می توان با هر یک از مدارهای CMOS نشان داده شده در شکل (۴-۴۳ الف و ب) پیاده سازی نمود.



شکل ۴-۴۲. جدول کارنو با گروه بندی "۰" ها.





شکل ۴-۴۳. پیاده سازی CMOS مدار منطقی شکل (۴-۳۹) بدست آمده از جدول کارنو با گروه بندی "۰" ها.

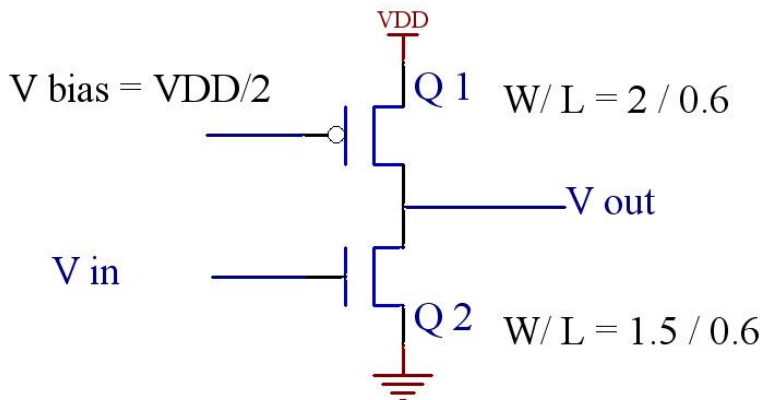
مجدداً دقت نمایید که مدارها مکمل هستند. یک روش دیگر نیز این است که شبکه های کانال n شکل (۴-۴۰) و (۴-۴۱) را با به جا نماییم یا شبکه های کانال n شکل (۴-۴۱) و (۴-۴۳ الف) را با به جا نماییم. این که کدام روش مطلوب تر است بستگی دارد به کاربردها و فرضیاتی از قبیل دسترس پذیری مکمل ورودی ها و میزان باری که قرار است در خروجی تحریک شود. احتمالاً مدار شکل (۴-۴۳ ب) در بسیاری از کاربردهای عمومی مناسب تر باشد، چراکه نیازی به ورودی های مکمل ندارد. همچنین بافر معکوس کننده در خروجی موجب می شود که بارهای خازنی بزرگتر با سرعت بیشتری تحریک شوند. اگر معکوس ورودی ها موجود باشد (که تنها می تواند از لچ هایی که دارای خروجی های تفاضلی می باشند ممکن می باشد)، آنگاه مدار شکل (۴-۴۱) دارای این مزیت است که دارای ترانزیستورهای کمتری می باشد و فقط دو ترانزیستور کانال p سری می باشد.

در پایان باید بیان شود که منطق CMOS سنتی اغلب به تعداد ترانزیستورهای بیشتری نسبت به منطق NMOS نیاز دارد. البته این مشکلی بود که منطق CMOS سنتی در ابتدا با آن مواجه بود اما تکنیک های طراحی امروزی منطق CMOS این تفاوت ها را کاهش داده است. به عنوان مثال می توان به طراحی بر اساس گیت های انتقالی^۱ اشاره نمود که در فصل بعد به آن خواهیم پرداخت.

مسائل

۴-۱ برای معکوس کننده شبه NMOS شکل زیر V_{th} را بدست آورید.

^۱ Transmission Gate



پاسخ :

طبق تعریف، ولتاژ ترشلد گیت (V_{th}) ولتاژی است که در آن $V_{in} = V_{out}$ داریم:

$$V_{DD} = 3.3v$$

$$V_{bias} = \frac{V_{DD}}{2} = 1.65v$$

$$V_{th} : V_{in} = V_{out}$$

اگر $V_{in} = V_{out}$ باشد آنگاه، Q_2 در ناحیه اشباع است زیرا با تعیین جهت نامساوی در شرط اشباع یا خطی بودن ترانزیستور

داریم:

$$(V_{GS} - V_m) < (V_{DS})$$

با جایگذاری $V_{GS} = V_{DS} = V_{th}$ خواهیم داشت:

$$(V_{th} - V_m) < (V_{th})$$

بنابراین ترانزیستور Q_2 در ناحیه اشباع است.

حال فرض کنید ترانزیستور Q_1 در ناحیه اشباع باشد. آنگاه معادلات جریان را برای هر دو ترانزیستور و در ناحیه های کاری معین

شده می نویسیم. داریم:

پس داریم :

$$I_{D_1} = \frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{DD} - V_m)^2$$

$$I_{D_2} = \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 \left(\frac{V_{DD}}{2} - |V_{tp}|\right)^2$$

$$\Rightarrow V_{th} = V_m + \sqrt{\frac{\mu_p \times \left(\frac{W}{L}\right)_2}{\mu_n \times \left(\frac{W}{L}\right)_1}} \times \left(\frac{V_{DD}}{2} + V_{tp}\right)$$

$$\Rightarrow V_{th} = 0.7 + \sqrt{\frac{\left(\frac{50}{C_{ox}}\right) \frac{\mu A}{v^2} \times \left(\frac{2}{0.6}\right)}{\left(\frac{190}{C_{ox}}\right) \frac{\mu A}{v^2} \times \left(\frac{1.5}{0.6}\right)}} \times \left(\frac{3.3}{2} - 0.8\right) = 0.7 + 0.59 \times 0.85 = 1.2v$$

حال برای اثبات و یا رد فرض خود مبنی بر اشباع بودن ترانزیستور Q_1 ، جهت نامساوی را در شرط اشباع یا خطی بودن ترانزیستور بررسی می نماییم:

$$(V_{SG} - |V_{tp}|)(V_{SD})$$

با جایگذاری مقادیر پارامتری خواهیم داشت:

$$\left(V_{DD} - \frac{V_{DD}}{2} - |V_{tp}|\right)(V_{DD} - V_{th})$$

با جایگذاری مقادیر عددی بدست می آوریم:

$$\left(3.3 - \frac{3.3}{2} - 0.8\right) < (3.3 - 1.2)$$

بنابراین، فرض اشباع بودن ترانزیستور Q_1 ثابت شد.

نکته: در حل این تمرین توانستیم نشان دهیم که هر ترانزیستور کانال n یا کانال p از نوع افزایشی با $V_{DG} = 0$ در ناحیه اشباع خواهد بود.

۴-۲ برای شکل مسئله قبل V_{OL} را بدست آورید.

پاسخ:

$$V_{in} = 1 \Rightarrow V_{GS1} = V_{DD} = 3.3v$$

بنابراین Q_1 کاملاً روشن است بنابراین ولتاژ خروجی بسیار کوچک خواهد بود. پس به سادگی می توان گفت که Q_2 در ناحیه اشباع است و به صورت یک منبع جریان عمل می کند.

$$I_{D2} = I_L \cong \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (v_{eff-2})^2$$

همچنین چون V_{out} کوچک است پس V_{SD1} نیز کوچک است $(V_{GS} - V_{th})$ و Q_1 کاملاً در ناحیه خطی (خطی) است.

$$I_{D2} = I_L \cong \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (v_{eff-2})^2$$

و

$$r_{ds1} = \frac{1}{\mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{DD} - V_{th})}$$

و بنابراین :

$$V_{OL} = I_{D-2} \times r_{ds-1} = \frac{1}{2} \times \frac{\mu_p}{\mu_n} \times \frac{\left(\frac{V_{DD}}{2} + V_{tp}\right)^2}{(V_{DD} - V_{tn})} \times \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}$$

$$V_{OL} = \frac{1}{2} \times \frac{\left(\frac{50}{C_{OX}}\right) \frac{\mu A}{v^2}}{\left(\frac{190}{C_{OX}}\right) \frac{\mu A}{v^2}} \times \frac{\left(\frac{3.3}{2} - 0.8\right)^2 v^2}{(3.3 - 0.7)v} \times \frac{\left(\frac{2}{0.6}\right)}{\left(\frac{1.5}{0.6}\right)}$$

$$= \frac{1}{2} \times \frac{120.41}{1235} v \Rightarrow V_{OL} = 4.86 \times 10^{-2} v$$

۴-۳ برای شکل مسئله ۴-۱ بهره را در $V_{IN} = V_{th}$ بدست آورید. فرض کنید V_{th} از مسئله ۴-۱ بدست آمده است.

پاسخ :

بهره در $V_{IN} = V_{th}$:

همان طور که می دانیم هر دو ترانزیستور در $V_{IN} = V_{th}$ در ناحیه اشباع هستند و طبق روابط

$$g_{m-1} = \mu_n \times C_{OX} \times \left(\frac{W}{L}\right) (V_{GS} - V_{tn}) = \mu_n \times C_{OX} \times \left(\frac{W}{L}\right) \times V_{eff}$$

و

$$\frac{V_{OUT}}{V_{IN}} = \frac{-g_{m-1}}{\frac{1}{r_{ds-1}} + \frac{1}{r_{ds-2}}}$$

داریم :

$$g_{m-1} = \mu_n \times C_{OX} \times \left(\frac{W}{L} \right)_1 (V_{IN} - V_{tn})$$

$$gain = \frac{V_{OUT}}{V_{IN}} = \frac{-g_{m-1}}{\frac{1}{r_{ds-1}} + \frac{1}{r_{ds-2}}} \Rightarrow gain = -g_{m-1} \times (r_{ds-1} || r_{ds-2})$$

$$r_{ds} = \frac{1}{\lambda \times I_D}$$

$$r_{ds-1} = \frac{1}{\lambda_n \times I_{D-1}}$$

$$r_{ds-2} = \frac{1}{\lambda_p \times I_{D-2}}$$

$$\begin{cases} \lambda_n = 0.06(\Omega A)^{-1} \\ \lambda_p = 0.065(\Omega A)^{-1} \end{cases}$$

$$I_{D-1} = I_{D-2} = 59.375 \mu A$$

$$r_{ds-1} = \frac{1}{0.06(\Omega A)^{-1} \times 59.375 \mu A} = \frac{10^6}{3.5625} \Omega = 280 k\Omega$$

$$r_{ds-2} = \frac{1}{0.065(\Omega A)^{-1} \times 59.375 \mu A} = \frac{10^6}{3.8594} \Omega = 259 k\Omega$$

$$g_{m-1} = 190 \frac{\mu A}{V^2} \times \left(\frac{1.5}{0.6} \right) (1.2 - 0.7) V = 237.5 \frac{\mu A}{V}$$

$$(r_{ds-1} || r_{ds-2}) = 134.55 k\Omega$$

$$\Rightarrow gain = -237.5 \times 10^{-6} \Omega^{-1} \times 134.55 \times 10^3 \Omega = -31.95$$

۴-۴ برای معکوس کننده شبه NMOS نشان داده شده در شکل مسئله ۱-۴ زمان صعود^۱ را تخمین بزنید. فرض کنید $C_L = 75 fF$ است.

پاسخ:

$$C_L = 75 fF$$

^۱ rise time

در خلال زمان Q_1 rise time 70 % ، خاموش خواهد بود و بنابراین قابل صرف نظر است. Q_2 به طور اولیه در ناحیه اشباع است و به طور تقریبی جریانی برابر با I_{D-2} دارد:

$$I_{D-2} = \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (v_{eff-2})^2 =$$

$$\frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 \left(\frac{V_{DD}}{2} + V_{tp}\right)^2$$

این مطلب تا زمانی درست خواهد بود که $V_{out} = 2.55v$ شود. به دلیل این که خروجی باید به $2.3v$ برسد تا 70 % تغییر داشته باشد، Q_2 در خلال زمان Q_2 rise time 70 % ، در ناحیه اشباع باقی خواهد ماند. بنابراین I_{D-2} در مقدار داده شده توسط رابطه فوق ثابت خواهد ماند. داریم:

$$t_{+70\%} = \frac{C_L}{I_{D-2}} \times \Delta V_{out} = \frac{C_L}{\frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 \left(\frac{V_{DD}}{2} + V_{tp}\right)^2} \times (2.3 - 0) =$$

$$\frac{2 \times C_L \times 2.3}{\mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 \left(\frac{V_{DD}}{2} + V_{tp}\right)^2} = \frac{2 \times 75 \times 10^{-15} F \times 2.3v}{50 \frac{\mu A}{v^2} \times \left(\frac{2}{0.6}\right) \times \left(\frac{3.3}{2} - 0.8\right)^2 v^2}$$

$$= \frac{346 \times 10^{-15} Fv}{120.42 \mu A} = 2.87 \times 10^{-9} s = 2.87 ns$$

۴-۵ برای معکوس کننده شبه NMOS نشان داده شده در شکل مسئله ۱-۴ زمان نزول^۱ را تخمین بزنید. فرض کنید $C_L = 75 fF$ است. سعی کنید تقریباً جریان load را در این لحظه برای Q_2 حساب کنید.

پاسخ:

$$V_{out(\infty)} = V_{OL} = I_{D-2} \times r_{ds-1} = \frac{1}{2} \times \frac{\mu_p}{\mu_n} \times \frac{\left(\frac{V_{DD}}{2} + V_{tp}\right)^2}{(V_{DD} - V_{tn})} \times \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}$$

¹ fall time

$$V_{OL} = \frac{1}{2} \times \frac{\left(\frac{50}{C_{OX}}\right) \frac{\mu A}{v^2}}{\left(\frac{190}{C_{OX}}\right) \frac{\mu A}{v^2}} \times \frac{\left(\frac{3.3}{2} - 0.8\right)^2 v^2}{(3.3 - 0.7)v} \times \frac{\left(\frac{2}{0.6}\right)}{\left(\frac{1.5}{0.6}\right)}$$

$$= \frac{1}{2} \times \frac{120.41}{1235} v \Rightarrow V_{OL} = 4.866 \times 10^{-2} v \cong 0.05v$$

به طور اولیه Q_1 در ناحیه اشباع است چون $V_{SD_{-1}} > V_{GS_{-1}} - V_{tn}$ ($V_{out} \geq 3.3 - 0.8v \Rightarrow V_{out} \geq 2.5v$). این حالت زمانی رخ می دهد که خروجی تا میزان $2.6v$ دشارژ شده باشد (برای $V_{tn} = 0.7v$). سپس Q_1 در بیشتر مدت زمان نزول، وارد ناحیه خطی می شود. با استفاده از رابطه

$$t_{-70\%} = t_f = R_{tr} \times C_L \times Ln \left(\frac{V_{out(\infty)} - V_{out(t_1)}}{V_{out(\infty)} - V_{out(t_2)}} \right)$$

داریم:

$$\frac{1}{190 \frac{\mu A}{v^2} \left(\frac{1.5}{0.6}\right) (3.3 - 0.7)v} \times 75 \times 10^{-15} F \times 1.08 =$$

$$\frac{1}{1235 \frac{\mu A}{v}} \times 81 \times 10^{-15} F = 6.56 \times 10^{-2} \times 10^{-15} \times 10^6 = 0.0652 ns$$

۴-۶ یک گیت شبه NMOS طراحی کنید که تابع $OUT = X_1(\overline{X_2} + X_2 X_3)$ را پیاده سازی کند. با فرض $L_{min} = 0.5 \mu m$ ابعاد قابل قبول را محاسبه کنید.

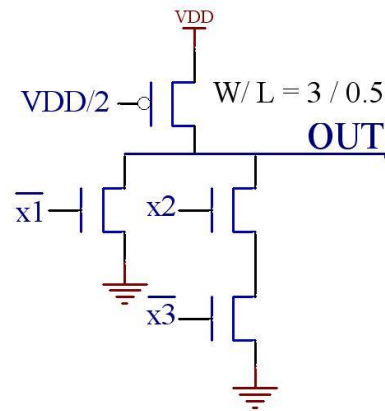
پاسخ:

$$OUT = X_1(\overline{X_2} + X_2 X_3)$$

$$\rightarrow \begin{cases} OUT = X_1(\overline{X_2} + X_3) \\ \overline{OUT} = \overline{X_1} + (\overline{X_2 X_3}) \end{cases}$$

$$\overline{OUT} = \overline{X_1(\overline{X_2} + X_2 X_3)} = \overline{X_1} + \overline{(\overline{X_2} + X_2 X_3)} = \overline{X_1} + (X_2(\overline{X_2 X_3}))$$

$$\overline{OUT} = \overline{X_1} + (X_2(\overline{X_2} + \overline{X_3})) = \overline{X_1} + X_2 \overline{X_2} + X_2 \overline{X_3} = \overline{X_1} + X_2 \overline{X_3}$$

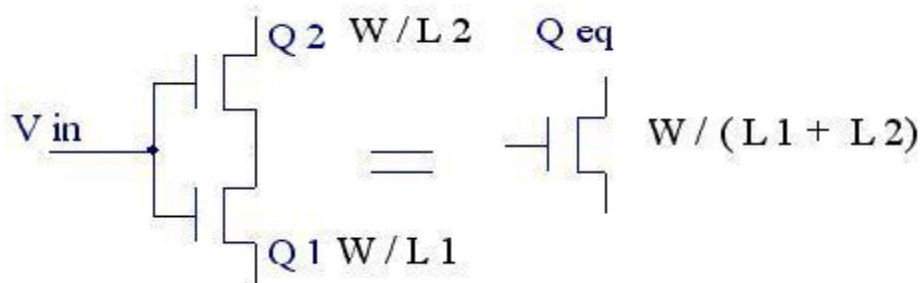


انتخاب معمول ابعاد باید به صورت $\left(\frac{W}{L}\right)_{pu} = 2 \times \left(\frac{W}{L}\right)_{pd}$ باشد. بنابراین:

$$\overline{X_1} : \frac{3}{0.5} = 2 \times \left(\frac{W}{L}\right)_{\overline{X_1}} \Rightarrow \left(\frac{W}{L}\right)_{\overline{X_1}} = \frac{1.5}{0.5}$$

$$X_2 \text{ و } \overline{X_3} : \frac{3}{0.5} = 2 \times \left(\frac{W}{L+L}\right) \Rightarrow \frac{3}{0.5} = 2 \times \left(\frac{W}{2L}\right) \Rightarrow \left(\frac{W}{L}\right)_{X_2 \text{ و } \overline{X_3}} = \frac{3}{0.5}$$

۴-۷ ثابت کنید همان طور که در شکل نشان داده شده است، دو ترانزیستور سری با W های یکسان اما L های متفاوت، معادل یک ترانزیستور واحد است که L آن معادل مجموع L های آن دو ترانزیستور است. فرض کنید Q_2 در ناحیه خطی است و همچنین از اثر بدنه صرف نظر کنید.



پاسخ:

فرض کنید هر دو ترانزیستور Q_1 و Q_2 در ناحیه خطی هستند.

$$V_{GS_2} = V_{GD_1} = V_{GS_1} - V_{DS_1}$$

$$V_{DS_2} + V_{DS_1} = V_{DS}$$

$$V_{DS_2} = V_{DS} - V_{DS_1}$$

$$I_{D_1} = \mu \times C_{OX} \times \frac{W}{L_1} \left[(V_{GS_1} - V_t) \times V_{DS_1} - \frac{V_{DS_1}^2}{2} \right] =$$

$$\mu \times C_{OX} \times \frac{W}{L_1} \left[V_{GS_1} \times V_{DS_1} - V_t \times V_{DS_1} - \frac{V_{DS_1}^2}{2} \right]$$

و

$$I_{D_2} = \mu \times C_{OX} \times \frac{W}{L_2} \left[(V_{GS_2} - V_t) \times V_{DS_2} - \frac{V_{DS_2}^2}{2} \right] =$$

$$\mu \times C_{OX} \times \frac{W}{L_2} \left[(V_{GS_1} - V_{DS_1} - V_t) \times V_{DS_2} - \frac{V_{DS_2}^2}{2} \right] =$$

$$\mu \times C_{OX} \times \frac{W}{L_2} \left[(V_{GS_1} - V_t) \times V_{DS_2} - V_{DS_1} \times V_{DS_2} - \frac{V_{DS_2}^2}{2} \right] =$$

$$\mu \times C_{OX} \times \frac{W}{L_2} \left[V_{GS_1} \times V_{DS_2} - V_t \times V_{DS_2} - V_{DS_1} \times V_{DS_2} - \frac{V_{DS_2}^2}{2} \right]$$

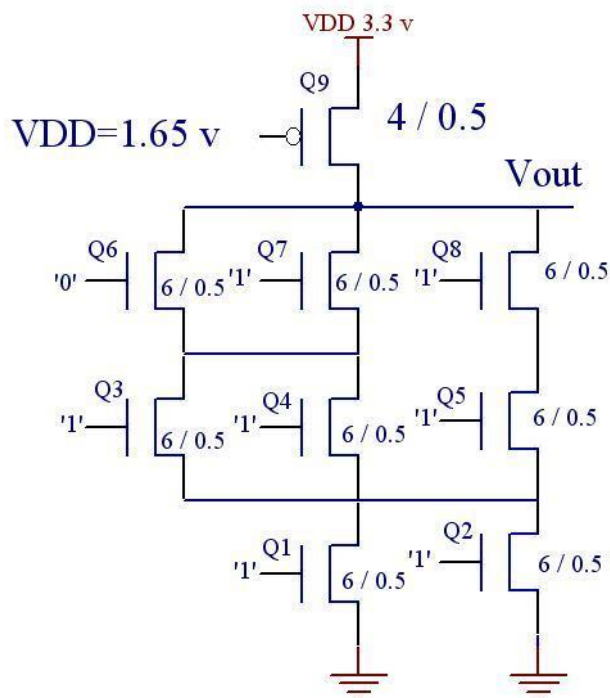
داریم:

$$I_{D_1} = I_{D_2}$$

$$\Rightarrow \mu \times C_{OX} \times \frac{W}{L_1} \left[V_{GS_1} \times V_{DS_1} - V_t \times V_{DS_1} - \frac{V_{DS_1}^2}{2} \right] =$$

$$\mu \times C_{OX} \times \frac{W}{L_2} \left[V_{GS_1} \times V_{DS_2} - V_t \times V_{DS_2} - V_{DS_1} \times V_{DS_2} - \frac{V_{DS_2}^2}{2} \right]$$

۴-۸ با استفاده از مفهوم مقاومت ها و یا ادمیتانس های معادل شبکه شکل زیر را بصورت یک مقاومت نشان دهید.



پاسخ :

از Q_6 می توان صرف نظر کرد زیرا ولتاژ ورودی آن صفر است. سپس Q_3 که با Q_4 موازی است می تواند معادل ادمیتانس scale شده G_1 باشد به طوری که :

$$G_1 = \left(\frac{W}{L} \right)_3 + \left(\frac{W}{L} \right)_4 = \frac{6}{0.5} + \frac{6}{0.5} = \frac{12}{0.5} = 24$$

G_1 با Q_7 سری است که معادل است با مقاومت scale شده R_2 که :

$$R_2 = \frac{1}{G_1} + \left(\frac{L}{W} \right)_7 = \frac{1}{24} + \frac{0.5}{6} = \frac{1+2}{24} = \frac{3}{24} = \frac{1}{8}$$

Q_5 با Q_8 سری است که معادل است با مقاومت scale شده R_3 که :

$$R_3 = \left(\frac{L}{W} \right)_5 + \left(\frac{L}{W} \right)_8 = \frac{0.5}{6} + \frac{0.5}{6} = \frac{1}{6}$$

R_3 که با R_2 موازی است می تواند معادل ادمیتانس scale شده G_4 باشد به طوری که :

$$G_4 = \left(\frac{W}{L} \right)_{R_2} + \left(\frac{W}{L} \right)_{R_3} = \frac{8}{1} + \frac{6}{1} = \frac{14}{1} = 14$$

Q_1 که با Q_2 موازی است می تواند معادل ادمیتانس scale شده G_5 باشد به طوری که :

$$G_5 = \left(\frac{W}{L} \right)_1 + \left(\frac{W}{L} \right)_2 = \frac{6}{0.5} + \frac{6}{0.5} = \frac{12}{0.5} = 24$$

G_4 با G_5 سری است که معادل است با مقاومت scale شده R_6 که :

$$R_6 = \left(\frac{L}{W}\right)_{G4} + \left(\frac{L}{W}\right)_{G5} = \frac{1}{14} + \frac{1}{24}$$

$$\Rightarrow \frac{L}{W} = \frac{1}{8.85} = 0.113$$

$$R_{eq} = \frac{2.5}{\mu_n \times C_{OX} \times \frac{W}{L} (V_{DD} - V_{tn})} = \frac{L}{W} \times \frac{2.5}{190 \frac{\mu A}{V^2} \times (3.3 - 0.7)V} =$$

$$0.113 \times \frac{2.5}{190 \frac{\mu A}{V^2} \times (2.6)V} = \frac{5.72 \times 10^{-4}}{10^{-6}} \Omega = 5.72 \times 10^2 \Omega = 572 \Omega$$

۴-۹ برای مسئله قبل ولتاژ خروجی پائین (V_{OL}) را تخمین بزنید. همچنین fall time 70 % را با فرض خازن load مساوی 80 fF بدست آورید.

پاسخ:

$$I_{D-9} = \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_9 \left(V_{SG} - |V_{tp}|\right)^2 =$$

$$\frac{50 \mu A}{2} \times \frac{4}{V^2} \times \frac{1}{0.5} \times (3.3 - 1.65 - 0.8)^2 V^2 = 144.5 \mu A$$

$$V_{OUT-0} = I_{D-9} \times \left(\frac{R_{eq}}{2.5}\right)$$

برای شبکه پایین بر^۱، R_{eq} مقاومت در ناحیه اشباع و $\frac{R_{eq}}{2}$ مقاومت در ناحیه خطی است و همان طور که می دانیم برای

ولتاژها پائین V_{out} ، ترانزیستور معادل شبکه پایین بر در ناحیه خطی است.

$$\Rightarrow V_{OUT-0} = 144.5 \mu A \times 572 \Omega = 83 mV$$

¹ pull-down

$$t_{-70\%} = R_{eq} \times C_L \times \ln \left(\frac{V_{out}(\infty) - 3.3}{V_{out}(\infty) - 1} \right)$$

$$V_{out}(\infty) = V_{OL} = \frac{1}{2} \times \frac{\mu_p}{\mu_n} \times \frac{\left(\frac{V_{DD}}{2} + V_{tp} \right)^2}{(V_{DD} - V_{tn})} \times \frac{\left(\frac{W}{L} \right)_9}{\left(\frac{W}{L} \right)_{eq}}$$

$$V_{OL} = \frac{1}{2} \times \frac{\left(\frac{50}{C_{OX}} \right) \frac{\mu A}{v^2}}{\left(\frac{190}{C_{OX}} \right) \frac{\mu A}{v^2}} \times \frac{\left(\frac{3.3}{2} - 0.8 \right)^2 v^2}{(3.3 - 0.7)v} \times \frac{\left(\frac{4}{0.5} \right)}{\left(\frac{8.85}{1} \right)}$$

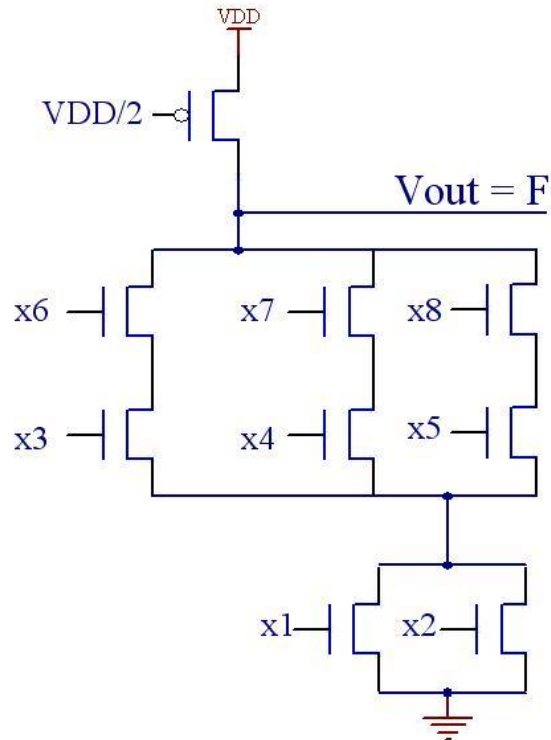
$$\Rightarrow V_{OL} = 0.033v$$

$$t_{-70\%} = 572\Omega \times 80 \times 10^{-15} F \times \ln \left(\frac{0.033 - 3.3}{0.033 - 1} \right) = 0.56 \times 10^{-12} s$$

$$\Rightarrow t_{-70\%} = 0.56 ps$$

۴-۱۰ چه تابع منطقی با مدار شکل مسئله ۴-۸ پیاده سازی شده است؟ فرض کنید در هر Q_i ورودی X_i باشد.

پاسخ:



$$\overline{F} = (X1 + X2)((X3 + X4)(X6 + X7) + X5X8)$$

$$F = \overline{(X1 + X2)((X3 + X4)(X6 + X7) + X5X8)}$$

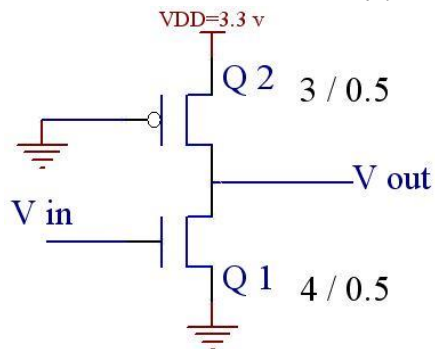
$$F = \overline{X1.X2} + \overline{((X3 + X4)(X6 + X7) + X5X8)}$$

$$F = \overline{X1.X2} + \overline{(X3 + X4)(X6 + X7).X5X8}$$

$$F = \overline{X1.X2} + \overline{((X3 + X4) + (X6 + X7))(X5 + X8)}$$

$$F = \overline{X1.X2} + (\overline{X3.X4} + \overline{X6.X7})(\overline{X5 + X8})$$

۴-۱۱ برای معکوس کننده شبه NMOS زیر V_{th} و V_{OL} را بدست آورید.



پاسخ:

همان طور که می دانیم هر گونه ترانزیستور افزایشی با $V_{DG} = 0$ در ناحیه اشباع قرار دارد. فرض کنید ترانزیستور Q2 در ناحیه خطی باشد. بنابراین:

$$I_{D-2} = \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 \left(\left(V_{SG} - |V_{tp}| \right) - \frac{1}{2} V_{SD} \right) \times V_{SD} =$$

$$\mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 \left(V_{DD} - 0 - |V_{tp}| \right) =$$

$$50 \frac{\mu A}{v^2} \times \frac{3}{0.5} \times \left[(3.3 - 0.8)v - \frac{1}{2} (3.3 - V_{th}) \right] (3.3 - V_{th}) v^2 =$$

$$300 \left(2.5 - 1.65 + \frac{V_{th}}{2} \right) (3.3 - V_{th}) = 300 \left(0.85 + \frac{V_{th}}{2} \right) (3.3 - V_{th}) \mu A$$

$$I_{D-1} = \frac{\mu_n \times C_{OX}}{2} \times \left(\frac{W}{L}\right)_1 \left(V_{SG} - V_{tp} \right)^2 =$$

$$\frac{190}{2} \frac{\mu A}{v^2} \times \left(\frac{4}{0.5} \right) \left(V_{th} - 0.7 \right)^2 v^2 = 760 \times \left(V_{th} - 0.7 \right)^2 \mu A$$

$$I_{D-1} = I_{D-2}$$

$$\Rightarrow 760 \times \left(V_{th} - 0.7 \right)^2 = 300 \left(0.85 + \frac{V_{th}}{2} \right) (3.3 - V_{th})$$

$$\Rightarrow 76 \times \left(V_{th}^2 - 1.4V_{th} + 0.49 \right) = 30 \times \left(2.805 - 0.85V_{th} + 1.65V_{th} - \frac{V_{th}^2}{2} \right)$$

$$\Rightarrow 76V_{th}^2 - 106.4V_{th} + 37.24 = 84.15 - 24V_{th} - 15V_{th}^2$$

$$\Rightarrow 91V_{th}^2 - 82.4V_{th} - 46.91 = 0$$

$$V_{th} = \frac{82.4 \pm \sqrt{(82.4)^2 + 4(91)(46.91)}}{182} = 1.301v$$

حال شرط $(V_{SG} - |V_{tp}|) \geq (V_{SD})$ را بررسی می نماییم. با جایگذاری مقادیری عددی مشاهده می شود که:

$$3.3 - 0 - 0.8 > 3.3 - 1.2$$

بنابراین فرض خطی بودن کنید ترانزیستور Q2 ثابت می شود. برای محاسبه مقدار V_{OL} داریم $V_{in} = V_{DD}$ و همچنین در این

حالت می دانیم که خروجی V_{out} ناچیز است. با بررسی شرط $(V_{SG} - |V_{tp}|) \geq (V_{SD})$ در می یابیم که کنید ترانزیستور Q2 در

ناحیه اشباع می باشد. بنابراین داریم:

$$I_{D-2} = \frac{50}{2} \frac{\mu A}{v^2} \times \frac{3}{0.5} \times (3.3 - 0 - 0.8)^2 v^2 =$$

$$150 \times (2.5)^2 = 937.5 \mu A$$

$$r_{ds-1} = \frac{1}{190 \frac{\mu A}{V^2} \times \left(\frac{4}{0.5}\right) (3.3 - 0.7)V} = \frac{10^6 V}{3952 A} = 253.036 \Omega$$

$$\Rightarrow V_{OL} = I_{D-2} \times r_{ds-1} = 937.5 \mu A \times 253.036 \Omega = 237221.6599 \mu V \approx 237 mV$$

۴-۱۲ برای شکل مسئله قبل 70 % rise time و 70 % fall time را بدست آورید. فرض کنید $C_L = 60 fF$ باشد.

پاسخ:

با استفاده از معادله

$$t_{+70\%} = \frac{C_L}{I_{D-2}} \times \Delta V_{out}$$

$$= \frac{C_L}{\mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 \left[(V_{SG} - |V_{tp}|) - \frac{V_{SD}}{2} \right] V_{SD}} \times (2.3 - 0)$$

و

$$\left(\frac{W}{L}\right)_2 = \frac{3}{0.5}$$

$$\mu_p \times C_{OX} = 50 \frac{\mu A}{V^2}$$

$$V_{tp} = -0.8V$$

$$V_{DD} = 3.3V$$

$$C_L = 60 fF$$

داریم:

$$t_{+70\%} = \frac{60 \times 10^{-15} F \times 2.3}{50 \frac{\mu A}{V^2} \times \frac{3}{0.5} \times (3.3 - 0.8)V - 2.3} = \frac{276 \times 10^{-15}}{300 \times (0.35)^2 \mu A} = 1.273 \times 10^{-9} s$$

$$\Rightarrow t_{+70\%} = 1.273 ns$$

اگر $V_{SD} > V_{SG} - |V_{tp}|$ آنگاه Q_2 در ناحیه اشباع خواهد بود یعنی $3.3 - V_{out} > 3.3 - 0 - 0.8$ در نتیجه $V_{out} > 3.3 - 3.3 + 0.8 = 0.8$ بنابراین پس Q_2 در ناحیه اشباع قرار دارد. یا برعکس اگر $V_{out} < 0.8$ آنگاه Q_2 در ناحیه خطی خواهد بود.

در خلال زمان 70% rise time، V_{out} از $V_{OL} = 0.237V$ به $V_{OL} = 2.31V$ تغییر می کند. بنابراین در بیشتر این زمان $V_{out} > 0.8$ خواهد بود. بنابراین فرض می کنیم که Q_2 در خلال زمان 70% rise time در ناحیه خطی قرار دارد:

$$V_{SD-2} = 3.3 - x$$

$$0.237 \leq x \leq 2.3$$

$$\Rightarrow 1 \leq V_{SD-2} \leq 3.063$$

$$t_{+70\%} = \frac{60 \times 10^{-15} F \times 2.3}{300 \frac{\mu A}{V^2} \times \left[2.5 - \frac{V_{DS}}{2} \right] V_{DS}} = \begin{cases} \text{if } V_{DS} = 1 \Rightarrow t_{+70\%} = 0.23ns \\ \text{if } V_{DS} = 3.063 \Rightarrow t_{+70\%} = 0.2099ns \end{cases}$$

بنابراین:

$$t_{+70\%} = 0.23ns$$

Q_1 به طور اولیه در ناحیه اشباع است تا زمانی که $V_{DS-1} < V_{GS-1} - V_{tn}$ یعنی $V_{out} < 3.3 - 0.7$. این زمانی رخ می دهد که خروجی تا $2.6V$ دشارژ شده باشد (برای $V_{tn} = 0.7V$). سپس Q_1 در بیشتر زمان fall time وارد منطقه خطی می شود.

با استفاده از رابطه :

$$R_{eq} = \frac{2}{\mu_n \times C_{OX} \times \left(\frac{W}{L} \right)_1 (V_{DD} - V_{tn})} = \frac{2}{190 \frac{\mu A}{V^2} \times \frac{4}{0.5} (3.3 - 0.7)V}$$

$$= 506\Omega$$

داریم:

$$t_{-70\%} = R_{eq} \times C_L \times \ln \left(\frac{V_{out}(\infty) - V_{out}(t_1)}{V_{out}(\infty) - V_{out}(t_2)} \right) =$$

$$506 \times 60 \times 10^{-15} \ln \left(\frac{0.237 - 3.3}{0.237 - 1} \right) = 4.22 \times 10^{-11} = 0.0422ns$$

۱۳-۴ برای شکل مسئله ۱۱-۴ بهره معکوس گر را در ولتاژ ترشلد گیت بدست آورید.

پاسخ :

همان طور که می دانیم V_{th} تقریباً نصف power supply است. برای Q_2 داریم :

$$V_{SD} = 3.3 - V_{th} = 3.3 - 1.3 = 2V$$

و

$$V_{SG} - |V_{tp}| = (3.3 - 0) - 0.8 = 2.5V$$

$$\Rightarrow \frac{V_{SD}}{2} < \frac{V_{SG} - |V_{tp}|}{2.5}$$

بنابراین Q_2 در ناحیه خطی است.

برای Q_1 داریم:

$$V_{DG} = V_{th} - V_{th} = 0v$$

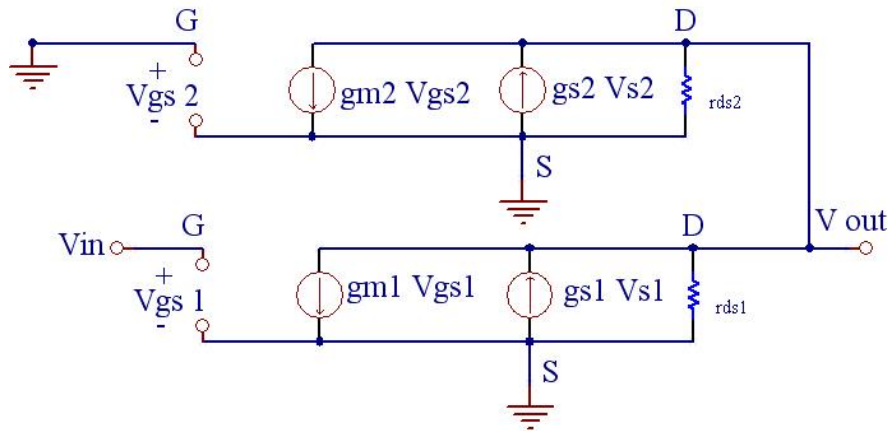
بنابراین Q_1 در ناحیه اشباع قرار دارد.

$$\frac{V_{OUT}}{V_{IN}} = A_{inv} = \frac{-g_{m1}}{g_{s2} + g_{ds1} + g_{ds2}} \quad \text{معادله ۴-۱۴}$$

آورید.

پاسخ:

$$\frac{V_{OUT}}{V_{IN}} = A_{inv} = \frac{-g_{m1}}{g_{s2} + g_{ds1} + g_{ds2}} = \frac{-g_{m1}}{g_{s2} + \frac{1}{r_{ds1}} + \frac{1}{r_{ds2}}}$$



برای ترانزیستورهای نوع تهی داریم:

$$V_{DS} = 3.3 - V_{th} \approx \frac{V_{DD}}{2} v$$

$$V_{th} \approx \frac{V_{DD}}{2}$$

$$\Rightarrow V_{DS} = 3.3 - \frac{V_{DD}}{2} = 1.65v < 2v$$

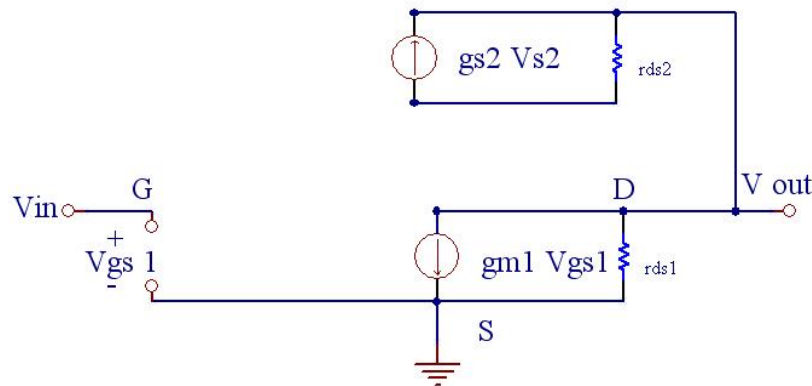
$$V_{GS} - V_{td} = 0 - V_{td}$$

$$\Rightarrow 0 - (-2) = 2$$

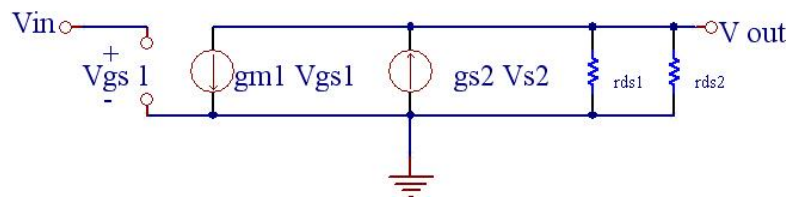
$$V_{s-2} = V_{th} \neq 0$$

$$V_{GS-2} = 0$$

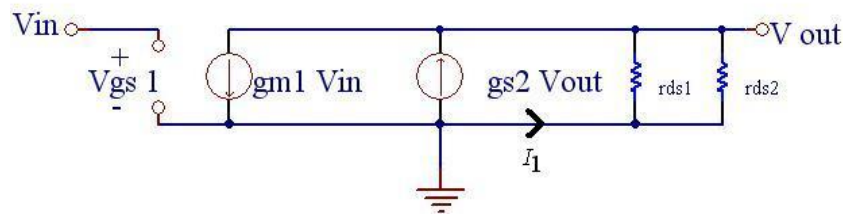
می توانیم مدل را به شکل زیر ساده کنیم:



بنابراین:



در نتیجه:



$$I_1 + g_{s-2} \times V_{out} = g_{m-1} \times V_{in}$$

$$\Rightarrow I_1 = g_{m-1} \times V_{in} - g_{s-2} \times V_{out}$$

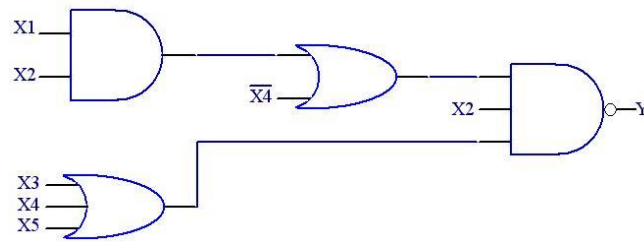
$$-V_{out} = (r_{ds-1} \parallel r_{ds-2}) \times I_1 =$$

$$(r_{ds-1} \parallel r_{ds-2}) (-g_{s-2} \times V_{out} + g_{m-1} \times V_{in})$$

$$\Rightarrow (r_{ds-1} \parallel r_{ds-2}) (g_{m-1} \times V_{in}) = [(r_{ds-1} \parallel r_{ds-2}) \times g_{s-2} - 1] \times V_{out}$$

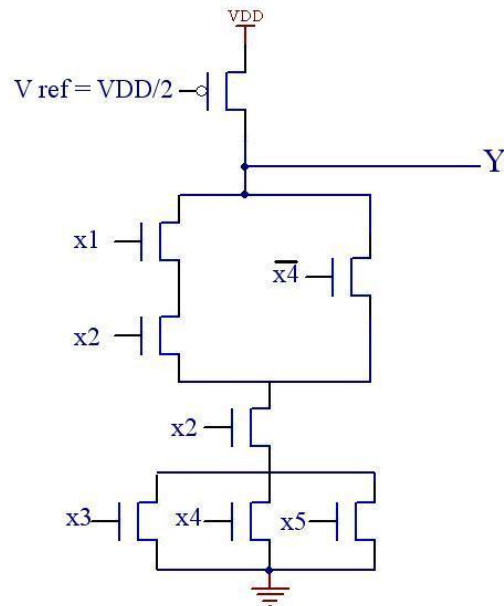
$$\Rightarrow \frac{V_{out}}{V_{in}} = \frac{(r_{ds-1} \parallel r_{ds-2}) \times (g_{m-1})}{(r_{ds-1} \parallel r_{ds-2}) \times (g_{s-2} - 1)} = \frac{g_{m-1}}{g_{s-2} - \frac{1}{(r_{ds-1} \parallel r_{ds-2})}}$$

۴-۱۵ مدار شکل زیر را با استفاده از منطق شبه NMOS پیاده سازی کنید.

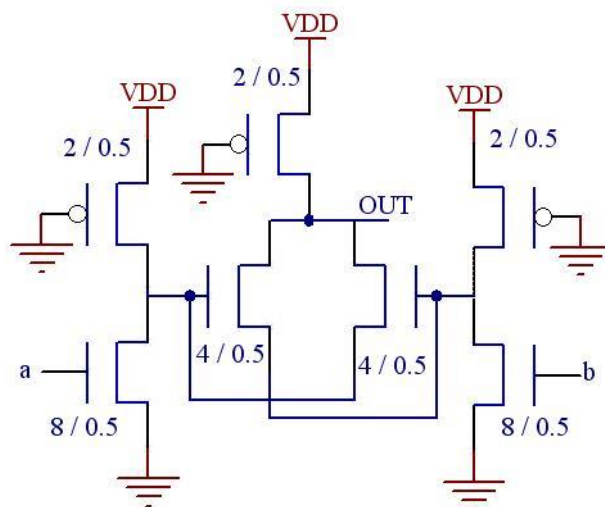


پاسخ:

$$Y = \overline{(X_1 X_2 + \overline{X_4})} X_2 (X_3 + X_4 + X_5)$$



۴-۱۶ مدار شکل زیر چه تابع منطقی را پیاده سازی می کند؟

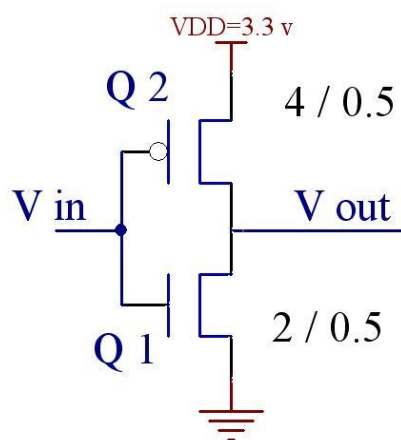


پاسخ:

این تابع یک گیت xnor را پیاده سازی می کند:

a	b	out
0	0	1
0	1	0
1	0	0
1	1	1

۱۷-۴ برای معکوس کننده CMOS شکل زیر V_{th} را بدست آورید.



پاسخ:

همان طور که می دانیم در ولتاژ ترشلد، هر دو ترانزیستور در ناحیه اشباع هستند. بنابراین داریم:

$$I_{D_2} = \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_p (V_{SG} - |V_{tp}|)^2$$

$$I_{D_1} = \frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_n (V_{GS} - V_{tn})^2$$

$$I_{D_1} = I_{D_2}$$

$$\Rightarrow \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_p (V_{SG} - |V_{tp}|)^2 = \frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_n (V_{GS} - V_{tn})^2$$

$$\Rightarrow \frac{1}{2} \times 50 \frac{\mu A}{v^2} \times \left(\frac{4}{0.5}\right) (3.3 - V_{th} - 0.8)^2 v^2 = \frac{1}{2} \times 190 \frac{\mu A}{v^2} \times \left(\frac{2}{0.5}\right) (V_{th} - 0.7)^2$$

$$\Rightarrow 40(3.3 - V_{th} - 0.8)^2 = 76(V_{th} - 0.7)^2$$

$$\Rightarrow (2.5 - V_{th})^2 = 1.9(V_{th} - 0.7)^2$$

$$\Rightarrow 6.26 - 5V_{th} + V_{th}^2 = 1.9(0.49 - 1.4V_{th} + V_{th}^2)$$

$$\Rightarrow 0.9V_{th}^2 + 2.34V_{th} - 5.319 = 0$$

$$\Rightarrow V_{th} = \frac{-2.34 + \sqrt{(2.34)^2 - 4(0.9)(-5.319)}}{2 \times 0.9} = 1.456v$$

۴-۱۸ برای مدار شکل قبل V_{OL} را بدست آورید.

پاسخ:

زمانی که $V_{in} = high$ ترانزیستور PMOS قطع است و ترانزیستور NMOS روشن است. بنابراین ترانزیستور کانال n خروجی امپدانس پائین دارد و تمام بار موجود در خازن load می تواند از این مسیر به زمین دشارژ شود. بنابراین V_{OL} دقیقاً صفر ولت خواهد بود.

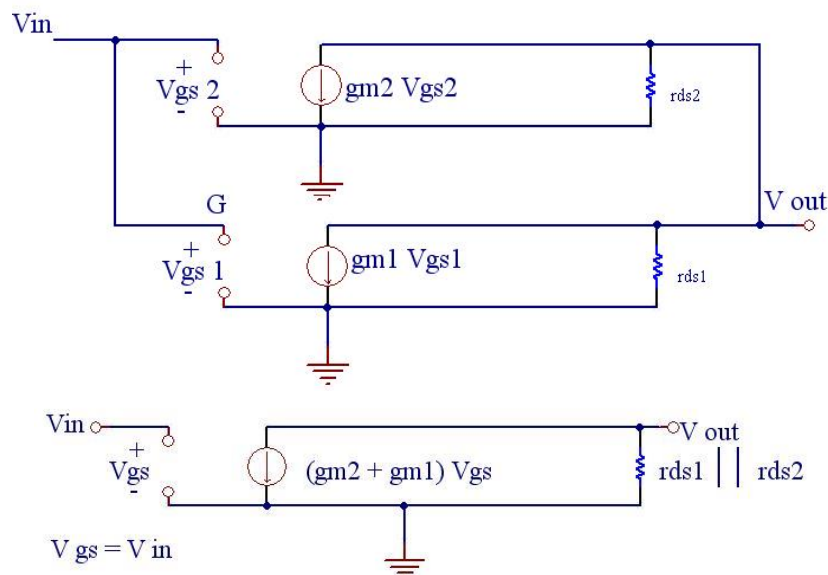
۴-۱۹ برای مدار شکل ۴-۱۷ در $V_{IN} = V_{th}$ بهره را حساب کنید. فرض کنید V_{th} همان است که از مسئله ۴-۱۷ بدست آوردید.

پاسخ:

می توانیم از مدل ترانزیستور در ناحیه اشباع استفاده کنیم چرا که در ولتاژ آستانه هر دو ترانزیستور در ناحیه اشباع قرار دارند.

$$V_{out} = - \left[(g_{m_1} + g_{m_2}) V_{in} \times (r_{ds_1} || r_{ds_2}) \right]$$

$$\Rightarrow Gain = \frac{V_{out}}{V_{in}} = -(g_{m_1} + g_{m_2}) \times (r_{ds_1} || r_{ds_2})$$



۴-۲۰ برای مدار شکل ۴-۱۷ زمان صعود را تخمین بزنید. فرض کنید $C_L = 125 \text{ fF}$ است.

پاسخ:

$$t_{+70\%} = 1.2 \times R_{eq-2} \times C_L$$

$$R_{eq-2} = \frac{2.5}{\mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (V_{DD} - |V_{tp}|)} = \frac{2.5}{50 \frac{\mu A}{V^2} \times \frac{4}{0.5} (3.3 - 0.8)V} =$$

$$\frac{2.5 \times 10^6 \Omega}{400 \times 2.5} = 2.5 k\Omega$$

$$t_{+70\%} = 1.2 \times 2.5 \times 10^3 \Omega \times 125 \times 10^{-15} F = 468.75 \times 10^{-12} s$$

$$\Rightarrow t_{+70\%} = 0.46875 ns$$

۴-۲۱ برای مدار شکل ۴-۱۷ زمان نزول را تخمین بزنید. فرض کنید $C_L = 125 \text{ fF}$ است.

پاسخ:

$$t_{-70\%} = 1.2 \times R_{eq-1} \times C_L$$

$$R_{eq_1} = \frac{2.5}{\mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{DD} - V_m)} = \frac{2.5}{190 \frac{\mu A}{v^2} \times \frac{2}{0.5} (3.3 - 0.7)v} =$$

$$\frac{2.5 \times 10^6 \Omega}{760 \times 2.6} = 1.265 k\Omega$$

$$t_{-70\%} = 1.2 \times 1.265 \times 10^3 \Omega \times 125 \times 10^{-15} F = 189.82 \times 10^{-12} s$$

$$\Rightarrow t_{-70\%} = 0.18982 ns$$

۴-۲۲ برای مدار شکل ۴-۱۷ اتلاف توان دینامیکی را بدست آورید. فرض کنید $C_L = 125 fF$ و فرکانس ورودی 125 MHz است.

پاسخ:

$$P_{dyn-avg} = C_L \times V_{DD}^2 \times f_{clk}$$

$$\Rightarrow P_{dyn-avg} = 125 \times 10^{-15} F \times (3.3)^2 \times 125 \times 10^6 Hz$$

$$= 1.701 \times 10^{-4} W$$

$$\Rightarrow P_{dyn-avg} \approx 0.17 mW$$

۴-۲۳ برای مدار شکل ۴-۱۷ اتلاف توان متوسط مسیر مستقیم را بدست آورید. فرض کنید $C_L = 125 fF$ و فرکانس ورودی 125 MHz است. از زمان صعود و نزول بدست آمده از مسایل ۴-۲۰ و ۴-۲۱ کمک بگیرید.

پاسخ:

$$P_{dp-avg} = V_{DD} \times I_{peak} \times \left(\frac{t_r + t_f}{2}\right) \times f_{clk}$$

$$I_{peak} = \frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right) (V_{th} - V_{tn})^2$$

$$I_{peak} = \frac{1}{2} \times 190 \frac{\mu A}{v^2} \times \frac{2}{0.5} (1.456 - 0.7)^2 v^2 = 217.184 \mu A$$

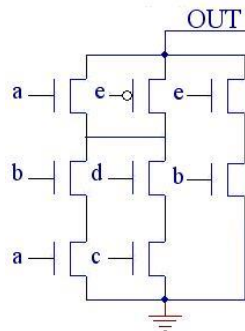
$$\Rightarrow P_{dp-avg} = 3.3v \times 217.184 \times 10^{-6} A \times \left(\frac{0.468 + 0.189}{2} ns\right) \times 125 \times 10^6 Hz =$$

$$2.942 \times 10^{-5} W$$

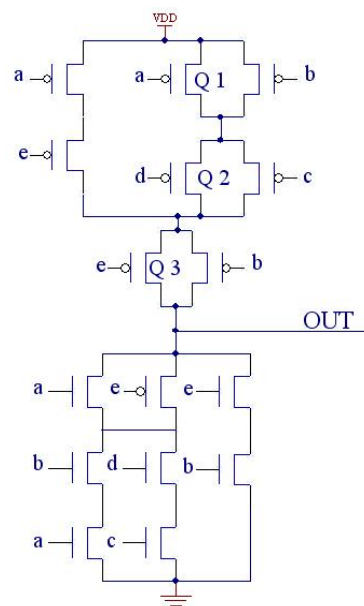
$$\Rightarrow P_{dp-avg} \approx 30 \mu W$$

۴-۲۴ شبکه مکمل کانال p را برای شبکه کانال n شکل زیر بدست آورید. چه تابع منطقی پیاده سازی شده است؟ برای سیگنال های $abcd = '0110'$ و با فرض اینکه سیگنال ورودی e از '1' به '0' تغییر می کند مقاومت معادل pull-up در خلال

تغییرات چیست؟ فرض کنید تمام ترانزیستورهای کانال p سایز $\frac{W}{L} = \frac{5\mu m}{0.5\mu m}$ دارند و ولتاژ منبع تغذیه 3.3 v است.



پاسخ:



$$OUT = \overline{(a + e)(ab + cd) + eb}$$

مقاومت معادل pull-up در خلال تغییر $abcde = '01101' \rightarrow '01100'$ که e از '1' به '0' تغییر می کند به صورت زیر محاسبه می شود:

$$\left(\frac{W}{L}\right)_p = \frac{5\mu m}{0.5\mu m}$$

$$V_{DD} = 3.3v$$

با استفاده از ترانزیستورهای معادل می توانیم فرض کنیم که Q معادل Q1 و Q2 و Q3 از سایز

$$\frac{W}{L_1 + L_2 + L_3} = \frac{5}{0.5 + 0.5 + 0.5} = \frac{5\mu m}{1.5\mu m} \text{ است.}$$

با استفاده از

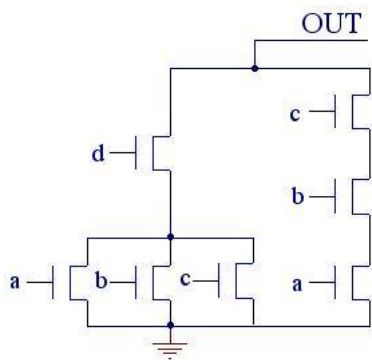
$$R = \frac{2.5}{\mu_n \times C_{OX} \times \left(\frac{W}{L}\right)(V_{DD} - V_{tn})}$$

داریم:

$$R_{eq} = \frac{2.5}{\mu_n \times C_{OX} \times \left(\frac{W}{L}\right)(V_{DD} - V_{tn})} =$$

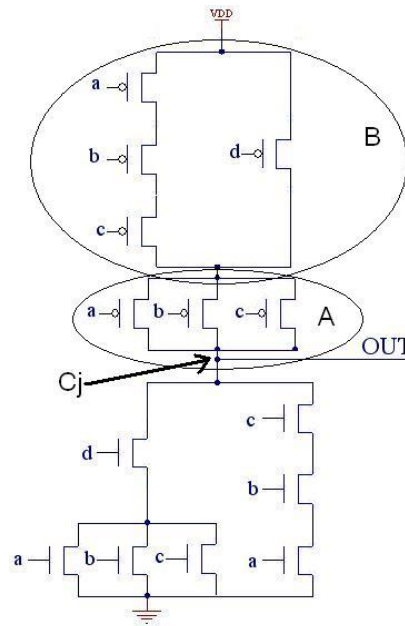
$$\frac{2.5}{190 \frac{\mu A}{V^2} \times \frac{5}{1.5} (3.3 - 0.7)V} \approx 1.5 k\Omega$$

۴-۲۵ مکمل کانال p را برای شبکه کانال n شکل زیر بدست آورید. شبکه ساده شده کانال p ای را نشان دهید که زمان صعود سریع تری داشته باشد.



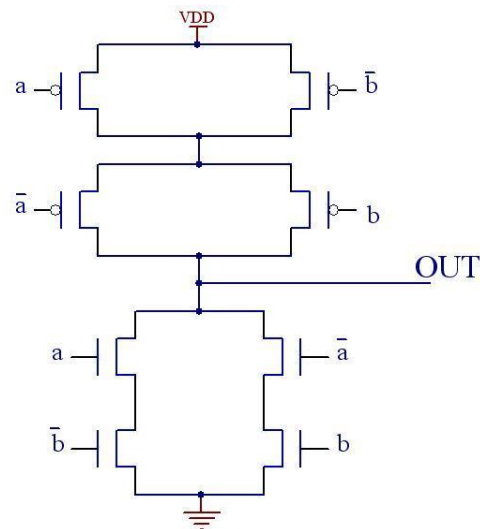
پاسخ:

اگر زیر شبکه های A و B را جا به جا کنیم زمان صعود کاهش خواهد یافت و تابع سریع تر عمل خواهد کرد چرا که خازن اتصال C_j کوچکتر خواهد شد.



۴-۲۶ یک گیت دو ورودی CMOS exclusive-nor طراحی کنید. خروجی این گیت باید زمانی '1' شود که تعداد زوجی از ورودی ها '1' باشند. فرض کنید ورودی ها و مکمل آنها موجود هستند. طراحی شما باید یک گیت منفرد باشد.
پاسخ:

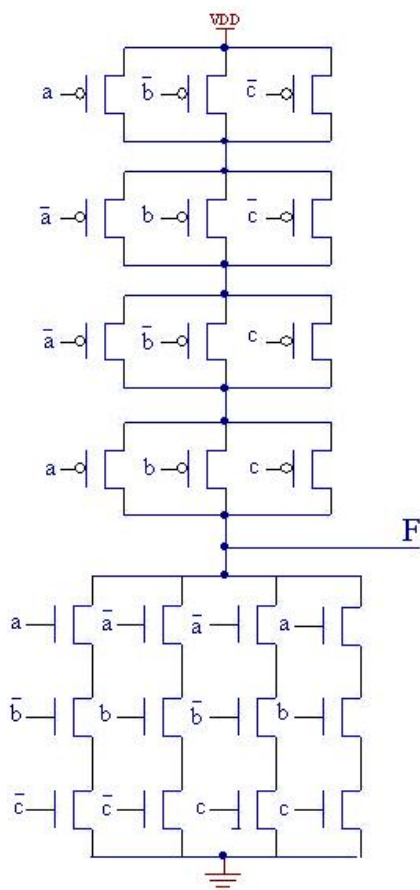
$$F = \overline{a \oplus b} = \overline{ab} + \overline{ab}$$



۴-۲۷ یک گیت سه ورودی CMOS exclusive-or طراحی کنید. خروجی این گیت باید زمانی '1' شود که تعداد فردی از ورودی ها '1' باشند. فرض کنید ورودی ها و مکمل آنها موجود هستند. طراحی شما باید تا حد ممکن ساده باشد. فرض کنید که از منطق CMOS سنتی استفاده شده است.

پاسخ:

$$\begin{aligned}
 F &= a \oplus b \oplus c = (a\bar{b} + \bar{a}b) \oplus c \\
 &= (a\bar{b} + \bar{a}b)\bar{c} + \overline{(a\bar{b} + \bar{a}b)}c \\
 &= a\bar{b}\bar{c} + \bar{a}b\bar{c} + (\bar{a}\bar{b} + ab)c \\
 &= a\bar{b}\bar{c} + \bar{a}b\bar{c} + \bar{a}bc + abc
 \end{aligned}$$



۲۹-۴ یک گیت CMOS طراحی کنید که تابع $OUT = \overline{X_1(X_2 + \overline{X_2}X_3)}$ را پیاده سازی کند. در صورت امکان

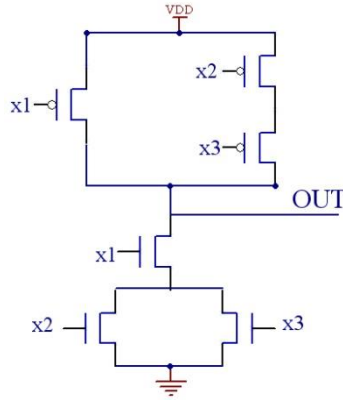
گیت را ساده کنید.

پاسخ:

ابتدا گیت ها را ساده می کنیم:

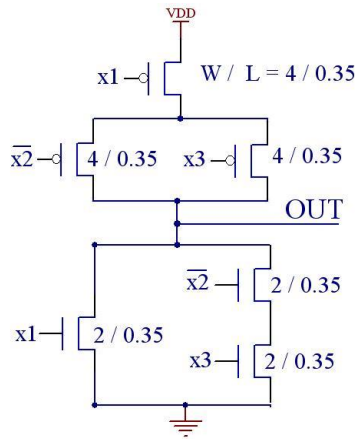
$$OUT = \overline{X_1(X_2 + \overline{X_2}X_3)} = \overline{X_1(X_2 + X_3)}$$

بنابراین مدار به شکل زیر در می آید:



۴-۳۰ یک گیت CMOS طراحی کنید که تابع $OUT = \overline{X_1 + \overline{X_2}(X_2 + X_3)}$ را پیاده سازی کند. در صورت امکان گیت را ساده کنید. ابعاد قابل قبول را محاسبه کنید. فرض کنید $L_{min} = 0.35\mu m$ باشد. پاسخ:

$$\begin{aligned} OUT &= \overline{X_1 + \overline{X_2}(X_2 + X_3)} \\ &= \overline{X_1 + \overline{X_2}X_3 + \overline{X_2}X_2} \\ &= \overline{X_1 + \overline{X_2}X_3} \end{aligned}$$



$$L_{min} = 0.35\mu m$$

گزینه قابل قبول این است که:

$$\left(\frac{W}{L}\right)_p = 2 \times \left(\frac{W}{L}\right)_n$$

۴-۳۱ جدول صحت زیر را با استفاده از منطق CMOS سنتی و گروه بندی '1' ها در جدول کارنو و کاهش آنها پیاده سازی کنید. فرض کنید برای تمام ترانزیستورهای کانال p داشته باشیم $\frac{W}{L} = \frac{6\mu m}{0.6\mu m}$. بدترین حالت مقاومت معادل شبکه تحریک کانال n زمانی که در خروجی از '1' به '0' گذر داشته باشیم چیست؟

<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>out</i>
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	<i>d</i>
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	<i>d</i>
1	1	1	0	1
1	1	1	1	1

پاسخ:

$$\left(\frac{W}{L}\right)_p = \frac{6\mu m}{0.6\mu m} \Rightarrow \left(\frac{W}{L}\right)_n = \frac{1}{2} \times \left(\frac{W}{L}\right)_p = \frac{3\mu m}{0.6\mu m}$$

		<i>c</i>			
		00	01	11	10
<i>a</i> {	00		1		1
	01	1	<i>d</i>		
	11		<i>d</i>	1	1
	10		1		1
		<i>d</i>			
		<i>b</i>			

$$F = \bar{c}d + \bar{a}b\bar{c} + abc + \bar{b}c\bar{d}$$

بدترین حالت برای ترانزیستورهای کانال n:

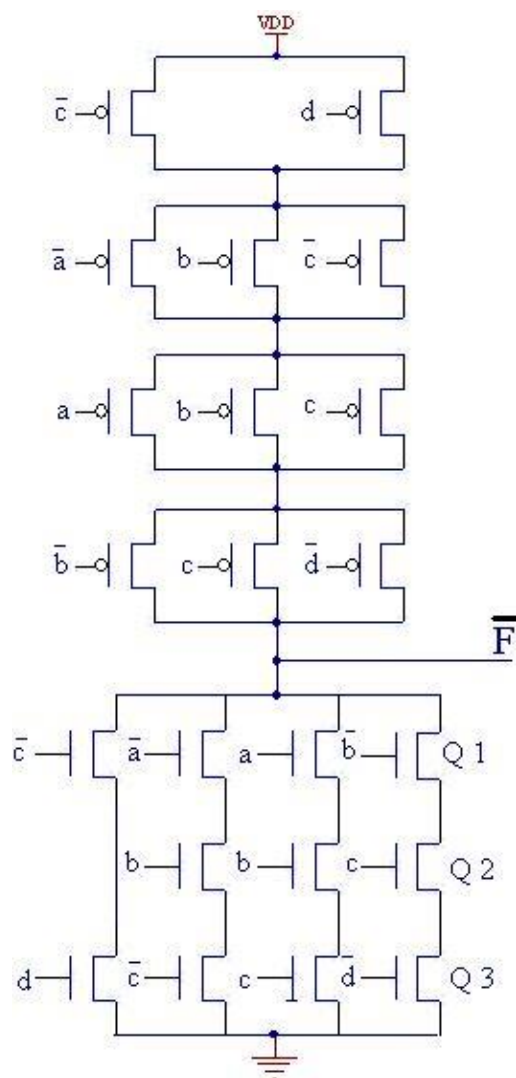
با استفاده از قضیه ترانزیستورهای معادل می توانیم فرض کنیم Q معادل Q_1 و Q_2 و Q_3 از ساینز

$$\frac{W}{L_1 + L_2 + L_3} = \frac{3}{0.6 + 0.6 + 0.6} = \frac{3\mu m}{1.8\mu m} \text{ است.}$$

$$R_{eq} = \frac{2.5}{\mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_n (V_{DD} - V_{tn})} =$$

$$\frac{2.5}{190 \frac{\mu A}{V^2} \times \frac{3}{1.8} (3.3 - 0.7)V} \Omega$$

$$\Rightarrow R_{eq} = 3k\Omega$$



۳۲- مسئله قبل را تکرار کنید اما طراحی خود را بر اساس گروه بندی '0' ها انجام دهید.
پاسخ- پاسخ را به عنوان تمرین بر عهده خواننده واگذار می نمایم.

۳۳- جدول صحت زیر را با استفاده از منطق CMOS سنتی و گروه بندی '0' ها در جدول کارنو و کاهش آنها پیاده سازی کنید. فرض کنید برای تمام ترانزیستورهای کانال $\frac{W}{L} = \frac{6\mu m}{0.6\mu m}$ می باشد. بدترین حالت مقاومت معادل شبکه تحریک کانال n زمانی که در خروجی از '0' به '1' گذر داشته باشیم چیست؟

<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>out</i>
0	0	0	0	0
0	0	0	1	<i>d</i>
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	<i>d</i>
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	<i>d</i>
1	1	1	0	0
1	1	1	1	0

پاسخ:

$$\left(\frac{W}{L}\right)_p = \frac{6\mu m}{0.6\mu m}$$

		c			
a {	cd \ ab	00	01	11	10
	00	0	d	0	
	01			d	0
	11		d	0	0
	10	0	0	0	
		d			

$$\overline{F} = ad + bcd + \overline{a}\overline{b}d + \overline{b}\overline{c}\overline{d}$$

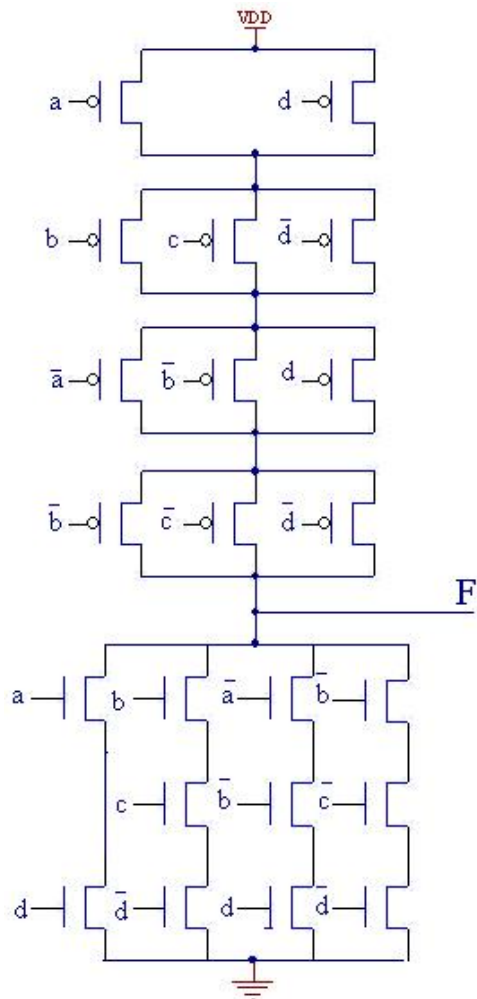
بدترین حالت :

مقاومت معادل در خلال تغییر از '0' به '1' در خروجی :

$$\text{فرض کنیم } Q \text{ معادل } Q_1 \text{ و } Q_2 \text{ و } Q_3 \text{ از سایز } \frac{6\mu m}{1.8\mu m} = \frac{6}{0.6+0.6+0.6} = \frac{W}{L_1+L_2+L_3} \text{ است.}$$

$$R_{eq} = \frac{2.5}{\mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_p (V_{DD} - |V_{tp}|)} =$$

$$\frac{2.5}{50 \frac{\mu A}{V} \times \frac{6}{1.8} (3.3 - 0.8)V} = 6k\Omega$$



۴-۳۴ مسئله قبل را تکرار کنید اما طراحی خود را بر اساس گروه بندی '1' ها انجام دهید.
جواب- پاسخ را به عنوان تمرین به عهده خواننده می گذاریم.

مسائل ۴-۳۵ الی ۴-۴۷ همگی کاملاً مرتبط با SPICE هستند و از آوردن آنها در این بخش خود داری می نمایم.