



فصل دوم

ترانزیستور های اثر میدانی و مدلسازی آنها

در این فصل مدل سازی و عملکرد ترانزیستورهای اثرمیدانی مورد بررسی قرار خواهد گرفت. امروزه طراحی بسیاری از مدارهای مجتمع دیجیتال، مبتنی بر این نوع ترانزیستور است.

ترانزیستور اثر میدانی

یکی دیگر از عناصر مهم استفاده شده در مدارات مجتمع ترانزیستور اثر میدانی یا FET^1 است. در این ترانزیستور مبنای کار برکنترل عبور جریان الکتریکی توسط یک میدان الکتریکی است. تقسیم بندی اولیه برای این قطعه دو مدل پایه را معرفی می نماید:

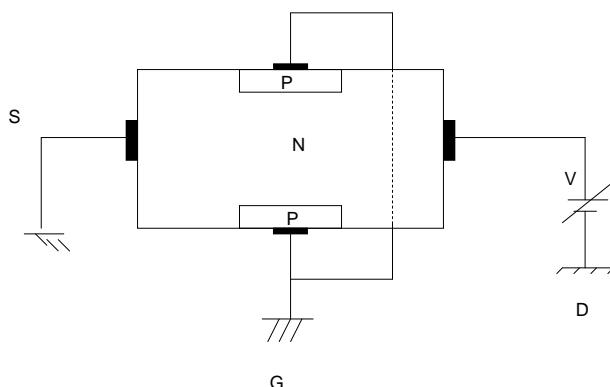
۱. ترانزیستور اثر میدان پیوندی (JFET)

۲. ترانزیستور اثر میدان نیمه هادی اکسید فلز (MOS FET)

در ابتدا عملکرد JFET را مرور می کنیم:

JFET مشابه BJT قطعه ای است سه سر که یک پایانه آن می تواند جریان بین دو پایانه دیگر را کنترل کند. شکل کلی آن به صورت زیر است:

شکل زیر یک قطعه ی pn است که در واقع ترانزیستور FET کانال n را تشکیل می دهد. دو انتهای بوسیله یک اتصال اهمی به پایانه ای به نام D (درین) و S (سورس) متصل است که از نظر ساختار تفاوتی باهم ندارند. این قطعه ی pn هرگز نباید هدایت (forward) شود و در بایاس معکوس نگه داشته می شود. بنابر این جریان ورودی آن همان جریان اشباع معکوس دیود است.



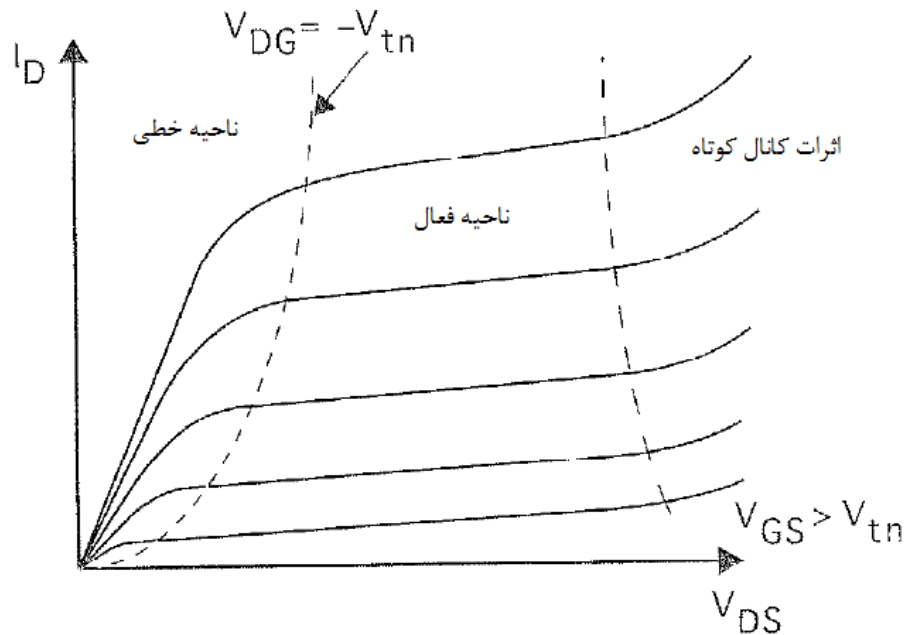
منحنی مشخصه ی FET مطابق شکل زیر است که به ازای مقادیر مختلف ولتاژ گیت-سورس دسته منحنی هایی بدست می آید. سه ناحیه روی این منحنی ها قابل تفکیک است:

ناحیه اول که به صورت خطی بالا می رود ناحیه مقاومتی (تریودی) گویند.

ناحیه دوم که به صورت خط مستقیم است ناحیه منبع جریان (اشباع).

ناحیه سوم نیز ناحیه شکست است.

¹ Field Effect Transistor



مرز ناحیه سمت چپ یعنی منطقه تریودی وضعیت انسداد کانال است که از آن به بعد جریان ثابت می ماند. رابطه ی بین ولتاژ اعمالی در گیت و مسدود شدن کانال مطابق زیر است:

$$V_{DS(PO)} = V_{PO} + V_G$$

در ناحیه تریودی این قطعه مشابه یک مقاومت عمل می کند که معادله زیر اولین تقریب مناسب برای مقدار مقاومت بر حسب ولتاژ اعمال شده V_{GS} است:

$$R_d = r_o / (1 + V_{GS}/V_{PO})^2$$

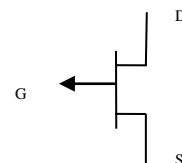
که r_o مقاومت در $V_{GS}=0$ است و r_d مقاومت در ازای ویژه V_{GS} است. هر قدر میزان V_{GS} (که منفی است) بیشتر شود، r_d بزرگ تر است و در ضمن این ناحیه در ناحیه مقاومتی صدق می کند.

به طور کلی را بطله ورودی خروجی در FET در ناحیه اشباع به شکل زیر بدست می آید:

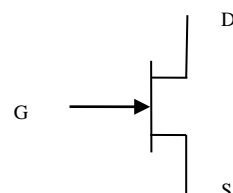
$$I_{DS} = I_{PO} [1 + 3V_{GS}/V_{PO} + 2 * (-V_{GS}/V_{PO})^{3/2}]$$

$$I_{DS} = I_{PO} [1 + V_{GS}/V_{PO}]^2$$

نماد های استفاده شده برای FET کانال n و p بصورت زیر است:

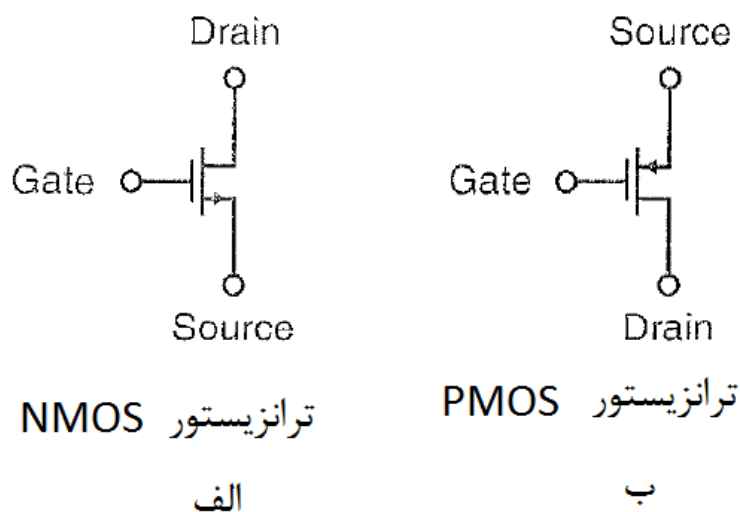


و برای FET کانال N از نماد زیر استفاده خواهیم کرد:



ترانزیستورهای MOS

نمادهایی که در این کتاب برای نمایش ترانزیستورهای MOS افزایشی به کار می رود، در شکل (۳-۱) نشان داده شده است. ترانزیستورهای MOS در واقع دارای چهار پایه می باشند که پایه چهارم اتصالی به زیرلایه^۱ دارد. برای مدارهای دیجیتال، اتصال زیرلایه در ترانزیستورهای نوع N تقریباً منفی ترین ولتاژ در IC خواهد بود (یعنی زمین و یا V_{SS}) و بطور مشابه، اتصال زیرلایه در ترانزیستورهای نوع P مثبت ترین ولتاژ در IC در نظر گرفته می شود که با V_{DD} مشخص می شود. از آنجایی که مطلب مذکور اغلب رعایت می شود، پایه چهارم معمولاً در شماتیک نشان داده نمی شود، مگر آنکه پایه چهارم به ولتاژی غیر از آنچه بیان شد متصل شده باشد.



شکل ۳-۱. یک ترانزیستور افزایشی از نوع (الف) NMOS و (ب) PMOS.

^۱ Substrate

در یک ترانزیستور NMOS، پایه سورس پایه ای است که دارای کمترین پتانسیل الکتریکی باشد و پایه دیگر درین نام دارد. عکس این مطلب در مورد ترانزیستور PMOS صادق است. اگر یک ترانزیستور MOS افزایشی دارای ولتاژ گیت- سورس نزدیک به صفر باشد، هدایت نخواهد کرد و هیچ گونه کانالی بین درین و سورس وجود نخواهد داشت. این بدان معنی است که در هنگام بررسی عملکرد تابع منطقی مدار، می توان ترانزیستور را نادیده گرفت، گویی هرگز در مدار وجود نداشته است. هرچند، در نتیجه نواحی تهی موجود بین پایه- زیرلایه در بایاس معکوس، خازن های پارازیتیکی بین پایه های ترانزیستور تا زمین (برای ترانزیستور NMOS) و یا V_{DD} (برای ترانزیستور PMOS) وجود خواهد داشت. این خازن های مربوط به پایه ها را تنها زمانی که تأخیر گذرای گیت های در حال تغییر وضعیت را تخمین می زنیم، در نظر خواهیم گرفت. این خازن های پارازیتیک هم در اثر محیط و هم در اثر مساحت پایه ها بوجود می آیند. خازن پایه، هنگامی که ولتاژ بایاس معکوس پایه افزایش یابد، بطور غیر خطی کاهش می یابد (تقریباً بطور متناسب با معکوس جذر ولتاژ بایاس معکوس پایه). تقریب مناسب در حدود ۰٫۶ برابر ظرفیت خازنی کل پایه است هنگامی که پایه در صفر ولت بایاس شده باشد. محیط و مساحت یک پایه را می توان از روش های خاصی محاسبه نمود که در آینده در این رابطه بحث خواهد شد اما این مباحث بطور دقیق تر در درس VLSI بررسی خواهد شد. البته این حقیقت که خازن های پایه های ترانزیستورهای PMOS بین پایه و V_{DD} هستند، در مدارهای دیجیتال تا حدودی نا محسوس است و خازن های پایه ها را می توان با خازن های پارازیتیک بین پایه ها و زمین تخمین زد. هرگاه ولتاژ مؤثر گیت- سورس بیشتر از صفر باشد، کانالی در ترانزیستورهای MOS شکل می گیرد. برای یک ترانزیستور NMOS یعنی $V_{eff} = V_{GS} - V_{tn} > 0$ و داریم $V_{tn} \approx 0.7v$ و برای یک ترانزیستور PMOS یعنی $V_{eff} = V_{SG} - |V_{tp}| = V_{SG} + V_{tp} > 0$ و داریم $V_{tp} \approx -0.7v$. در این حالت معادلات سیگنال بزرگی که رابطه I-V را برای یک ترانزیستور MOS تخمین می زند برای $V_{DS} < V_{eff}$ بصورت رابطه (۳-۱) و برای $V_{DS} > V_{eff}$ بصورت رابطه (۳-۲) می باشد.

$$I_D = \mu_n \frac{W}{L} C_{ox} \left[(V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.1)$$

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{tn})^2 \quad (3.2)$$

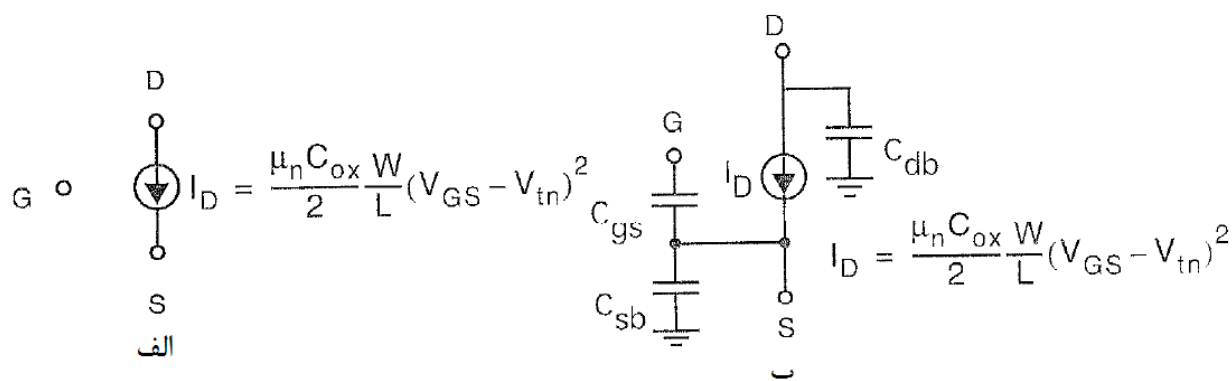
در این روابط μ_n قابلیت تحرک الکترون ها است تقریباً برابر است با $0.05 \frac{m^2}{V.s}$ و C_{ox} خازن گیت در واحد سطح است که یک پارامتر وابسته به تکنولوژی است و مقدار نوعی آن برای تکنولوژی ۰٫۶ میکرون برابر است با $3.5 \frac{fF}{\mu m^2}$. عرض مؤثر ترانزیستور W و طول مؤثر آن L می باشد. در مدارهای دیجیتال، تقریباً تمام ترانزیستورها کوچکترین طول ممکن را دارا می باشند. این بدان معناست که گذشته از اینکه توپولوژی مدار چه باشد، تنها انتخاب ممکن برای طراح، معمولاً فقط عرض ترانزیستور است.

در ترانزیستورهای PMOS همین روابط به کار می رود اما با یک منفی قبل از هر ولتاژ (به استثنای V_{eff}). برای مثال، در تعیین ناحیه کاری ترانزیستور که آیا اکنون در ناحیه فعال یا اشباع^۱ قرار دارد، نامسای $V_{DS} > V_{eff}$ تبدیل می شود به $V_{SD} > V_{eff}$.

^۱ Active or Saturation

قابلیت تحرک حامل های p یا حفره ها، در حدود $0.02 \frac{m^2}{V.s}$ می باشد. به تجربه می توان گفت که خواننده محترم تنها لازم است که معادلات ترانزیستور NMOS را به خاطر بسپارد و هر کجا که لازم شد با تغییرات گفته شده و یادآوری این نکته که همواره در ترانزیستورهای PMOS جریان (بار الکتریکی) از سورس به درین جاری می شود (بر خلاف ترانزیستورهای NMOS که از درین به سورس جاری می شود)، معادلات را برای ترانزیستور PMOS تبدیل نماید.

زمانی که ولتاژ درین- سورس یک ترانزیستور NMOS (یا ولتاژ سورس- درین یک ترانزیستور PMOS) مقدار بزرگی باشد، آنگاه رابطه (۲-۳) به کار می رود و ترانزیستور بصورت یک منبع جریان ساده که در شکل (۳-۲ الف) مشاهده می شود و عملکرد dc مد نظر است، مدل می شود. هرگاه عملکرد گذرای مدار مد نظر باشد، مدل شکل (۳-۲ ب) مورد استفاده قرار خواهد گرفت. خازن C_{gs} در ترانزیستوری که دارای ولتاژ درین- سورس بزرگی باشد تقریباً مساوی است با $\frac{2}{3} \cdot W \cdot L \cdot C_{ox}$ اگر ولتاژ درین- سورس یک ترانزیستور بزرگ نباشد، آنگاه خازن کلی دیده شده توسط یک گیت منطقی که به گیت ترانزیستور متصل به آن معمولاً با حاصلضرب مساحت گیت ترانزیستور در C_{ox} که به عبارتی یعنی $C_g \approx W \cdot L \cdot C_{ox}$ تقریب زده می شود. هرگاه ولتاژ درین- سورس معلوم نباشد و یا در حال تغییر باشد، آنگاه این مقدار حد اکثر به منظور تقریب مورد استفاده قرار خواهد گرفت.



شکل ۲-۳. مدل‌های ساده شده یک ترانزیستور NMOS که ولتاژ درین- سورس بزرگی دارد و بنابراین در ناحیه اشباع است (الف) برای فرکانس های پایین و (ب) برای تحلیل گذرا.

این خازن های گیت ترانزیستورها و خازن های پایه های ترانزیستور که قبلاً به آنها اشاره شد، اغلب در مدارهای مجتمع، بزرگترین فاکتورهای موجود در بارهای خازنی پارازیتیک محسوب می شوند. خازن های پارازیتیک مربوط به اتصالات میانی که فلزی هستند نیز اگر طول این اتصالات میانی بلند باشد بسیار مهم خواهند بود. خازن های C_{db} و C_{sb} خازنه های پایه های ترانزیستور هستند. این خازن ها در صورتی که ولتاژ بایاس معکوسی در پایه مربوطه موجود باشد، بشدت غیر خطی رفتار می کنند. در یک مدار مجتمع در عمل تمام پایه ها بایاس معکوس هستند و بطور مؤثر هیچ جریانی از آنها عبور نمی کند، به استثنای پایه های ترانزیستورهای دوقطبی. خازن های مذکور، شدیداً با مساحت پایه ها نسبت مستقیم دارند. اغلب، خازن پایه در واحد سطح که با C_{j-0} نمایش داده می شود، برای هر تکنولوژی IC برای ولتاژ بایاس معکوس صفر ولت برای هر کدام از پایه داده می شود. تقریب مرسوم می که به منظور در نظر گرفتن غیر خطی بودن خازن پایه زده می شود بصورت حاصلضرب C_{j-0} در مساحت گیت در ضریب ۰.۶ است. محاسبات دقیق تر خازن های پایه ها و توضیح اینکه چگونه مساحت پایه ها تخمین زده می شوند، در این فصل و فصول

آینده ارائه خواهد شد. البته این محاسبات بطور گسترده ای توسط سیستم های طراحی به کمک کامپیوتر بطور خودکار صورت می پذیرد. این سیستم ها قادرند ساین ترانزیستورها را به محض اینکه چینش^۱ مدار آماده شد استخراج کنند.

هرگاه ولتاژ درین- سورس یک ترانزیستور NMOS (یا ولتاژ سورس- درین یک ترانزیستور PMOS) خیلی کوچک باشد، رابطه (۳-۳) را می توان بصورت رابطه (۳-۳) نوشت.

$$I_D = \mu_n \frac{W}{L} C_{ox} (V_{GS} - V_{tn}) V_{DS} \quad (3.3)$$

به طوری که داریم:

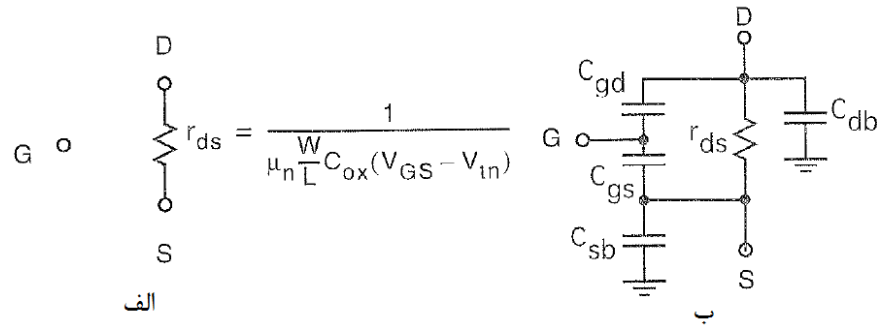
$$r_{ds} = \frac{V_{DS}}{I_D} \approx \frac{1}{\mu_n \frac{W}{L} C_{ox} (V_{GS} - V_{tn})} \quad (3.4)$$

بنابراین، هنگامی که عملکرد dc مد نظر باشد، مدل ساده ترانزیستوری که در این ناحیه کاری قرار دارد، تنها یک مقاومت است که در شکل (۳-۳ الف) نشان داده شده است. هرگاه عملکرد گذرای مدار مد نظر باشد، مدل پیچیده تری که در شکل (۳-۳ ب) نشان داده شده است و شامل خازنهای پارازیتیکی پایه های ترانزیستور و خازن گیت- سورس و خازن گیت- درین می باشد، مورد استفاده قرار می گیرد. خازن های مذکور اغلب با استفاده از فرمول $C_{gs} = C_{gd} = \frac{1}{2} W \cdot L \cdot C_{ox}$ تقریب زده می شوند. هرگاه مدل سازی در این سطح الزامی باشد، مدل های ساده شده ای که در این بخش معرفی شدند ممکن است کافی نباشند و باید از مدل های دقیق تری که بعداً در همین فصل معرفی خواهند شد باید استفاده کرد. زمانی که یک ترانزیستور دارای تغییرات ولتاژ درین- سورس در محدوده بسیار کوچک تا بسیار بزرگ باشد و برعکس، آنگاه ترانزیستور را می توان با یک مقاومت که مقدار آن از رابطه زیر محاسبه می شود، تقریب زد.

$$r_{ds} \approx \frac{2.5}{\mu_n \frac{W}{L} C_{ox} (V_{GS} - V_{tn})} \quad (3.5)$$

اثبات و تصدیق این تقریب، در فصل ۴ ارائه خواهد شد. این رابطه با حدود ۲۵ درصد خطا عمل می کند اما در تحلیل های ساده پاسخ گذرا و با فرض اینکه خازن های پارازیتیک را بتوان تقریب زد (در فصل ۴ توضیح داده خواهد شد)، بسیار مفید است.

^۱ Layout



شکل ۳-۳. مدل های ساده شده برای یک ترانزیستور NMOS که دارای ولتاژ درین- سورس کوچکی است و بنابراین در ناحیه خطی قرار دارد (الف) برای فرکانس های پایین و (ب) برای تحلیل گذرا.

به شباهت ها و تفاوت های روابط (۳-۴) و (۳-۵) توجه کنید. باید واضح باشد که در مدل سازی ترانزیستورهای MOS بسیاری از تقریب ها بطور الزامی مورد استفاده قرار گرفت. این تقریب ها لازم هستند چراکه عملکرد غیرخطی ترانزیستور و بسیاری از اثرات مرتبه دوم که مهم هستند، به منظور تحلیل دقیق، بسیار پیچیده می باشند، به ویژه در مورد ترانزیستورهای نوین با ابعاد زیر میکرون. بدین دلایل، سرعت مدارهای دیجیتالی را به ندرت می توان بهتر از ۱۰ الی ۲۰٪ تخمین زد و از این رو، طراحان محتاط، همیشه روش های طراحی محافظه کارانه ای را برای داشتن حاشیه های بالا در نظر می گیرند تا از طرح آنها از مدل سازی های نا دقیق در امان باشد.

ترانزیستورهای MOS

در حال حاضر در معروف ترین تکنولوژی ایجاد مدارهای در ابعاد میکرون از ترانزیستورهای MOS استفاده می شود. برخلاف اکثر تکنولوژی های ترانزیستورهای دوقطبی (BJT)^۱ که در آنها یک نوع از ترانزیستورها (منظور ترانزیستورهای npn است) استفاده می شود، مدارهای MOS عموماً از هر دونوع ترانزیستورهای نوع n و p بطور مکمل استفاده می شود. البته اکثر تکنولوژی های BJT می توانند از ترانزیستورهای جانبی pnp استفاده نمایند. عموماً این ترانزیستورها را می توان به منظور ایجاد منابع جریان استفاده کرد چراکه بهره پایین و پاسخ فرکانسی ضعیفی دارند. اخیراً تکنولوژی های دوقطبی از ترانزیستورهای pnp عمودی پرسرعتی که در دسترس قرار گرفته اند و استفاده از آنها در حال گسترش است، مانند ترانزیستورهای پرسرعت npn استفاده می کنند. این تکنولوژی هاریال تکنولوژی های دوقطبی مکمل نامیده می شوند.

ترانزیستورهای نوع n در حضور ولتاژ مثبت گیت، هدایت می کنند و ترانزیستورهای نوع p با ولتاژ منفی در گیت خود هدایت می کنند. علاوه بر این، در ترانزیستورهای نوع n الکترون ها نقش هادی جریان را بازی می کنند و در ترانزیستورهای نوع p حفره ها. مدارهایی که شامل هر دو نوع n و p هستند، مدارهای CMOS^۲ نامیده می شوند که به معنی مکمل MOS^۳ می باشد. حروف

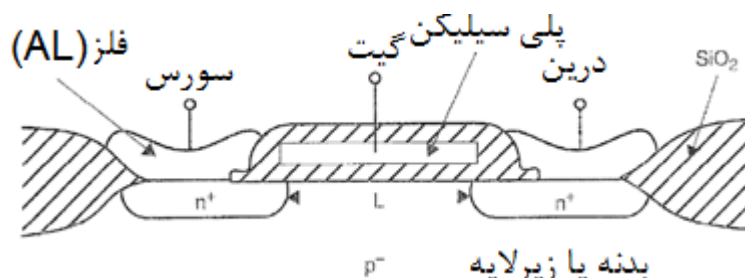
^۱ Bipolar Junction Transistor

^۲ Complementary MOS

^۳ Metal, Oxide, Semiconductor

MOS به ترتیب مخفف عبارات فلز، اکسید و هادی می باشد که از نظر تاریخی بیانگر گیت، ایزولاتور و مواد ناحیه کانال می باشد. هرچند تکنولوژی های امروزی MOS از گیت های پلی سیلیکونی به جای گیت های فلزی استفاده می کنند.

قبل از اینکه تکنولوژی CMOS بدین گستردگی مورد استفاده قرار گیرد، بیشتر پروسس ها تنها از ترانزیستورهای نوع n (NMOS) استفاده می کردند. اغلب دو نوع مختلف از ترانزیستورها NMOS را می توان ساخت. یک نوع آن ترانزیستور n نوع افزایشی^۱ است که مشابه ترانزیستورهای نوع n مورد استفاده در تکنولوژی CMOS می باشد. نوع دیگر، ترانزیستورهای نوع تهی^۲ هستند که با ولتاژ گیت- سورس صفر ولت هدایت می کنند. در فناوری NMOS ترانزیستورهای نوع تهی به منظور ایجاد بارهای امپدانس بالا مورد استفاده قرار می گیرند. یک نمایش مقطع عرضی از یک ترانزیستور MOS نوع افزایشی n در شکل (۳-۱۲) نشان داده شده است. اگر ولتاژی به گیت اعمال نشود، نواحی n^+ سورس و درین توسط زیرلایه p^- از یکدیگر مجزا هستند. فاصله بین درین و سورس را طول کانال می نامند و با L نشان می دهند. باید به این نکته مهم اشاره شود که هیچ تفاوت فیزیکی بین درین و سورس وجود ندارد. البته لازم به ذکر است که ترانزیستورهای MOS بزرگی که در کاربردهای توانی به کار برده می شوند، دارای درین و سورس متقارن نیستند.



شکل ۳-۱۲. نمای مقطع عرضی یک ترانزیستور نوع n افزایشی.

پایه سورس یک ترانزیستور NMOS یکی از دو پایه متقارن تعریف می شود که دارای ولتاژ کمتری باشد. برای یک ترانزیستور PMOS پایه سورس پایه ای است که ولتاژ بیشتری داشته باشد. زمانی که یک ترانزیستور NMOS روشن است، جریان از درین به سورس جاری می شود در مورد یک ترانزیستور PMOS از سورس به درین. در هر دو مورد، حامل های واقعی از سورس به درین می روند اما جهت جریان متفاوت است چراکه حامل ها در یک ترانزیستور NMOS (الکترون ها) منفی تعریف شده اند در حالی که حامل های یک ترانزیستور PMOS (حفره ها) مثبت تریف شده اند.

گیت ها معمولاً از پلی سیلیکن ساخته می شود که عبارت است از سیلیکونی که به شدت بصورت غیرکریستالی^۳ (غیرمتبلور)^۴ تغلیظ شده است. گیت های پلی سیلیکونی امروزه به جای فلز مورد استفاده هستند چراکه استفاده از گیت پلی سیلیکونی این اجازه را می دهند که اندازه ترانزیستورها در هنگام ساخت، با دقت بیشتری صورت پذیرد. این مورد به ویژه در هنگام الگو بندی

^۱ Enhancement

^۲ Depletion

^۳ Noncrystalline

^۴ Amorphous

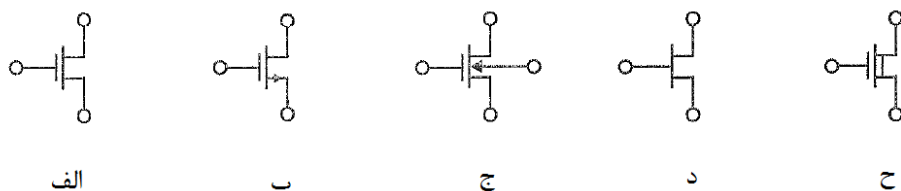
ترانزیستور که شامل مرحله ای به نام روند خودراستا^۱ می باشد، مهم است. دقت بیشتر در ابعاد ترانزیستور به معنای داشتن ترانزیستورهای کوچکتر و سریع تر است.

گیت توسط یک لایه عایق نازک از جنس دی اکسید سیلیکن (SiO_2) از نظر فیزیکی از سطح سیلیکن جدا می شود. از این رو از نظر الکتریکی، گیت از کانال ایزوله است و مانند تزویج خازنی، فقط از طریق تزویج الکترواستاتیکی بر کانال (و بنابراین بر جریان ترانزیستور) تأثیر می گذارد. ضخامت معمول برای عایق SiO_2 که بین گیت و کانال قرار دارد، در تکنولوژی ۰٫۱۸ میکرون در حدود ۷ الی ۲۰ نانومتر است. به دلیل اینکه گیت از نظر الکتریکی از کانال ایزوله شده است، هرگز جریان dc از خود عبور نمی دهد. در واقع ایزوله سازی عالی موجب می شود که جریان های ناشی غیر قابل تعیین شوند. هرچند به دلیل وجود خازن های ذاتی در ترانزیستورهای MOS، به هنگام تغییرات سریع ولتاژ در گیت، جریان های گذرای وجود خواهد داشت.

معمولاً زیرلایه یا بدنه p^- را به منفی ترین ولتاژ موجود در مدار متصل می کنند. این ولتاژ در مدارهای آنالوگ می تواند ولتاژ منبع تغذیه باشد اما در مدارهای دیجیتال معمولاً زمین یا صفر ولت است. اتصال به منفی ترین ولتاژ موجب می شود که تمامی ترانزیستورهایی که در زیر لایه قرار گرفته اند با اتصالات بایاس معکوس شده احاطه شوند که از نظر الکتریکی ترانزیستورها را ایزوله می کند و بنابراین از هدایت بین زیرلایه ای که بین ترانزیستورها قرار دارد جلوگیری می شود. البته در صورتی که ترانزیستورها به طور عمدی و توسط اتصالات میانی به یکدیگر متصل نشده باشند.

نمادهایی برای ترانزیستورهای MOS

در مراجع مختلف به منظور نمایش ترانزیستورهای MOS بسیاری از نمادها مورد استفاده قرار گرفته است. شکل (۳-۱۳) برخی نمادها را که برای نمایش ترانزیستورهای NMOS به کار می رود نشان می دهد. نماد نشان داده شده در شکل (۳-۱۳ الف) اغلب استفاده می شود. توجه داشته باشید که هیچ علامتی در این نماد وجود ندارد که نشان دهد آیا ترانزیستور NMOS است و یا PMOS. یک قاعده مرسوم این است که هنگامی که شک داریم فرض کنیم که ترانزیستور NMOS افزایشی است. شکل (۳-۱۳ ب) مرسوم ترین نماد مورد استفاده برای یک NMOS افزایشی است و در این کتاب نیز از این نماد استفاده شده است. علامت جهت پایین رونده از پایه سورس ترانزیستور به منظور مشخص کردن NMOS بودن ترانزیستور است و مشابه جهت فلش در نماد ترانزیستورهای npn است و معمولاً جهت جریان مثبت را نشان می دهد.

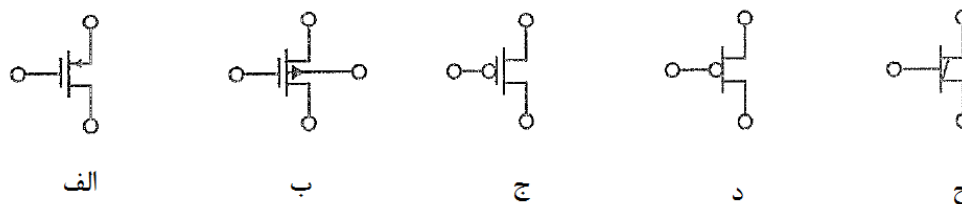


شکل ۳-۱۳. نمادهای مورد استفاده امروزی برای ترانزیستورهای NMOS.

^۱ Self-Aligned Process

ترانزیستورهای MOS معمولاً دارای چهار پایه هستند که پایه چهارم متصل به زیرلایه است. در NMOS ها زیرلایه p^- معمولاً به منفی ترین ولتاژ و در PMOS ها زیرلایه n^- معمولاً به مثبت ترین ولتاژ در مدار متصل می شود. در این موارد، نماد اتصال زیرلایه عموماً نشان داده نمی شود. هرچند، برای تکنولوژی های CMOS حداقل یکی از دو نوع ترانزیستورها در چاه زیرلایه ای تشکیل می شود که نیازی به اتصال به یکی از پایه های منبع تغذیه (VDD و یا GND) ندارد. برای مثال یک پروسس چاه n، ترانزیستورهای NMOS را در یک زیرلایه p^- که کل مدار را در بر گرفته است تشکیل می دهد در حالی که ترانزیستورهای PMOS در تعدادی زیرلایه های چاه n تشکیل خواهند شد. در این حالت، اکثر زیرلایه های چاه n به مثبت ترین منبع تغذیه مدار متصل می شوند در حالی که برخی دیگر ممکن است به دیگر گره های مدار (اغلب چاه به سورس یک ترانزیستور که خود به منبع تغذیه متصل است، اتصال داده می شود) متصل باشند. در این موارد می توان از نماد شکل (۳-۱۳ ج) استفاده نمود و اتصال زیرلایه را بطور ضمنی نشان داد. توجه داشته باشید که این مورد کمتر در مدارهای دیجیتالی مورد استفاده دارد و بیشتر در مدارات آنالوگ متداول است.

همان گونه که در شکل (۳-۱۳ د) نشان داده شده است، برخی مواقع به منظور سادگی، ایزوله بودن گیت بطور ضمنی نشان داده نمی شود. این نماد ساده برای مدارهای دیجیتال و در حالتی که تعداد زیادی ترانزیستور در مدار حضور دارند متداول تر است. از آنجاکه این نماد برای ترانزیستورهای JFET نیز به کار می رود، در این کتاب به منظور نمایش ترانزیستورهای MOS از این نماد استفاده نمی کنیم. آخرین نماد در شکل (۳-۱۳ ج) نشان داده شده است که یک ترانزیستور NMOS نوع تهی را نشان می دهد. خط اضافی در این نماد بدین منظور به کار رفته است که یک کانال واقعی برای ولتاژ گیت- سورس صفر ولت وجود دارد. ترانزیستورهای NMOS نوع تهی در تکنولوژی های NMOS قدیمی به کار می رفته است و در تکنولوژی CMOS امروزی استفاده نمی شوند. شکل (۳-۱۴) برخی نمادهای مرسوم را به منظور نمایش ترانزیستورهای PMOS نشان می دهد. در این کتاب، از نماد شکل (۳-۱۴ الف) بدین منظور استفاده شده است. در برخی موارد نماد شکل (۳-۱۴ ج) در مدارهای دیجیتال به کار رفته است که نشان می دهد که یک ولتاژ کوچک در گیت، ترانزیستور را روشن می کند (بر خلاف ولتاژ بالا در مورد شکل (۳-۱۳ الف)). در مدارهای بزرگتر که تعداد زیادی ترانزیستور PMOS در آن وجود دارد به منظور سادگی از نمادهای شکل (۳-۱۴ د) و یا (۳-۱۴ ج) استفاده می شود.



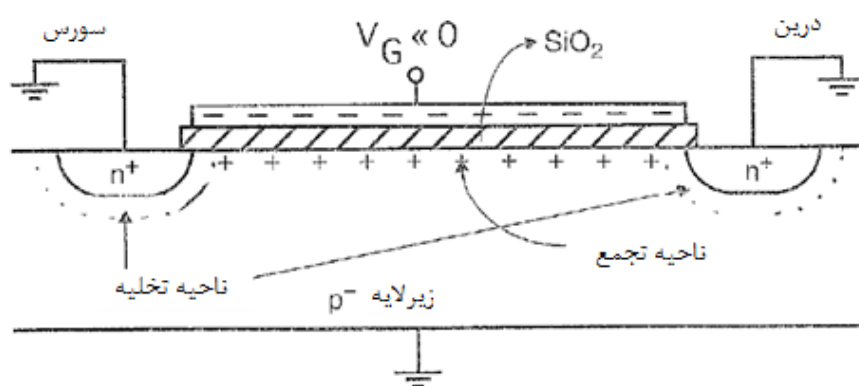
شکل ۳-۱۴. نمادهای مورد استفاده امروزی برای ترانزیستورهای PMOS.

عملکرد پایه

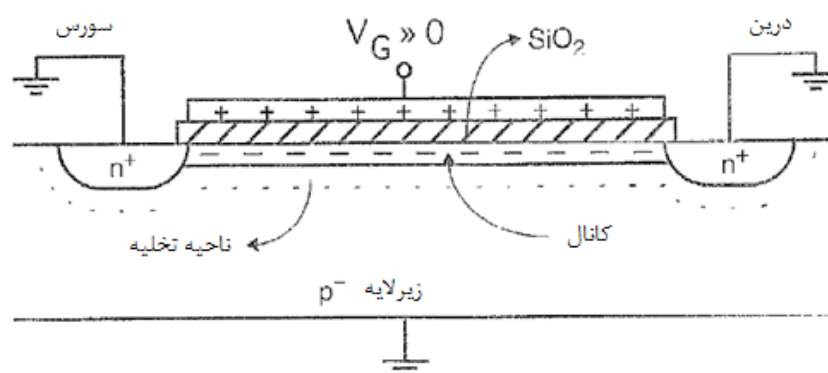
در این بخش عملکرد ترانزیستورهای MOS را با توجه به یک ترانزیستور NMOS شرح خواهیم داد. ابتدا نمایش مقطع عرضی نشان داده شده در شکل (۳-۱۵ الف) را با توجه به اینکه سورس، درین و زیرلایه، همگی به زمین متصل باشند را در نظر بگیرید.

در این حالت، ترانزیستور MOS مشابه یک خازن عمل می کند. گیت نقش یک صفحه خازن و سطح سیلیکن، درست زیر لایه ایزولاتور SiO_2 به عنوان صفحه دیگر خازن عمل می کند.

همان گونه که در شکل (۳-۱۵ الف) نشان داده شده است، اگر ولتاژ گیت خیلی منفی باشد، بار مثبت جذب ناحیه کانال می شود. از آنجا که زیرلایه در اصل بصورت p^- تغلیظ شده است، این ولتاژ منفی گیت به سادگی موجب افزایش تغلیظ کانال به p^+ می شود که این پدیده کانال انباشته شده^۱ نامیده می شود. نواحی سورس و درین که n^+ هستند توسط نواحی تهی از ناحیه p^+ مجزا می شوند و یک مدار که از دو دیود که پشت به پشت متصلند را ایجاد می کنند. از این رو حتی اگر یکی از ولتاژهای سورس یا درین بیشتر شود (تا زمانی که ولتاژ درین آن قدر بزرگ نشود که باعث شود ترانزیستور به ناحیه شکست برود) جریان نشتی وجود خواهد داشت.



(الف)



(ب)

شکل ۳-۱۵. یک ترانزیستور NMOS (الف) $V_G < 0$ موجب ایجاد یک کانال انباشته شده می شود (هیچ جریانی نداریم). (ب) $V_G > 0$ موجب معکوس شدن کانال می شود و جریان جاری می شود.

^۱ Accumulated Channel

در حالتی که ولتاژ مثبتی را به گیت اعمال کنیم، وضعیتی برعکس رخ خواهد داد. این حالت در شکل (۳-۱۵ ب) نشان داده شده است. برای ولتاژهای مثبت کوچک، حامل های مثبت در کانال زیر گیت بطور اولیه دفع شده اند و کانال از نوع p^- تبدیل به یک ناحیه تهی می شود. هرچه ولتاژ مثبت بزرگتری اعمال شود، گیت بارهای منفی را از درین و سورس جذب خواهد کرد و کانال تبدیل به ناحیه ای از نوع n می شود که دارای الکترون های متحرکی است که نواحی درین و سورس را به یکدیگر متصل می کند. بطور مختصر، یک ولتاژ گیت- سورس مثبت مطلوب، کانال زیر خود را به نوع n تغییر می دهد و در این حالت اصطلاحاً گفته می شود که کانال معکوس شده است. لازم به ذکر است که نواحی درین و سورس برخی اوقات نواحی نفوذ^۱ یا نواحی اتصال^۲ نیز نامیده می شوند. اصطلاح اتصال با آنچه قبلاً مشاهده شد و در مورد یک اتصال pn به کار می رفت متفاوت است.

ولتاژ گیت- سورس را در حالتی که در زیرلایه p^- غلظت الکترون های موجود در زیر گیت مساوی با غلظت حفره های دور از گیت باشد، با عنوان ولتاژ آستانه ترانزیستور^۳ شناخته می شود و برای ترانزیستورهای NMOS با V_{tn} نشان داده می شود. به ازاء ولتاژهای بزرگتر از V_{tn} یک کانال نوع n وجود دارد و هدایت بین درین و سورس میسر خواهد بود. برای ولتاژهای گیت- سورس کوچکتر از V_{tn} عموماً فرض بر آن است که ترانزیستور خاموش است و هیچ جریانی از درین و سورس عبور نمی کند. هرچند، توجه داشته باشید که فرض جریان صفر درین- سورس برای ترانزیستوری که خاموش است، تنها یک تقریب است. در واقع، برای ولتاژهای گیت در حدود V_{tn} تغییر ناگهانی جریانی وجود نداشته و برای ولتاژهای گیت- سورس اندکی کمتر از V_{tn} مقادیر کوچکی جریان زیرآستانه^۴ جاری خواهد شد که در بخش (۳-۴) مورد بررسی قرار خواهد گرفت.

زمانی که ولتاژ گیت- سورس V_{GS} بزرگتر از V_{tn} باشد، کانال تشکیل می شود. هرچه V_{GS} افزایش یابد، چگالی الکترون های موجود در کانال افزایش می یابد. در واقع، چگالی حامل و بنابراین چگالی بار متناسب است با $V_{GS} - V_{tn}$ بطوری که اغلب این ولتاژ را ولتاژ گیت- سورس مؤثر می نامند و با V_{eff} نشان می دهند. بطور دقیق تر داریم:

$$V_{eff} \equiv V_{GS} - V_{tn} \quad (3.58)$$

آنگاه چگالی بار الکترون ها از رابطه زیر محاسبه می گردد.

$$Q_n = C_{ox}(V_{GS} - V_{tn}) = C_{ox}V_{eff} \quad (3.59)$$

در این جا، C_{ox} خازن گیت در واحد سطح است که مقدار آن از رابطه زیر محاسبه می گردد که در آن، K_{ox} ثابت دی الکتریک SiO_2 (تقریباً ۳-۹) و t_{ox} ضخامت اکسید نازک زیر گیت است.

^۱ Diffusion

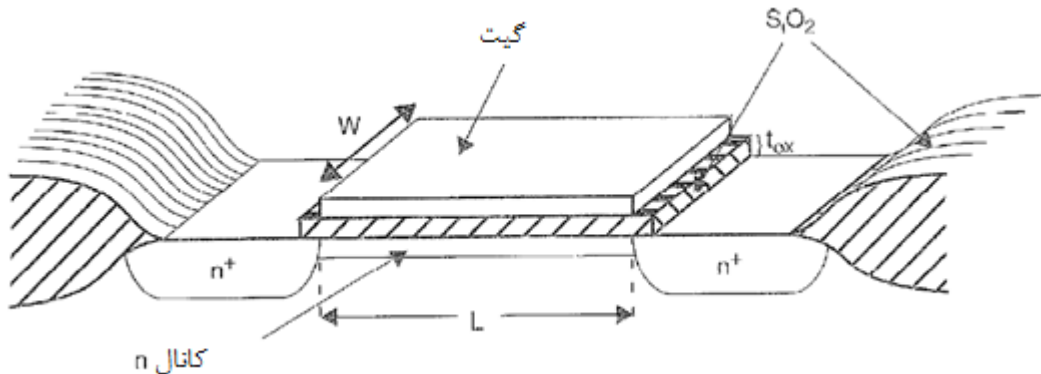
^۲ Junction

^۳ Transistor Threshold Voltage

^۴ Sub-Threshold Current

$$C_{ox} = \frac{K_{ox}\epsilon_0}{t_{ox}} \quad (3.60)$$

نکته قابل توجه این است که رابطه (۵۹-۳) تنها زمانی دقیق است که هر دو ولتاژ درین و سورس صفر باشد. رابطه (۵۹-۳) اغلب به هنگام تحلیل مدارهای MOS به کار می رود. به منظور بدست آوردن خازن گیت کل باید رابطه (۶۰-۳) در مساحت مؤثر گیت یعنی $W.L$ ضرب شود که W عرض گیت و L طول مؤثر گیت است. این ابعاد در شکل (۱۶-۳) نشان داده شده اند.



شکل ۱۶-۳. ابعاد مهم یک ترانزیستور MOS.

بنابراین خازن گیت کل (C_{gs}) از رابطه زیر محاسبه می گردد.

$$C_{gs} = WLC_{ox} \quad (3.61)$$

و بار کل کانال (Q_{T-n}) از رابطه زیر محاسبه می گردد.

$$Q_{T-n} = WLC_{ox}(V_{GS} - V_{tn}) = WLC_{ox}V_{eff} \quad (3.62)$$

خازن گیت یا همان C_{gs} اغلب یکی از خازن های بار اصلی است که مدار باید قادر باشد آن را شارژ یا دشارژ نماید. خازن های گیت همچنین زمانی که قصد محاسبه تزریق بار^۱ را داشته باشیم بسیار مهم هستند. تزریق بار زمانی رخ می دهد که یک ترانزیستور MOS به دلیل اینکه بار کانال (Q_{T-n}) باید از زیر گیت و از طریق پایه ها به دیگر جاهای مدار عبور کند، خاموش شده باشد.

سپس، اگر ولتاژ درین به بیش از صفر ولت افزایش یابد، یک اختلاف پتانسیل در درین- سورس وجود خواهد داشت. این اختلاف پتانسیل موجب جاری شدن جریان از درین به سورس می شود. جریان در واقع با حامل های منفی (الکترون ها) و از سورس به درین جاری می شود. طبق تعریف، جاری شدن حامل های منفی از سورس به درین موجب یک جریان مثبت از درین به سورس می شود و با I_{DS} نشان می دهند. رابطه بین V_{DS} و جریان درین- سورس (I_D) و با فرض اینکه V_{DS} کوچک است، مشابه یک

^۱ Charge Injection

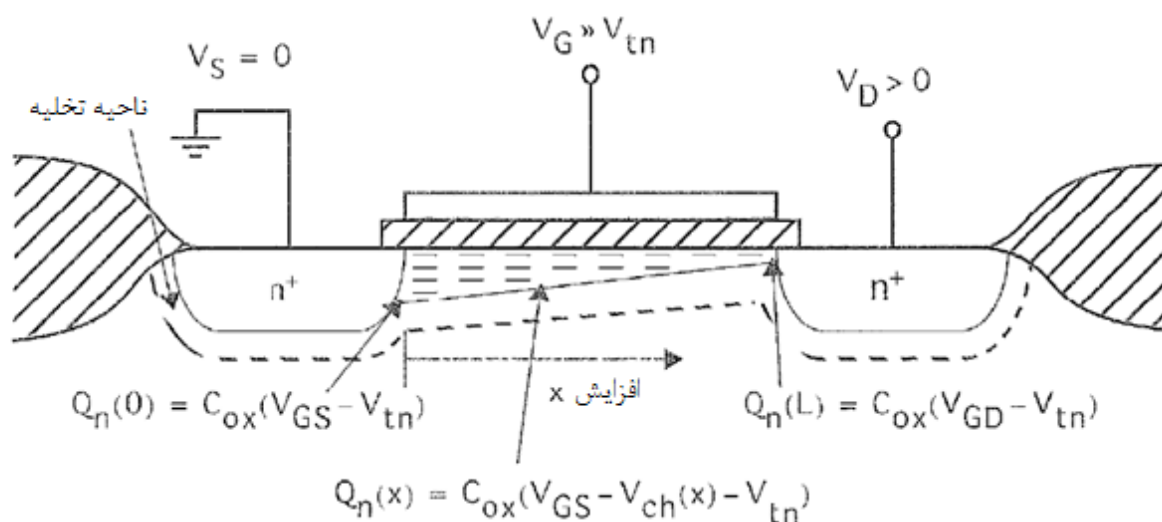
مقاومت است. این رابطه به شکل زیر است و در آن $\mu_n \cong 0.06 \text{ m}^2/V.s$ قابلیت تحرک الکترون های نزدیک سطح سیلیکن بوده و Q_n غلظت بار یک کانال در واحد سطح (با نگاه از بالا به پایین) می باشد. توجه داشته باشید که هرچه طول کانال افزایش یابد، جریان درین- سورس کاهش می یابد در حالی که اگر چگالی بار و یا عرض ترانزیستور افزایش یابد، جریان افزایش می یابد.

$$I_D = \mu_n Q_n \frac{W}{L} V_{DS} \quad (3.63)$$

با استفاده از روابط (۳-۶۲) و (۳-۶۳) می توان رابطه (۳-۶۴) را بدست آورد که باید تأکید شود که این رابطه تنها برای ولتاژهای درین- سورس نزدیک به صفر (یعنی V_{DS} بسیار کوچکتر از V_{eff} باشد) صادق می باشد.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{tn}) V_{DS} = \mu_n C_{ox} \frac{W}{L} V_{eff} V_{DS} \quad (3.64)$$

هرچه ولتاژ درین- سورس افزایش یابد، غلظت بار کانال در انتهای کاهش می یابد. هرچه به سمت درین حرکت کنیم، این کاهش غلظت بار کانال در نتیجه اختلاف ولتاژ کمتر گیت به کانال در دو سر اکسید گیت نازک است. به عبارت دیگر، از آنجا که فرض بر این است که ولتاژ درین باید ولتاژ بیشتر از سورس باشد، گرادبان ولتاژ از سورس به درین افزایش می یابد که موجب می شود ولتاژ گیت به کانال در نزدیکی درین کوچکتر باشد. از آنجا که چگالی بار در فاصله x از انتهای سورس کانال متناسب است با $V_G - V_{CH}(x) - V_{tn}$ ، هرچه $V_G - V_{CH}(x)$ کاهش یابد، چگالی بار کاهش می یابد. این مطلب در شکل (۳-۱۷) نشان داده شده است. $V_G - V_{CH}(x)$ عبارت است از افت ولتاژ گیت به کانال در فاصله x از انتهای سورس که V_G در همه جای گیت یکسان است، چراکه ماده تشکیل دهنده گیت یک ماده با هدایت بسیار بالا است.

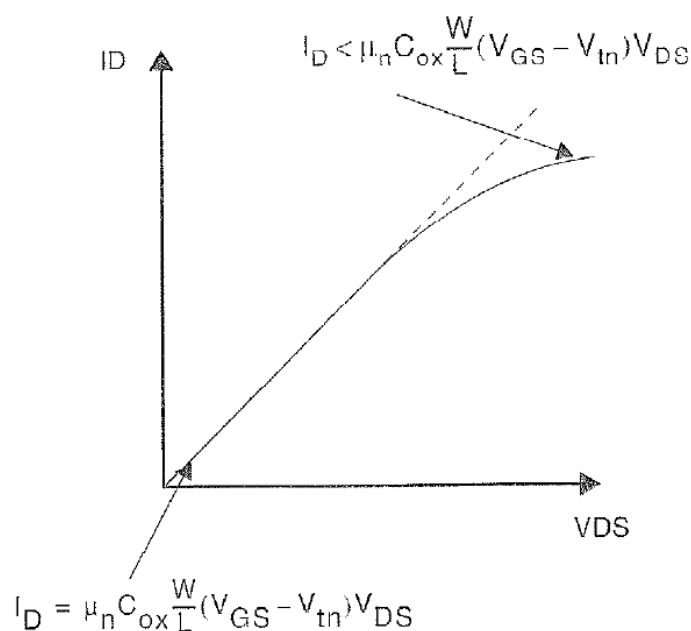


شکل ۳-۱۷. چگالی بار کانال برای $V_{DS} > 0$.

توجه داشته باشید که در انتهای درین یک کانال داریم:

$$V_G - V_{ch}(L) = V_{GD} \quad (3.65)$$

برای V_{DS} کوچک از رابطه (۳,۶۴) مشاهده نمودیم I_D رابطه خطی با V_{DS} دارد. هرچند، هر چه V_{DS} افزایش یابد و در نزدیکی درین چگالی بار کاهش یابد، رابطه غیر خطی می شود. در واقع همانطور که در شکل (۱۸-۳) نشان داده شده است، نمودار رابطه خطی I_D بر حسب V_{DS} برای V_{DS} های بزرگتر مسطح می شود.

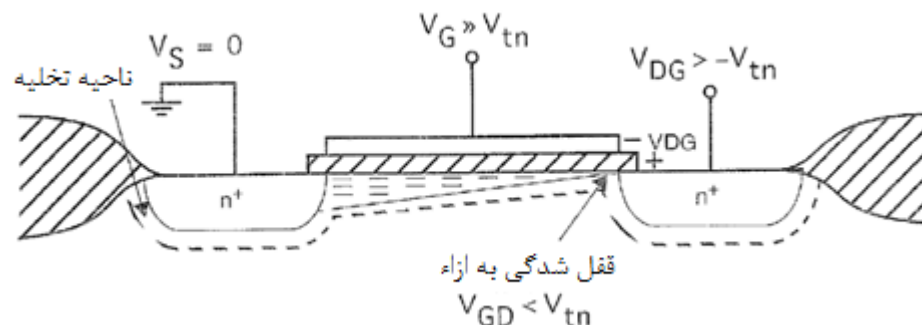


شکل ۱۸-۳. برای V_{DS} های نزدیک به صفر، رابطه I_D بر حسب V_{DS} ، دیگر خطی نیست.

هر چه ولتاژ درین افزایش می یابد، در برخی نقاط ولتاژ گیت به کانال در انتهاید درین تا ولتاژ آستانه ترانزیستور (V_{tn}) کوچکترین ولتاژ لازم برای حامل های نوع n به منظور وجود کانال) کاهش می یابد. از این رو همانطور که در شکل (۱۹-۳) نشان داده شده است، کانال در انتهای درین دچار انسداد یا تنگیدگی^۱ می شود. این تنگیدگی در $V_{GD} = V_{tn}$ رخ می دهد چون ولتاژ کانال در انتهای درین به سادگی برابر است با V_D . بنابراین تنگیدگی برای حالت زیر رخ می دهد.

$$V_{DG} > -V_{tn} \quad (3.66)$$

^۱ Pinch-Off



شکل ۳-۱۹. زمانی که V_{DS} افزایش یابد بطوری که $V_{GD} < V_{tn}$ ، آنگاه کانال در انتهای درین دچار تنگیدگی می شود.

اگر هنگامی که کانال دچار تنگیدگی می شود، ولتاژ درین- سورس را V_{DS-sat} بنامیم می توان با جایگزینی $V_{DG} = V_{DS} - V_{GS}$ از رابطه (۳-۶۶) و عبارت معادلی را برای تنگیدگی بدست آورد که در آن V_{DS-sat} از رابطه (۳-۶۸) بدست می آید. در این حالت به دلیل وجود اثر بدنه، ولتاژ آستانه در انتهای درین ترانزیستور افزایش یافته است که موجب می شود مقدار صحیح V_{DS-sat} اندکی کمتر از V_{eff} باشد.

$$V_{DS} > V_{DS-sat} \quad (3.67)$$

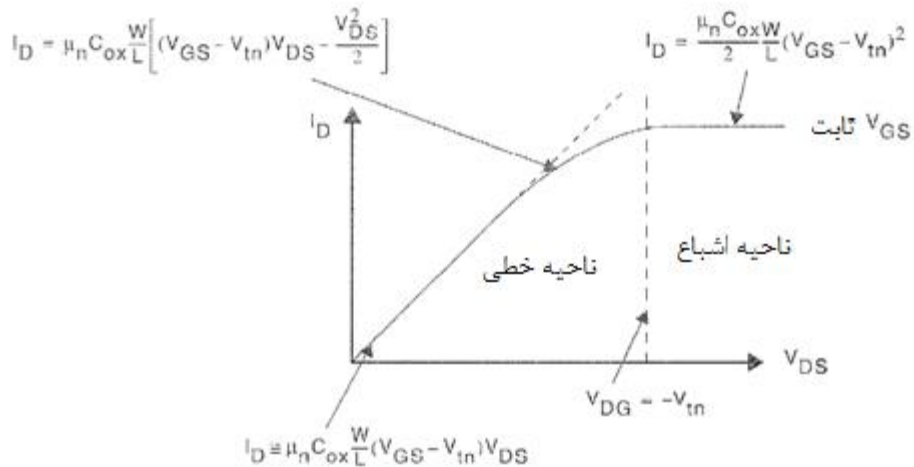
$$V_{DS-sat} = V_{GS} - V_{tn} = V_{eff} \quad (3.68)$$

حامل های الکترون که در ناحیه درین تنگیده شده حرکت می کنند، از نظر سرعت اشباع شده اند^۱. مشابه گاز تحت فشاری که از یک لوله بسیار نازک در حال عبور باشد. اگر ولتاژ درین- گیت از این ولتاژ بحرانی تنگیدگی ($-V_{tn}$) بیشتر شود، غلظت بار در کانال بطور تقریبی ثابت باقی می ماند و ولتاژ درین، با افزایش ولتاژ V_{DS} دیگر افزایش نخواهد یافت. نتیجه، رابطه ای خواهد بود که برای ولتاژ گیت- سورس معین در شکل (۳-۲۰) نشان داده شده است. در ناحیه عملکردی که $V_{DS} > V_{DS-sat}$ جریان درین مستقل از V_{DS} است و به این ناحیه عملکرد، ناحیه فعال (اشباع)^۲ گویند. در ابتدا ناحیه فعال را ناحیه اشباع می خواندند اما این تشابه با ناحیه اشباع در ترانزیستورهای دوقطبی کمی گمراه کننده است چرا که در ترانزیستورهای دوقطبی این حالت در V_{CE} کوچک رخ می دهد و در ترانزیستورهای MOS در V_{DS} بزرگ. در هر صورت در ادامه این کتاب از واژه اشباع استفاده خواهیم نمود. ناحیه ای که I_D با تغییرات V_{DS} تغییر می کند ناحیه خطی^۳ نامیده می شود. ترانزیستورهای MOS که به منظور آمپلی فایرهای آنالوگ مورد استفاده قرار می گیرند در این ناحیه کاری بایاس می شوند. هنگامی که این ترانزیستورها در گیت های منطقی دیجیتال مورد استفاده قرار گیرند معمولاً در هر دو ناحیه کاری عمل خواهند نمود.

^۱ Velocity Saturated

^۲ Active Region

^۳ Triode



شکل ۳-۲۰. نمودار I_D بر حسب V_{DS} برای یک ترانزیستور MOS ایدآل. در حالت $V_{DG} > -V_{tn}$ مقدار I_D تقریباً ثابت است.

پیش از آنکه بیشتر به پیش برویم بهتر است در مورد عبارات تبدیل ضعیف، متوسط و قوی^۱ بحث کنیم. همانطور که اشاره شد، ولتاژ گیت-سورس بزرگتر از V_{tn} موجب می شود که کانال تبدیل (معکوس) گردد و جریان درین-سورس بتواند جاری شود. هر چند هر چه ولتاژ گیت-سورس افزایش یابد، کانال بطور ناگهانی معکوس (تبدیل به n) نخواهد شد بلکه این تبدیل بصورت تدریجی خواهد بود. از این رو مفید است که با توجه به ولتاژ گیت-سورس، سه ناحیه را برای تبدیل کانال تعریف نماییم. در بسیاری از کاربردهای مداری، ترانزیستورهای MOSFET در ناحیه معکوس قوی عمل می کنند که در این حالت داریم $V_{eff} > 100mv$. همان طور که از نام (معکوس قوی) پیداست، معکوس شدن قوی زمانی رخ می دهد که کانال به شدت با حامل های موجود در کانال معکوس شده باشد. توجه داشته باشید که در تمامی روابط ارائه شده در این بخش فرض بر این است که عملکرد ترانزیستورها در ناحیه معکوس قوی است. معکوس ضعیف زمانی رخ می دهد که V_{GS} تقریباً حدود $100mv$ و یا بیشتر، کوچکتر از V_{tn} بوده و این ناحیه را قبلاً با نام زیرآستانه معرفی نمودیم. ناحیه معکوس متوسط، ناحیه ای است مابین معکوس ضعیف قوی.

مدل سازی سیگنال بزرگ

رابطه ناحیه خطی برای یک ترانزیستور MOS رابطه جریان درین را به ولتاژهای گیت-سورس و درین-سورس بیان می دارد. می توان نشان داد که این رابطه بصورت رابطه (۳-۶۹) می باشد.

$$I_D = \mu_n \frac{W}{L} C_{ox} \left[(V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.69)$$

^۱ Weak, Moderate, and Strong Inversion

هرچه V_{DS} افزایش یابد، تا زمانی که سرانتهایی درین دچار تنگیدگی نشده باشد I_D افزایش خواهد یافت و از آن نقطه به بعد، با افزایش V_{DS} ، جریان درین افزایش نخواهد یافت. نقطه تنگیدگی در شرایط $V_{DS}=V_{GS}-V_{tn}=V_{eff}$ رخ می دهد و تقریباً داریم:

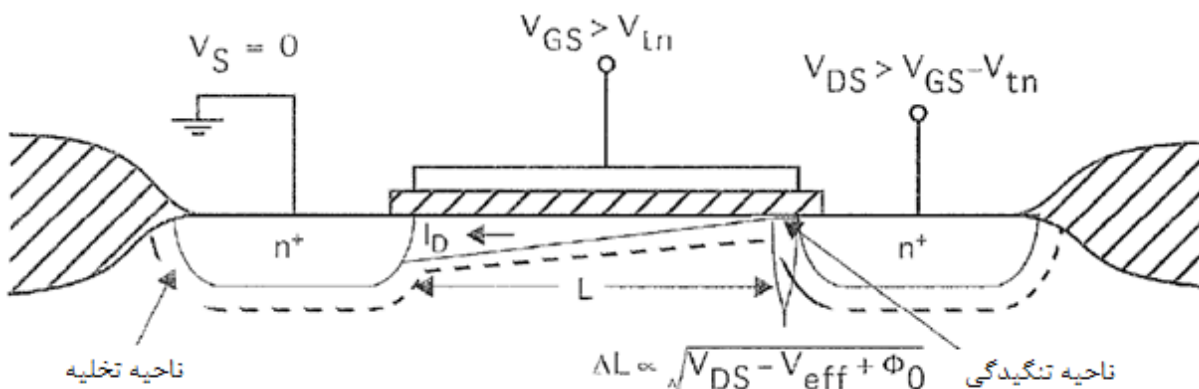
$$V_{DS} = V_{GS} - V_{tn} = V_{eff} \quad (3.70)$$

دقیقاً در مرز تنگیدگی، جریان درین که از رابطه (۳-۶۹) محاسبه می شود و جریانی که در ناحیه اشباع (که نسبت به افزایش V_{DS} مقدار تقریباً ثابتی دارد) بر قرار است باید باهم مساوی باشند. بنابراین، معادله جریان ناحیه اشباع را می توان از تفریق روابط (۳-۶۹) و (۳-۷۰) بدست آورد که بصورت رابطه (۳-۷۱) نشان داده شده است.

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{tn})^2 \quad (3.71)$$

در حالت $V_{DS} > V_{eff}$ و با نادیده گرفتن جملات درجه دوم از جمله امپدانس بی نهایت ترانزیستور، جریانی که از رابطه (۳-۷۱) بدست می آید، ثابت باقی خواهد ماند. این رابطه شاید مهمترین رابطه ای باشد که عملکرد سیگنال بزرگ یک ترانزیستور MOS را نشان می دهد. توجه داشته باشید که در این معادله، رابطه توان دومی از ولتاژ در ناحیه اشباع برقرار است. در مورد یک ترانزیستور BJT یک رابطه جریان- ولتاژ نمایی در ناحیه اشباع برقرار است.

همان طور که اشاره شد، رابطه (۳-۷۱) بیان می کند که جریان درین (I_D) مستقل است از ولتاژ درین- سورس. این مستقل بودن بصورت تقریبی صحیح است (بدون در نظر داشتن اثرات درجه دوم). منشأ اصلی خطا در اثر این است که هرچه V_{DS} افزایش می یابد، طول کانال کاهش می یابد. به منظور مشاهده این اثر، شکل (۳-۲۱) را در نظر بگیرید که مقطع عرضی یک ترانزیستور را در ناحیه اشباع نشان می دهد. تنگیدگی با اندکی بار بین درین و کانال مشاهده می شود. ولتاژ در انتهایی کانال چسبیده به درین بصورت $V_{GS}-V_{tn}=V_{eff}$ ثابت است. اختلاف ولتاژ بین درین و نزدیک به انتهایی کانال در دو سر ناحیه تهی را معمولاً ناحیه تنگیدگی می نامند.



شکل ۳-۲۱. کاهش طول کانال به ازاء $V_{DS} > V_{eff}$.

هرچه V_{DS} بزرگتر از V_{eff} شود، این ناحیه تهی که اتصال درین را فرا گرفته است عرض خود را متناسب با مجذور V_{DS} افزایش می دهد. این افزایش عرض ناحیه تهی که در بر گیرنده اتصال درین است، طول مؤثر کانال را کاهش می دهد که این اثر به نوبه خود، جریان درین را افزایش می دهد که این پدیده موسوم است به مدولاسیون طول کانال^۱.

به منظور محاسبه معادله ای که مدولاسیون طول کانال را در بر داشته باشد، ابتدا با استفاده از رابطه (۳-۱۸) و نمایش عرض ناحیه تهی با X_d داریم:

$$\begin{aligned} x_d &\cong K_{ds} \sqrt{V_{D-ch} + \Phi_0} \\ &= k_{ds} \sqrt{V_{DG} + V_{tn} + \Phi_0} \end{aligned} \quad (3.72)$$

بطوری که مقدار K_{ds} از رابطه زیر محاسبه می شود و واحد آن $\frac{m}{\sqrt{v}}$ است.

$$k_{ds} = \sqrt{\frac{2K_s \epsilon_0}{qN_A}} \quad (3.73)$$

توجه داشته باشید که در اینجا N_A بدین دلیل استفاده شده است که ناحیه درین نوع n بیشتر از کانال نوع p تغلیظ شده است، یعنی $N_D \gg N_A$. با نوشتن بسط تیلور برای I_D حول مقدار کاری آن که برابر است با $V_{DS} = V_{GS} - V_{tn} = V_{eff}$ بدست می آوریم:

$$I_D = I_{D-sat} + \left(\frac{\partial I_D}{\partial L} \right) \left(\frac{\partial L}{\partial V_{DS}} \right) \Delta V_{DS} \cong I_{D-sat} \left[1 + \frac{k_{ds}(V_{DS} - V_{eff})}{2L \sqrt{V_{DG} + V_{tn} + \Phi_0}} \right] \quad (3.74)$$

که در آن I_{D-sat} جریان درین است زمانی که $V_{DS} = V_{eff}$ یا بطور معادل، جریان درین است هنگامی که مدولاسیون طول کانال نادیده گرفته شود. توجه داشته باشید در محاسبه معادله (۳-۷۴) از رابطه

$$\frac{\partial L}{\partial V_{DS}} = -\frac{\partial x_d}{\partial V_{DS}}$$

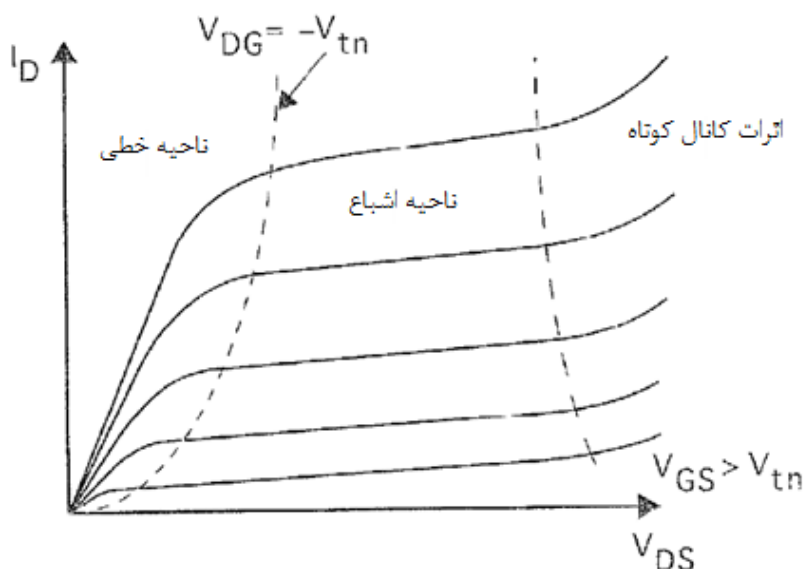
استفاده شده است. معمولاً رابطه (۳-۷۴) را بصورت (۳-۷۵) به کار برده می شود بطوری که در آن، λ ثابت امپدانس خروجی (با واحد V^{-1}) است که مقدار آن از رابطه (۳-۷۶) محاسبه می گردد.

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{tn})^2 [1 + \lambda (V_{DS} - V_{eff})] \quad (3.75)$$

^۱ Channel-Length Modulation

$$\lambda = \frac{k_{ds}}{2L\sqrt{V_{DG} + V_{tn} + \Phi_0}} = \frac{k_{ds}}{2L\sqrt{V_{DS} - V_{eff} + \Phi_0}} \quad (3.76)$$

رابطه (۷۵-۳) تا زمانی صحیح است که مقدار V_{DS} به حد کافی بزرگ باشد تا موجب حضور اثرات درجه دوم که به اثرات کانال کوچک^۱ مشهور است شود. برای مثال، در این رابطه بطور ضمنی فرض شده است که جریانی که از کانال عبور می کند دچار پدیده اشباع سرعت^۲ نشده است (یعنی از نقطه ای به بعد، با افزایش میدان الکتریکی، سرعت حامل ها افزایش نخواهد یافت). پدیده اشباع سرعت در فناوری های نوینی رخ می دهد که دارای طول کانال بسیار کوچک هستند و بنابراین میدان های الکتریکی بزرگی دارند. اگر V_{DS} به حدی بزرگ شود که اثرات کانال کوتاه ظاهر شود، I_D بیشتر از آنچه از رابطه (۷۵-۳) محاسبه می گردد افزایش خواهد یافت. البته برای مقادیر بسیار بزرگ V_{DS} ترانزیستور به ناحیه شکست می رود. نمودار I_D بر حسب V_{DS} به ازاء مقادیر مختلف V_{GS} در شکل (۲۲-۳) نشان داده شده است. توجه داشته باشید که در ناحیه اشباع، شیب اندک (اما غیر صفر) بدین معناست که I_D به V_{DS} وابسته است.



شکل ۲۲-۳. نمودار I_D بر حسب V_{DS} به ازاء مقادیر مختلف V_{GS} .

^۱ Short-Channel Effects

^۲ velocity saturated

مثال ۳,۷

برای یک ترانزیستور کانال نوع n که دارای غلظت زیرلایه $N_A = 1.4 \times 10^{23} / m^3$ و همچنین $\mu_n C_{ox} = 188 \mu A / V^2$ ، $V_{DS} = V_{eff}$ و $V_{tn} = 0.8V$ ، $V_{GS} = 1.2V$ ، $\phi_0 = 0.99V$ ، $L = 0.6 \mu m$ ، $W = 6 \mu m$ است، I_D را محاسبه نمایید. با فرض این که λ ثابت باقی می ماند مقدار جدید I_D را در حالتی محاسبه کنید که V_{DS} به میزان نیم ولت افزایش یابد.

پاسخ:

از رابطه (۷۳-۳) داریم

$$k = \sqrt{\frac{2 \times 11.8 \times 8.854 \times 10^{-12}}{1.6 \times 10^{-19} \times 1.4 \times 10^{23}}} = 96.6 \times 10^{-9} \text{ m} / \sqrt{V}$$

که در رابطه (۷۴-۳) به منظور یافتن λ بصورت زیر استفاده می شود.

$$\lambda = \frac{96.6 \times 10^{-9}}{2 \times 0.6 \times 10^{-6} \times \sqrt{0.99}} = 80.8 \times 10^{-3} \text{ V}^{-1}$$

اکنون با استفاده از (۷۵-۳) به ازاء $V_{DS} = V_{eff} = 0.4V$ داریم:

$$I_{D1} = \left(\frac{188 \times 10^{-6}}{2} \right) \left(\frac{6}{0.6} \right) (0.4)^2 (1) = 150 \mu A$$

در حالتی که $V_{DS} = V_{eff} + 0.5V = 0.9V$ داریم:

$$I_{D2} = 150 \mu A \times (1 + \lambda \times 0.5) = 156 \mu A$$

توجه داشته باشید که این مثال با افزایش ۰,۵ ولت در ولتاژ درین- سورس، یک افزایش تقریباً ۵ درصدی را در جریان درین نشان می دهد. مقادیری که از شبیه سازی با اسپایس بدست می آید ۱۶۴ و ۱۷۴ میکروآمپر بیشتر از مقدار محاسبه شده دستی است که اثرات القایی درین کانال کوتاه را شامل می شود.

اثر بدنه^۱

معادلات سیگنال بزرگی که در بخش قبل ارائه شد، بر اساس این فرض بود که ولتاژ سورس مساوی است با ولتاژ زیرلایه (بدنه^۲). هرچند اغلب، سورس و زیرلایه می توانند مقادیر متفاوتی از یکدیگر داشته باشند. در این شرایط، اثر مرتبه دوم وجود دارد که هنگامی که ولتاژ بایاس معکوس سورس- زیرلایه افزایش می یابد، بصورت افزایش ولتاژ آستانه ترانزیستور (V_{tn}) مدل می شود. این پدیده را اثر بدنه می نامند که در پروسس CMOS برای ترانزیستورهایی که در چاهی قرار دارند که غلظت زیرلایه آن بیشتر است. اثر بدنه بیشتر در مدارهای دیجیتال و در کاهش ولتاژ گیت- سورس ترانزیستورهای عبور^۳ و سویچ هایی که در فصل ۵ مورد بررسی قرار خواهند گرفت، حائز اهمیت می باشند.

به منظور محاسبه اثر بدنه، می توان نشان داد که ولتاژ آستانه یک ترانزیستور کانال n از رابطه (۷۷-۳) محاسبه می گردد که در آن V_{tn0} ولتاژ آستانه با V_{SB} (ولتاژ سورس- زیرلایه) صفر است و مقدار γ از رابطه (۷۸-۳) محاسبه می گردد.

$$V_{tn} = V_{tn-0} + \gamma(\sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|}) \quad (3.77)$$

$$\gamma = \frac{\sqrt{2qN_A K_s \epsilon_0}}{C_{ox}} \quad (3.78)$$

اغلب γ را با عنوان ثابت اثر بدنه می شناسند و واحد آن \sqrt{V} است. توجه داشته باشید که γ در ترانزیستورهای کانال n متناسب است با $\sqrt{N_A}$ در ترانزیستورهای کانال p متناسب است با N_D و بنابراین اثر بدنه برای ترانزیستورهایی که در چاه هایی هستند که غلظت آنها بیشتر از زیرلایه است، بیشتر است.

انشعاب مهم دیگری از اثر بدنه این است که روابط (۶۹-۳) الی (۷۱-۳) را تغییر دهیم. این روابط بر اساس این فرض بدست آمده است که ولتاژ آستانه در همه جای کانال ثابت است. در واقع، ولتاژ آستانه در کانال و در نزدیکی درین (برای ترانزیستورهای کانال n) افزایش می یابد که این بر اثر افت ولتاژ کانال است و باعث می شود که مقادیر جریان، کمتر از مقادیر محاسبه شده توسط روابط (۶۹-۳) الی (۷۱-۳) باشد. همچنین، ولتاژ درین- سورس لازم برای یک ترانزیستور که در ناحیه اشباع باشد، کوچکتر است. روابط I-V برای ترانزیستورهای MOS، اکنون با در نظر گرفتن اثر بدنه بصورت زیر است.

$$I_D = \mu_n \frac{W}{L} C_{ox} \left[(V_{GS} - V_{tn}) V_{DS} - \alpha \frac{V_{DS}^2}{2} \right] \quad (3.79)$$

برای

^۱ Body Effect

^۲ Bulk

^۳ Pass Transistors

$$V_{DS} \leq \frac{V_{GS} - V_{tn}}{\alpha} = \frac{V_{eff}}{\alpha} \quad (3.80)$$

9

$$I_D = \frac{\mu_n C_{ox} W}{2\alpha L} (V_{GS} - V_{tn})^2 \quad (3.81)$$

که در آن α کمیتی بزرگتر از یک است و مقدار آن عموماً از طریق آزمایش بدست می آید و بطور نوعی داریم:

$$\alpha \cong 1 + \frac{\Upsilon}{2\sqrt{V_{SB} + |2\phi_F|}} \quad (3.82)$$

ترانزیستورهای نوع کانال p و ترانزیستورهای نوع تهی

تمامی معادلات قبلی برای ترانزیستورهای افزایشی کانال n محاسبه و ارائه شده اند. در مورد ترانزیستورهای نوع کانال p، این معادلات را می توان با قرار دادن یک علامت منفی که در جلو هر متغیر ولتاژ (به استثنای V_{eff} که همواره مثبت است) مورد استفاده قرار داد. از این رو، V_{GS} تبدیل می شود به V_{SG} ، V_{DS} تبدیل می شود به V_{SD} ، V_{tn} تبدیل می شود به $-V_{tp}$ و الی آخر.

شرط هدایت اکنون بصورت $V_{SG} > V_{tp}$ است که V_{tp} برای یک ترانزیستور کانال p یک کمیت منفی است. البته امکان ساخت ترانزیستورهای تهی نوع p نیز وجود دارد، اما چندان اهمیتی ندارند. ترانزیستورهای تهی نوع کانال n نیز در مدارهای CMOS به ندرت مورد استفاده قرار می گیرند اما این ترانزیستورها در برخی کاربردها به ویژه زمانی که در یک چاه قرار گیرند، مورد استفاده هستند.

شرط اشباع بودن یک ترانزیستور کانال p بصورت $V_{SD} > V_{SG} + V_{tp}$ و یا بطور معادل $V_{SD} > V_{SG} - |V_{tp}|$ می باشد. روابط ID در هر دو ناحیه کاری بدون تغییر باقی می ماند، چراکه تمام متغیرهای ولتاژ بصورت توان دو هستند به استثنای جریان که اکنون از سورس به درین جاری می شود.

برای ترانزیستورهای تهی نوع کانال n تنها تفاوت این است که $V_{td} < 0v$ و مقدار نوعی ممکن است $V_{td} = -2v$ باشد.

مدل سازی سیگنال کوچک

مدل سازی سیگنال کوچک ترانزیستورهای MOS بطور خلاصه در این بخش معرفی می گردد. مدل سیگنال کوچک برای ناحیه اشباع و در فرکانس های پایین در شکل (۳-۲۳) نشان داده شده است و پارامترهای g_m ، g_s و r_{ds} از روابط زیر محاسبه می گردند.

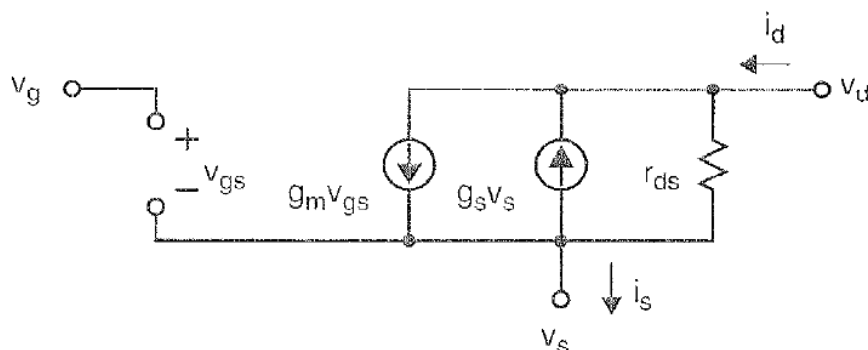
$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (3.83)$$

$$g_s = \frac{\gamma g_m}{2\sqrt{V_{SB} + |2\phi_F|}} \quad (3.84)$$

$$r_{ds} \equiv \frac{1}{\lambda I_D} \quad (3.85)$$

و داریم:

$$\lambda = \frac{k}{2L\sqrt{V_{DS} - V_{eff} + \Phi_0}} \quad (3.86)$$



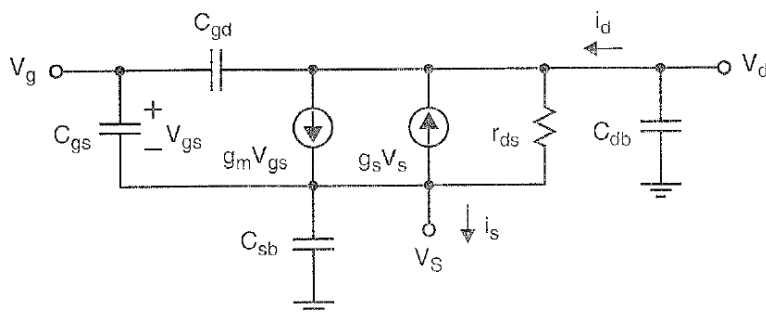
شکل ۳-۲۳. مدل سیگنال کوچک فرکانس پایی یک ترانزیستور MOS.

پارامتر g_s مربوط به اثر بدنه است و به ندرت در مدارهای دیجیتال اهمیت دارد. امپدانس خروجی ترانزیستور، r_{ds} بهره گیت های منطقی را تنها زمانی که گیت در نقطه آستانه خود است تحت تأثیر قرار می دهد و این پارامتر نیز از اهمیت کمی برخوردار است. پارامتر هدایت، g_m از آنجا که معیار خوبی برای نشان دادن قابلیت شارژ و دشارژ ترانزیستورهاست، پارامتر مهمتری محسوب می شود.

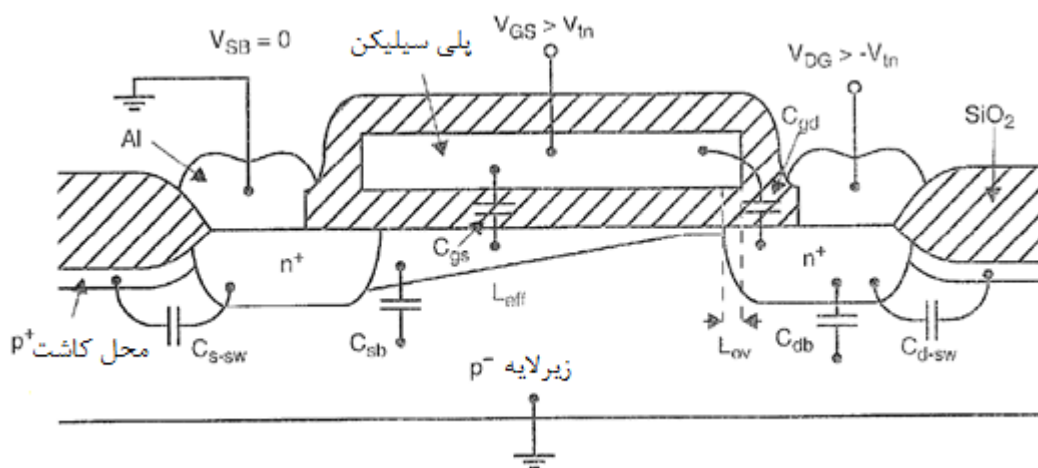
مدل سیگنال کوچکی که در بر گیرنده خازن های پارازیتیک است در شکل (۳-۲۴) نشان داده شده است. خازن های مختلف نشان داده شده در نمای مقطع عرضی یک ترانزیستور MOS در شکل (۳-۲۵) نشان داده شده اند. در مدارهای دیجیتال، مهمترین خازن معمولاً خازن ورودی گیت است. بسته به ناحیه کاری ترانزیستور که در آن بایاس شده است، این خازن معمولاً در محدوده

نشان داده شده در رابطه (۳-۸۷) تغییر می کند. البته معمولاً مقدار این خازن با حد بالای آن تخمین زده می شود. خازن های مهم دیگر در مدارهای دیجیتال، خازن های اتصال C_{db} و C_{sb} هستند که در نتیجه خازن های بایاس معکوس شده ناحیه تهی اتصالات سورس و درین و حتی احتمالاً خازن های کانال به زیرلایه به وجود می آیند.

$$\frac{WL}{2}C_{ox} < C_g < WLC_{ox} \quad (3.87)$$



شکل ۳-۲۴. مدل سیگنال کوچک یک ترانزیستور MOS در ناحیه اشباع.



شکل ۳-۲۵. نمای مقطع عرضی یک ترانزیستور MOS کانال n که خازن های سیگنال کوچک را نشان می دهد.

مدل سازی پیشرفته MOS

در این بخش به برخی از مفاهیم مدل سازی پیشرفته تر که طراحان مدارهای مجتمع احتمالاً با آن مواجه می شوند مروری خواهیم داشت که عبارتند از تغییر مقیاس^۱، اثرات کانال کوتاه^۲، عملکرد زیرآستانه^۳، جریان های نشتی^۴ و قفل شدگی^۵.

تغییر مقیاس

هرگاه یک فناوری به ابعاد کوچکتر تغییر مقیاس دهد، انتظار می رود که عملکرد مدار بدون تغییر باقی بماند، البته جز اینکه با تغییر مقیاس، مزیت افزایش سرعت را بدست آوریم. این امر بطور ایدآل امکان پذیر است اگر تغییر مقیاس، میدان الکتریکی را ثابت نگاه دارد. از نظر تئوری این امکان وجود دارد، به شرط آنکه سطوح ولتاژ متناسب با ابعاد، و سطوح تغلیظ متناسب با معکوس ابعاد تغییر مقیاس داده شوند. بنابراین، اگر تغییر مقیاس ابعاد با فاکتور $\frac{1}{S}$ صورت پذیرد که S عددی بزرگتر از یک باشد، آنگاه برای تغییر مقیاس میدان ثابت، باید ولتاژها را با فاکتور $\frac{1}{S}$ و سطوح تغلیظ را با فاکتور s تغییر مقیاس دهیم. این تغییر مقیاس میدان ثابت بطور ایدآل سرعت تمامی حامل ها را بدون تغییر نگاه می دارد و محاسبه اثر آن بر بسیاری ویژگی های مهم دیگر در تراشه های دیجیتال ساده است. برای مثال، با تکرار رابطه (۳-۶۰) داریم:

$$C_{ox} = \frac{K_{ox}\epsilon_0}{d_{ox}} \quad (3.88)$$

از آنجاکه d_{ox} با معکوس S متناسب است، خازن گیت در واحد سطح که با C_{ox} نشان داده شده است، متناسب با S افزایش می یابد. اما از آنجا که مساحت گیت متناسب با معکوس S^2 کاهش می یابد، خازن کل گیت متناسب با $\frac{1}{S}$ تغییر مقیاس خواهد داد.

همچنین از رابطه (۳-۶۹) و (۳-۷۱) مشاهده می شود که جریان درین ترانزیستورهای MOS متناسب با C_{ox} و نیز توان دوم ولتاژها و اما مستقل از ابعاد مطلق هستند، با فرض اینکه نسبت $\frac{W}{L}$ بدون تغییر بماند. از آنجا که C_{ox} متناسب است با $\frac{1}{S}$ و ولتاژها متناسب اند با $\frac{1}{S}$ ، جریان ترانزیستور متناسب است با $\frac{1}{S^2}$.

به منظور تعیین اینکه تغییر مقیاس به چه میزان سرعت را تحت تأثیر قرار می دهد، نیاز به روابطی داریم که در فصول آینده اثبات خواهد شد. این روابط بیان می دارند که زمان متوسط صعود و نزول یک معکوس کننده CMOS که با t_{AV} نشان داده می شود از رابطه (۳-۸۹) محاسبه می گردد.

$$t_{AV} = \frac{1.5L^2}{(V_{DD} - V_{tn})\mu_n} \left(1 + \frac{W_p}{W_n}\right) \left(1 + \frac{\mu_n W_n}{\mu_p W_p}\right) \quad (3.89)$$

^۱ Scaling

^۲ Short-Channel effects

^۳ Sub-threshold Operation

^۴ Leakage Currents

^۵ Latch-Up

بنابراین رابطه (۳-۹۰) برقرار است و هر دو پارامتر L و $V_{DD}-V_{in}$ متناسب با $\frac{1}{S}$ هستند.

$$t_{AV} \propto 1/S \quad (3.90)$$

نسبت معکوس تأخیر با تغییر مقیاس در مورد گیت های منطقی که پیچیده تر از گیت معکوس کننده نیز هستند صادق است. توجه داشته باشید از آنجا که خازن از رابطه (۳-۹۱) محاسبه می گردد، می توان رابطه (۳-۹۲) را بدست آورد.

$$I = C \frac{dv}{dt} \quad (3.91)$$

$$\Delta t \propto \frac{C}{I} \Delta V \quad (3.92)$$

از تناسب های بدست آمده که عبارتند از $C \propto \frac{1}{S}$ ، $\Delta V \propto \frac{1}{S}$ و $I \propto \frac{1}{S}$ می توان استنباط کرد که $\Delta t \propto \frac{1}{S}$ با رابطه (۳-۹۰) هم خوانی دارد.

به منظور تعیین تأثیر پذیری توان مصرفی از تغییر مقیاس نیز احتیاج به روابطی است که در فصول آینده آنها را اثبات خواهیم نمود. توان مصرفی متوسط یک معکوس کننده که از "۱" به "۰" و مجدداً به "۱" تغییر می کند، در هر دوره تناوب T از رابطه (۳-۹۳) محاسبه می گردد.

$$P_{AV} = \frac{C_L V_{DD}^2}{T} \quad (3.93)$$

از آنجا که $C_L \propto \frac{1}{S}$ و $V_{DD} \propto \frac{1}{S}$ و $T \propto \frac{1}{S}$ (از رابطه (۳-۷۱))، بنابراین داریم:

$$P_{AV} \propto 1/S^2 \quad (3.94)$$

بنابراین، توان مصرفی متوسط در گیت، به نسبت معکوس فاکتور تغییر مقیاس به توان دو کاهش می یابد. اگر اندازه تراشه تغییر نکند، تعداد گیت های در یک تراشه متناسب با فاکتور تغییر مقیاس به توان دو افزایش می یابد. بنابراین این تغییر مقیاس با ثبات میدان الکتریکی توان کل مصرفی چگالی توان یک تراشه را تغییر نخواهد داد. مجدداً بیان می کنیم که تمامی این موارد بستگی به ولتاژ منبع تغذیه یا همان V_{DD} دارد که به نسبت عکس $\frac{1}{S}$ کاهش می یابد. این ذخیره سازی در توان مصرفی یکی از مهمترین عوامل کاهش ولتاژ منبع تغذیه استاندارد از ۵ ولت به ۳٫۳ ولت و ۲٫۵ ولت است که امروزه شاهد آن هستیم. کلیه نسبت ها را می توان بصورت خلاصه در جدول (۳-۱) مشاهده نمود.

جدول (۳-۱) تأثیر تغییر مقیاس ابعاد یک IC متناسب با $\frac{1}{S}$ و با ثابت ماندن میدان الکتریکی.

| ضریب مقیاس | پارامتر |
|-----------------|----------------------------------------------|
| $\frac{1}{S}$ | ابعاد قطعه، t_{ox} ، L ، W ، عمق اتصال |
| S | غلظت تغلیظ، N_A |
| $\frac{1}{S}$ | ولتاژ، V |
| $\frac{1}{S}$ | جریان، I |
| $\frac{1}{S}$ | خازن، $\epsilon A \S t_{ox}$ |
| $\frac{1}{S}$ | زمان تأخیر، $VC \S I$ |
| $\frac{1}{S^2}$ | توان مصرفی (در گیت)، VI |
| 1 | چگالی توان، $VI \S A$ |
| $\frac{1}{S^3}$ | حاصلضرب توان در تأخیر |

شاید مهم ترین دیدگاهی که می توان از جدول (۳-۱) بدست آورد این است که تغییر مقیاس میدان ثابت، سرعت را افزایش می دهد و به ویژه میزان حاصل ضرب توان- تأخیر را متناسب با $\frac{1}{S^3}$ کمینه می نماید. حاصل ضرب توان- تأخیر را می توان به عنوان مهم ترین معیار کارایی خانواده های منطقی به شمار آورد.

متأسفانه بنابر دلایل مختلف، تغییر مقیاس میدان ثابت به سهولت تغییر مقیاس ولتاژهای مدار که متناسب است با $\frac{1}{S}$ امکان پذیر نمی باشد. این دلایل شامل موارد زیر است:

- ولتاژ تغذیه با فرضیات سیستمی تعیین می گردد و نمی توان آن را کاهش داد
- نسبت سیگنال به نویز و حاشیه های نویز بسیار کوچک می شوند
- ولتاژ آستانه ترانزیستورها را نمی توان در حضور جریان های زیرآستانه بزرگ، خیلی نزدیک به صفر ایجاد نمود
- سرعت که مهم ترین عامل است و نه با تغییر مقیاس $\frac{1}{S}$ ، بلکه می توان سرعت را به نسبت بیش از S افزایش داد

بنابر این دلایل، می توان ولتاژ را بدون تغییر باقی گذاشت که به این حالت تغییر مقیاس ولتاژ ثابت گویند یا ولتاژ تقریباً متناسب با $\frac{1}{\sqrt{5}}$ تغییر مقیاس می شود که این حالت تغییر مقیاس شبه ثابت^۱ نامیده می شود. در حال حاضر ابعاد تجاری تراشه های CMOS نوعاً در حدود ۰,۱۸ میکرون و یا ۰,۶ میکرون و یا حتی کوچکتر از این ابعاد است.

از آنجا که ولتاژها به ندرت متناسب با $\frac{1}{5}$ تغییر مقیاس می شوند، میدان های الکتریکی اغلب با تغییر مقیاس، افزایش می یابند. این افزایش میدان الکتریکی موجب برخی اثرات نامطلوب می شود. برخی از این اثرات نامطلوب عبارتند از کاهش قابلیت تحرک^۲، اثرات حامل های داغ^۳، تونل سازی اکسید^۴ که موجب جابجایی^۵ تدریجی ولتاژ آستانه، جریان های درین به زیرلایه و کاهش امپدانس خروجی ترانزیستور و در نتیجه کاهش بهره^۶ می شوند. با تغییر مقیاس ابعاد فناوری باید با این اثرات نامطلوب مبارزه کرد. اصطلاحاً این اثرات نامطلوب، اثرات کانال کوتاه^۷ نامیده می شود.

اثرات کانال کوتاه

برخی اثرات کانال کوتاه وجود دارد که با کاهش مقیاس ابعاد، عملکرد ترانزیستورهای MOS را کاهش می دهد. این اثرات شامل اشباع سرعت، کاهش قابلیت تحرک، کاهش امپدانس خروجی و اثرات حامل های داغ (از قبیل تله گذاری اکسید^۸ و جریان های زیرلایه) می باشد.

ترانزیستورهایی که دارای طول کوتاه و میدان الکتریکی بزرگ می باشند به دلایل متعددی دچار کاهش قابلیت تحرک حامل های خود می شوند. یکی از این عوامل، میدان الکتریکی جانبی بزرگ (که دارای مؤلفه برداری در جهت عمود بر گیت در سیلیکن می باشد) است که به واسطه ولتاژ گیت بزرگ و طول کوتاه کانال بوجود می آید. این میدان الکتریکی جانبی بزرگ موجب می شود که عمق مؤثر کانال تغییر کند و همچنین موجب برخورد های الکترونی بیشتر می شود که در نتیجه، قابلیت تحرک مؤثر را کاهش می دهد. عامل دیگر این است که در نتیجه میدان های الکتریکی بزرگ، سرعت حامل ها اشباع می شود. این اشباع موجب می شود که ویژگی مربعی رابطه جریان- ولتاژ نا صحیح شود و رابطه صحیح، در محدوده ای بین خطی و مربعی باشد.

دیگر اثر مهم کانال کوتاه، حامل های داغ است. این حامل های با سرعت بسیار بالا می توانند به واسطه یونیزاسیون ضربه ای و بهمنی موجب اثرات مخربی از قبیل تولید زوج های الکترون- حفره شوند. همان طور که در شکل (۳-۲۶) نشان داده شده است، این زوج های الکترون- حفره اضافی می توانند موجب شوند که جریانی از درین به زیرلایه به وجود آید. این اثر می تواند با یک

^۱ Quasi-Constant

^۲ Mobility Degradation

^۳ Hot-Carrier Effects

^۴ Oxide Tunneling

^۵ Shift

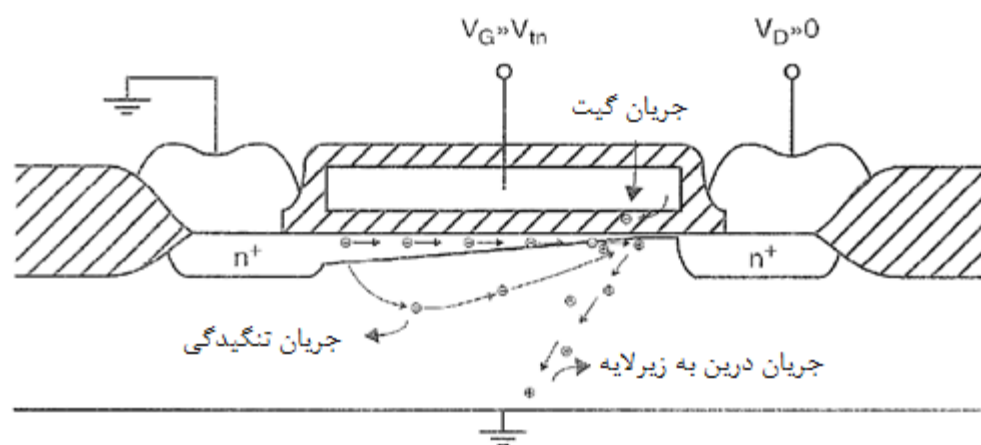
^۶ Gain

^۷ Short-Channel Effects

^۸ Oxide Trapping

امپدانس درین به کانال متناهی مدل شود. در نتیجه، این پدیده یکی از مهمترین محدود کننده های دست یابی به امپدانس خروجی بسیار بالای منابع جریان متوالی^۱ می باشد. علاوه بر این، می تواند موجب افت ولتاژ بر روی زیرلایه شود و احتمالاً موجب پدیده قفل شدگی^۲ شود که در بخش بعدی معرفی خواهد شد.

دیگر اثر حامل های داغ به دلیل این است که الکترون ها انرژی زیاد کافی را جذب می کنند و بنابراین می توانند به سمت اکسید نازک گیت و یا حتی به احتمالاً به درون آن تونل بزنند. این اثر می تواند موجب جریان های گیت dc شود. هرچند اغلب عامل خطرناک تر این است که هر بار الکتریکی در دام افتاده در اکسید، موجب یک جابجایی ولتاژ آستانه ترانزیستور می شود. در نتیجه، حامل های داغ مهم ترین عامل محدود کننده قابلیت اعتماد در عملکرد بلند مدت ترانزیستورهای MOS می باشد.



شکل ۳-۲۶. جریان درین به زیرلایه که در ناحیه درین کانال، به واسطه تولید حفره-الکترن و بر اثر یونیزاسیون ضربه ای به وجود آمده است.

اثر سوم حامل های داغ زمانی است که الکترون ها با انرژی کافی در بین سورس و درین منگنه^۳ می شوند. در نتیجه، این الکترون های با انرژی بالا دیگر از روابط معمول به منظور هدایت در طول کانال تبعیت نخواهند کرد. این روند گاهی اوقات مشابه ترانزیستورهای دوقطبی است، زمانی که ناحیه تهی کلکتور به سمت ناحیه بیس و امیتر توسعه می یابد. در یک ترانزیستور MOS طول کانال مؤثر صفر می شود که موجب جاری شدن یک جریان بی نهایت می شود (به استثنای امپدانس های سورس و درین سری شده و مدارهای خارجی). این پدیده، یکی دیگر از اثرات امپدانس خروجی کاهش یافته و احتمالاً شکست ترانزیستور است.

باید عنوان شود که تمامی اثرات حامل های داغ بیان شده، بیشتر در مورد ترانزیستورهای نوع n است تا نوع کانال p و دلیل آن سرعت بیشتر الکترون ها نسبت به حفره ها می باشد.

^۱ Cascode

^۲ Latch-Up

^۳ Punch

و در آخر باید بیان شود که ترانزیستورهای کانال کوتاه، دارای جریان های زیرآستانه بزرگتری نسبت به ترانزیستورهای با کانال طولانی تر هستند. این پدیده، بیشتر از هر عامل دیگری، در نتیجه اثری است که به کاهش مانع القایی درین (DIBL)^۱ مشهور است. این اثر مرتبه دوم زمانی رخ می دهد که میدان الکتریکی در درین به سمت سورس امتداد یابد و بنابراین موجب کاهش ولتاژ آستانه مؤثر می شود. این اثر را می توان با استفاده از نفوذ مدرج تغلیظ در درین به طور قابل ملاحظه ای جبران نمود.

عملکرد زیرآستانه

روابط و معادلات ارائه شده برای ترانزیستورهای MOS همگی بر اساس این فرض بودند که $V_{eff} = V_{GS} - V_t$ بزرگتر از ۵۰ میلی ولت و یا در این حدود است. اگر چنین نباشد، صحت معادلات توان دو زیر سوال می رود و گفته می شود که ترانزیستور در ناحیه زیرآستانه قرار دارد. ترانزیستور را در این ناحیه کاری می توان بطور دقیق تر توسط رابطه ای نمایی بین ولتاژ کنترل و جریان آن و مشابه با یک ترانزیستور دوقطبی مدل نمود. در ناحیه زیرآستانه، جریان درین تقریباً از رابطه نمایی (۳-۹۵) محاسبه می شود که در آن n از رابطه (۳-۹۶) محاسبه می گردد و فرض شده است که $V_S = 0$ و $V_{DS} > 75\text{mV}$ و یا در این حدود و مقدار I_{D-0} در حدود ۲۰ نانوامپر است.

$$I_D \cong I_{D-0} \left(\frac{W}{L} \right) e^{(qV_{GS}/nkT)} \quad (3.95)$$

$$n = \frac{C_{ox} + C_{depl}}{C_{ox}} \approx 1.5 \quad (3.96)$$

هرچند که ترانزیستورها در این ناحیه یک رابطه نمایی دارند، به دلیل جریان های بایاس کوچک، هدایت هنوز کوچک است و ترانزیستورها به دلیل این که فقط جریان های کوچک به منظور شارژ یا دشارژ خازن ها در دسترس می باشد، کند هستند. علاوه بر این، انطباق ترانزیستورها بسیار مشکل است چراکه ولتاژ آستانه ترانزیستورها به ندرت با یکدیگر منطبق هستند. عموماً ترانزیستورها به جز در فرکانس های پایین و کاربردهای با توان اندک، در ناحیه زیرآستانه عمل نخواهند کرد.

جریان های نشتی^۲

محدودیت مرتبه دوم مهم دیگری که در برخی کاربردها به چشم می خورد، جریان نشتی یک اتصال است. برای مثال، در تخمین زمان حداکثر یک مدار نمونه برداری^۳ یا یک سلول حافظه که در حالت نگهداری^۴ مقدار قرار دارد. جریان نشتی یک اتصال بایاس

^۱ Drain-Induced Barrier Lowering

^۲ Leakage Currents

^۳ Sample and Hold

^۴ Hold Mode

معکوس که به نقطه شکست خیلی نزدیک است را می توان بطور تقریبی از رابطه (۳-۹۷) محاسبه نمود که در آن A_j مساحت اتصال، n_i غلظت خالص حامل ها در سیلیکن غیر تغلیظ شده، τ_0 چرخه طول عمر مؤثر حامل اقلیت و x_d ضخامت ناحیه تهی است. τ_0 از رابطه (۳-۹۸) محاسبه می گردد که در آن τ_n و τ_p به ترتیب چرخه زمانی الکترون ها و حفره ها می باشد.

$$I_{lk} \approx \frac{qA_j n_i}{2\tau_0} x_d \quad (3.97)$$

$$\tau_0 \equiv \frac{1}{2}(\tau_n + \tau_p) \quad (3.98)$$

مقدار x_d از رابطه (۳-۹۹) و n_i از رابطه (۳-۱۰۰) محاسبه می گردند، به طوری که N_c و N_v مقادیر چگالی در وضعیت های هدایت^۱ و پیوندهای والانس^۲ هستند و E_g تفاضل انرژی بین دو پیوند می باشد.

$$x_d = \sqrt{\frac{2\epsilon_{si}}{qN_A}(\Phi_0 + V_r)} \quad (3.99)$$

$$n_i \equiv \sqrt{N_C N_V} e^{-\frac{E_g}{kT}} \quad (3.100)$$

از آنجا که تغلیظ خالص n_i تابعی قوی از دماست (تقریباً به ازاء هر ۱۱ درجه سانتی گراد افزایش دمای سیلیکن، دو برابر می شود)، جریان نشتی نیز تابعی قوی از دما خواهد بود و بنابراین بطور تقریبی به ازاء هر ۱۱ درجه سانتی گراد افزایش دمای سیلیکن، دو خواهد شد. از این رو در مقایسه با دمای اتاق، در دماهای بالا، بسیار بزرگتر خواهد بود. این جریان نشتی، میزان زمان حداکثری را که خروجی که بطور پویا شارژ شده است، می توان در حالت امیدانس بالا نگه داشت به مدار تحمیل خواهد نمود.

قفل شدگی^۳

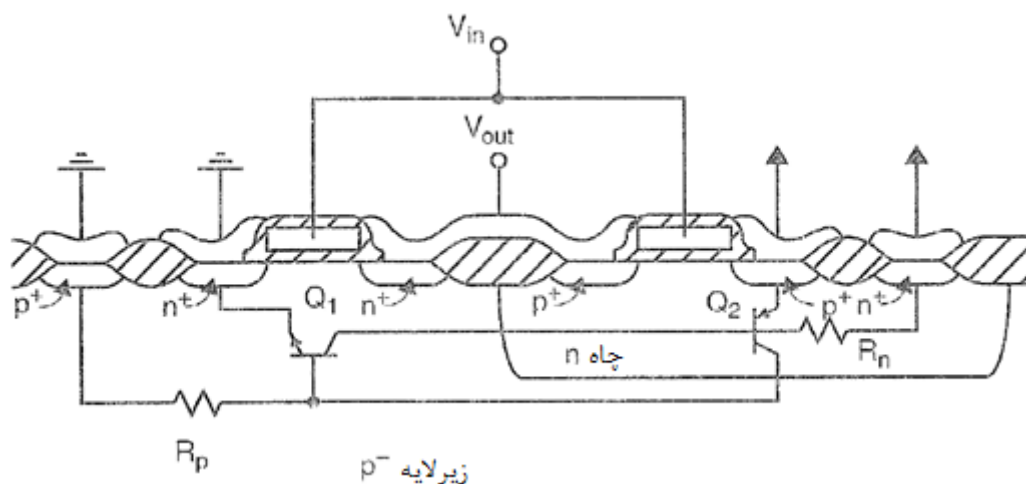
یکی از مواردی که طراحان CMOS، به ویژه هرچه ابعاد کوچکتر می شود در مواجه با آن باید بسیار هشیار باشند، پدیده ایست به نام قفل شدگی. این اثر می تواند زمانی رخ دهد که جریان های زیرلایه یا چاه ها و یا بطور معادل، زیرلایه بزرگ یا افت ولتاژ در چاه که بعضاً توسط خازن تزویج بوجود می آیند، وجود داشته باشد.

^۱ Conduction

^۲ Valence bands

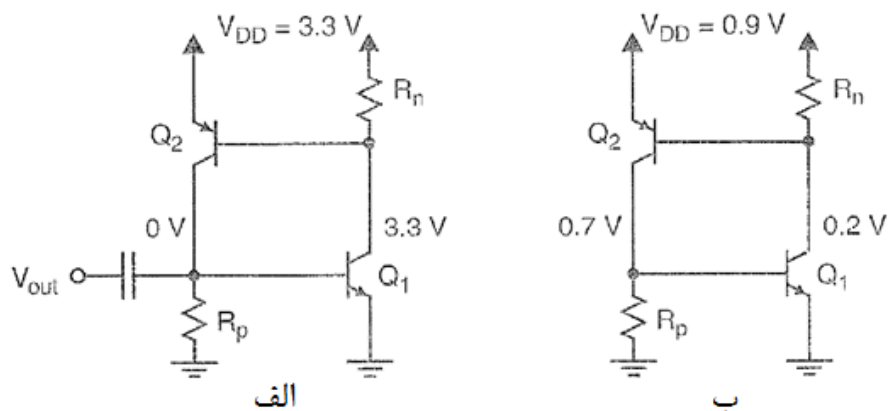
^۳ Latch-Up

این افت ولتاژهای محرک، اغلب زمانی رخ می دهند که تراشه CMOS اولین بار به منبع تغذیه متصل شود. دیگر دلیل شایع قفل شدگی، جریان های زیرلایه هستند که از خازن های تزویج متصل به خروجی به وجود می آیند. زمانی که یک تراشه دچار قفل شدگی می شود، معادل است با این که یک یکسوساز کنترل شونده سیلیکونی (SCR)^۱ خاموش، بین زمین و V_{DD} داشته باشیم. این مسئله در تراشه باعث ایجاد اتصال کوتاه می شود و تا زمانی که جریان منبع تغذیه محدود نشود، بسیار شبیه این است که دچار خرابی غیر قابل تعمیر شده است از قبیل رخداد فیوز باز شده در مسیر سیم ها و اتصالات میانی. به منظور درک پدیده قفل شدگی، معکوس کننده CMOS نشان داده شده از مقطع عرضی در شکل (۳-۲۷) را در نظر بگیرید. ترانزیستورهای دوقطبی پارازیتیکی Q_1 و Q_2 نیز در این شکل نشان داده شده اند. ترانزیستور Q_1 یک ترانزیستور جانبی npn است که بیس آن از زیرلایه p^- تشکیل شده است. ترانزیستور Q_2 یک ترانزیستور عمودی pnp است که بیس آن از ناحیه چاه n تشکیل شده است. مدار دوقطبی پارازیتیکی مربوطه در شکل (۳-۲۸) به همراه برخی مقاومت های پارازیتیک که در نتیجه زیرلایه کم تغلیظ شده و نواحی چاه ها به وجود آمده اند نشان داده شده است.



شکل ۳-۲۷. نمای مقطع عرضی یک معکوس کننده CMOS با شماتیک ترانزیستورهای پارازیتیک که موجب تشکیل پدیده قفل شدگی می شود.

^۱ Silicon Controlled Rectifier



شکل ۳-۲۸. (الف) مدار معادل ترانزیستورهای دوقطبی (ب). ولتاژها، پس از رخداد پدیده قفل شدگی.

می توان مشاهده نمود که این مدار دو آمپلی فایر امیتر مشترک تزویجی را به صورت یک حلقه فیدبک مثبت پیاده سازی می کند و مدار معادل یک SCR است که گاهی اوقات کلید اهرم^۱ نامیده می شود. معمولاً ترانزیستورهای پارازیتیک دوقطبی خاموش هستند و ولتاژها بصورتی است که در شکل (۳-۲۸ الف) نشان داده شده است. هرچند اگر بنا بر دلایلی روشن می شوند و بهره حلقه مقداری بیش از واحد خواهد بود و آنگاه ولتاژها تقریباً بصورت شکل (۳-۲۸ ب) خواهند بود که موجب یک اتصال کوتاه و یا اهرم در مسیر منبع تغذیه می شود و باعث می شود که V_{DD} تقریباً تا ۰٫۹ ولت کاهش یابد. اگر منبع تغذیه محدودیتی در تأمین جریان نداشته باشد، جریان اضافی موجب داغ شدن هادی شده و نهایتاً موجب (ذوب شدن و) قطع مسیر عبور خواهد شد.

روش هایی وجود دارد که موجب پدیده قفل شدگی می شود. برای مثال، خروجی V_{out} در معکوس کننده CMOS نشان داده شده در شکل (۳-۲۷) توسط خازن های تهی نواحی اتصال درین های MOS به صورت یک خازن تزویج شده است به بیس های ترانزیستورهای دوقطبی. اگر معکوس کننده (مثلاً بصورت یک بافر خروجی) بزرگ باشد، آنگاه این خازن ها می توانند بزرگ باشند. زمانی که خروجی معکوس کننده تغییر کند، تغییرات ناخواسته^۲ ولتاژ، گره های بیس ترانزیستورهای پارازیتیک دوقطبی را تحریک خواهد نمود و اگر این تغییرات به حد کافی بزرگ باشد، امکان رخداد پدیده قفل شدگی زیاد خواهد بود. همچنین، جریان های زیرلایه که به واسطه الکترون های داغ ایجاد می شوند نیز موجب افت ولتاژهای به حد کافی بزرگ شده و باعث رخداد پدیده قفل شدگی خواهد شد.

به منظور جلوگیری از قفل شدگی، بهره حلقه معکوس کننده های دوقطربی باید کوچکتر از واحد نگاه داشته شود. این حالت با نگر داشتن بهره جریان های ترانزیستورهای پارازیتیک دوقطبی در حد ممکن کوچک و از همه مهم تر با مقاومت های شانت^۳ R_p و R_n تا حد ممکن کوچک امکان پذیر خواهد بود. بهره جریان ترانزیستور pnp عمودی Q2 باید بین ۵۰ تا ۱۰۰ باشد و کوچک کردن آن کار مشکلی است. بهره جریان ترانزیستور npn جانبی را می توان با افزایش فاصله بین ترانزیستورهای کانال n و کانال p کاهش داد.

^۱ Crowbar Switch

^۲ Glitch

^۳ Shunting Resistors

هرچند، با استفاده از فاصله معمولی حاصل ضرب $\beta_{npn}\beta_{pnp}$ همچنان بیشتر از واحد خواهد بود. بهره حلقه معمولاً کمتر از واحد نگاه داشته می شود و با کاهش R_p و R_n می توان از قفل شدگی جلوگیری نمود. راه های اصلی کاهش R_p و R_n داشتن مسیرهای با امپدانس کم بین زیرلایه و چاه تا خطوط منبع تغذیه می باشد. یکی از روش های دست یابی به این حالت این است که اتصالات زیادی در زیرلایه وجود داشته باشد. برای مثال، در فناوری چاه n ، قواعد طراحی، بیشترین فاصله بین هر محل در نواحی کانال n یک مدار مجتمع و نزدیک ترین اتصال p^+ که زیرلایه را به زمین متصل می کند، تعیین خواهد نمود. بطور مشابه، در نواحی کانال p ، بیشترین فاصله تا نزدیک ترین اتصال n^+ که چاه ها را به V_{DD} متصل می کند، تعیین خواهد شد.

همچنین پس از اینکه مرحله چینش^۱ به پایان رسید، یک طراح خوب معمولاً نواحی که مورد استفاده قرار نگرفته اند را با گره های^۲ اضافی به زیرلایه و نواحی چاه ها پر خواهد نمود. علاوه بر این، هر ترانزیستوری که جریان زیادی عبور می دهد باید با حلقه های محافظ محصور شود. این حلقه های محافظ همان گره هایی هستند که برای ترانزیستورهای کانال n به زیرلایه و برای ترانزیستورهای کانال p به چاه وجود دارند و به طور کامل ترانزیستورهای با جریان بالا را احاطه می کنند. این تکنیک اغلب در مورد بافرهای خروجی مورد استفاده قرار می گیرد. در نهایت، اطمینان از اینکه پشت قرص^۳ از طریق یک پیوند طلای مذاب به رأس بسته بندی تراشه به زمین مفید است. شاید یکی از بهترین روش ها به منظور جلوگیری از قفل شدگی، استفاده از فرایند رشد همبافته^۴ و به ویژه با لایه های غرق اندود شده با غلظت بالا می باشد. برای مثال اگر یک زیرلایه p^+ دارای یک لایه همبافته p^- باشد به طوری که ترانزیستورها در آن قرار گرفته باشند، کارایی آن تنها از نظر حاشیه ها تحت تأثیر قرار خواهد گرفت اما زیرلایه هادی p^+ غلیظ دارای امپدانس بسیار کوچکی به اتصالات زمین و رأس بسته بندی تراشه هستند. همچنین زیرلایه p^- ممکن است مورد استفاده قرار گیرد که دارای نواحی n^+ و غرق اندود p و یک ناحیه ذاتاً همبافته است که مجزا است که این ناحیه به طور بهینه برای تشکیل نواحی کانال n و کانال p کاشت یونی شده است. این فناوری وان دوقلوی خود همراه است^۵ به دلیل وجود لایه های غرق اندود هادی، در برابر قفل شدگی بسیار امن است.

مسائل فصل

۸-۳ نشان دهید زمانی که $V_{DS} = V_{eff}$ در معادله خطی^۶ برای یک ترانزیستور MOS استفاده شود، معادله جریان در ناحیه

$$I_D = \frac{\mu_n \times C_{OX}}{2} \times \frac{W}{L} \times (V_{GS} - V_{tn})^2 \quad \text{اشباع}^7 \text{ به صورت}$$

پاسخ:

^۱ Layout

^۲ Extra Ties

^۳ Die

^۴ Epitaxial Process

^۵ Self-Aligned Twin-Tub Technology

^۶ triode

^۷ active

برای NMOS در ناحیه خطی داریم:

$$I_D = \mu_n \times C_{OX} \times \frac{W}{L} \times \left[(V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

اگر $V_{DS} = V_{eff} = V_{GS} - V_{tn}$ باشد داریم:

$$\begin{aligned} I_D &= \mu_n \times C_{OX} \times \frac{W}{L} \times \left[(V_{GS} - V_{tn}) (V_{GS} - V_{tn}) - \frac{(V_{GS} - V_{tn})^2}{2} \right] \\ &= \mu_n \times C_{OX} \times \frac{W}{L} \times \left[(V_{GS} - V_{tn})^2 - \frac{(V_{GS} - V_{tn})^2}{2} \right] \\ &= \mu_n \times C_{OX} \times \frac{W}{L} \times \left[\frac{1}{2} \times (V_{GS} - V_{tn})^2 \right] = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \end{aligned}$$

برای PMOS تمام μ_n ها را با μ_p جایگزین می کنیم و سایر روابط بدون تغییر باقی خواهند ماند.

۳-۹ مقدار I_D را برای یک ترانزیستور کانال n که دارای $N_A = 10^{22} / m^3$ و $N_D = 10^{25} / m^3$ و $W = 50 \mu m, L = 1.5 \mu m, V_{GS} = 1.1v, V_{DS} = V_{eff}$ است بدست آورید. با فرض اینکه λ ثابت باقی می ماند،

اگر V_{DS} به اندازه 0.3 v افزایش یابد مقادیر جدید I_D را بدست آورید.

پاسخ:

$$N_A = 10^{22} / m^3$$

$$N_D = 10^{25} / m^3$$

$$W = 50 \mu m$$

$$L = 1.5 \mu m$$

$$V_{GS} = 1.1v$$

$$V_{tn} = 0.7v$$

$$\mu_n \times C_{OX} = 188 \frac{\mu A}{v^2}$$

$$V_{DS} = V_{eff} = V_{GS} - V_{tn} = 1.1 - 0.7 = 0.4v$$

$$I_D = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \left(1 + \lambda (V_{DS} - V_{eff}) \right)$$

$$I_D = \frac{1}{2} \times 188 \frac{\mu A}{v^2} \times \frac{50}{1.5} (0.4v)^2 (1 + \lambda(0)) = 501.34 \mu A$$

$$\lambda = \frac{K_{ds}}{2 \times L \times \sqrt{V_{DG} + V_{tn} + \Phi_0}} = \frac{K_{ds}}{2 \times L \times \sqrt{V_{DS} - V_{eff} + \Phi_0}}$$

$$K_{ds} = \sqrt{\frac{2 \times K_s \times \epsilon_0}{q \times N_D}} = \sqrt{\frac{2 \times 11.8 \times 8.854 \times 10^{-12}}{1.6 \times 10^{-19} \times 10^{22}}} = 0.362 \times 10^{-6} \frac{m}{\sqrt{v}}$$

$$V_{DS} = 0.7v = 0.4 + 0.3v$$

$$\lambda = \frac{0.362 \times 10^{-6}}{2 \times 1.5 \times \sqrt{0.7 - 0.4 + 0.9}} = 1.1 \times 10^{-7} = 0.11 \times 10^{-6} v^{-1}$$

$$I_{D-2} = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \left(1 + \lambda (V_{DS} - V_{eff}) \right)$$

$$= 501.34 \times \left(1 + 0.11 \times 10^{-6} \times 0.3 \right) = 501.3400165 \mu A$$

۳-۱۰ یک ترانزیستور MOS در ناحیه اشباع با $V_{DS} = V_{eff}$ جریان $20\mu A$ دارد. زمانی که V_{DS} به اندازه $0.5V$ افزایش یابد I_D به اندازه $23\mu A$ افزایش می یابد. امپدانس خروجی (r_{ds}) و ثابت امپدانس خروجی (λ) را بدست آورید.

پاسخ:

$$I_D = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2$$

در ناحیه اشباع که $V_{DS} = V_{GS} - V_{tn}$ داریم:

$$V = R \times I$$

$$20\mu A = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{DS})^2$$

$$eqI: 20\mu A = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn}) \times (V_{GS} - V_{tn})$$

$$= \frac{1}{\frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})}$$

$$23 = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \left(1 + \lambda (V_{DS} - V_{eff}) \right)$$

$$eqII: 23 = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 (1 + \lambda \times 0.5)$$

با جایگذاری رابطه eqI در رابطه $eqII$ داریم:

$$23 = 20 \times (1 + \lambda \times 0.5)$$

$$\Rightarrow \lambda = 0.3V^{-1}$$

۳-۱۱ فرض کنید تمام دیمانسیون ها با ضریب s scale شده باشند اما ولتاژ ها و سطوح doping تنها با ضریب \sqrt{s} scale شده باشند. جدول زیر را کامل کنید.

| پارامتر ها | ضریب scaling |
|----------------------------------------------------------|--------------|
| Devise dimensions, t_{OX} , L , W , junction depth | ? |

| | |
|---------------------------------------|---|
| Doping concentration, N_A | ? |
| Voltage, V | ? |
| Current, I | ? |
| Capacitance, $\epsilon A \int t_{OX}$ | ? |
| Delay time, $VC \int 1$ | ? |
| Power dissipation, VI | ? |
| Power density, $VI \int A$ | ? |

پاسخ:

تمام دیمانسیون ها با ضریب s scale شده اند اما سطوح تزریق (doping levels) و ولتاژها تنها با ضریب \sqrt{s} scale شده اند.
بنابراین:

| پارامترها | ضریب scaling |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------|
| Devise dimensions, t_{OX}, L, W , junction depth | s |
| Doping concentration, N_A | \sqrt{s} |
| Voltage, V | \sqrt{s} |
| Current, $I = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2 \Rightarrow C_{OX} \propto \frac{1}{s}$ $\Rightarrow I \propto \frac{1}{s} \times (\sqrt{s})^2 = \frac{s}{s} = 1$ | 1 |
| Capacitance, $\epsilon A \int t_{OX} \propto s \times s \times \frac{1}{s} = s$ | s |

| | |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Delay time, VC $\{1 \propto \sqrt{s} \times s \times s \times \frac{1}{1} = s\sqrt{s}$ | $s\sqrt{s}$ |
| Power dissipation(per gate), VI $\propto \sqrt{s} \times 1 = \sqrt{s}$ | \sqrt{s} |
| Power density, VI $\{A \propto \sqrt{s} \times 1 \times \frac{1}{s^2} = \frac{\sqrt{s}}{s^2} = \frac{\sqrt{s}}{s} \times \frac{1}{s} = \frac{1}{s\sqrt{s}}$ | $\frac{1}{s\sqrt{s}}$ |

۱۲-۳ پارامتر های مدل فرکانس پائین برای ترانزیستور n که دارای $N_A = 10^{22}/m^3$ ، $N_D = 10^{25}/m^3$

$V_{DS} = V_{eff}$ ، $V_{GS} = 1.1v$ ، $L = 1.2\mu m$ ، $W = 1\mu m$ ، $V_{SB} = 1.0v$ است را بدست آورید. فرض کنید

باشد.

پاسخ:

$$N_D = 10^{25} / m^3$$

$$N_A = 10^{22} / m^3$$

$$W = 1\mu m$$

$$L = 1.2\mu m$$

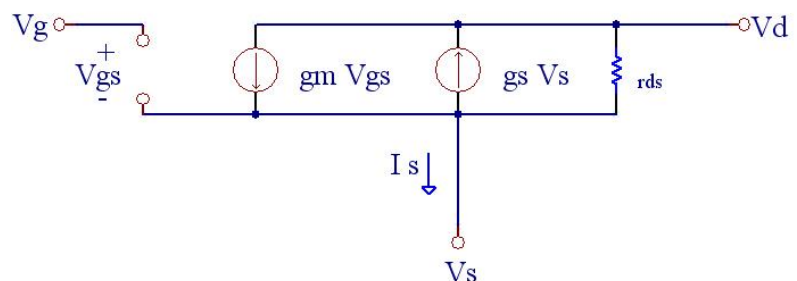
$$V_{GS} = 1.1v$$

$$V_{DS} = V_{eff}$$

$$V_{SB} = 1.0v$$

$$V_{tn} - 0 = 0.7V$$

پارامتر های مدل فرکانس پائین برای یک ترانزیستور کانال n ولتاژ درین- سورس زیادی دارند که عبارت است از $V_{DS} = V_{eff}$.



$$I_D = \frac{1}{2} \times \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})^2$$

$$C_{OX} = \frac{K_{OX} \times \varepsilon_0}{t_{OX}}$$

$$K_{OX} = 3.9$$

$$\varepsilon_0 = 8.854 \times 10^{-12}$$

فرض کنید:

$$\mu_n \times C_{OX} = 190 \frac{\mu A}{V^2}$$

داریم:

$$V_{tn} = V_{tn-0} + \gamma \left(\sqrt{V_{SB} + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

$$\gamma = 0.6$$

$$2\Phi_F = 0.7$$

$$V_{tn} = 0.7 + 0.6 \left(\sqrt{1 + 0.7} - \sqrt{0.7} \right) = 0.7 + 0.28 = 0.98V$$

$$I_D = \frac{1}{2} \times 190 \times 1.2 \times (1.1 - 0.98)^2 = 1.14 \mu A$$

$$g_m = \frac{2 \times I_D}{V_{eff}}$$

$$g_m = \frac{\partial I_D}{\partial V_{GS}}$$

$$g_m = \frac{2 \times 1.14}{1.1 - 0.98} = 19 \mu \Omega^{-1}$$

$$g_s = \frac{\partial I_D}{\partial V_{SB}} = \frac{\gamma \times g_m}{2 \sqrt{V_{SB} + |2\Phi_F|}} = \frac{0.6 \times 19}{2 \times \sqrt{1 + 0.7}} = 4.37 \mu \Omega^{-1}$$

$$r_{ds} \cong \frac{1}{\lambda \times I_D}$$

$$\lambda = \frac{K}{2 \times L \times \sqrt{V_{DS} - V_{eff} + \Phi_0}}$$

$$\Phi_0 = 0.99$$

$$K = \sqrt{\frac{2 \times K_s \times \epsilon_0}{q \times N_A}} = \sqrt{\frac{2 \times 11.8 \times 8.854 \times 10^{-12}}{1.6 \times 10^{-19} \times 10^{22}}} = 0.36 \times 10^{-6} \frac{m}{\sqrt{v}}$$

$$\lambda = \frac{0.36 \times 10^{-6}}{2 \times 1.2 \times \sqrt{0.99}} = 0.15 \times 10^{-6} v^{-1}$$

$$r_{ds} \cong \frac{1}{0.15 \times 10^{-6} \times 1.14 \mu A} = 5.85 \times 10^{-12} \Omega$$

۳-۱۳ خازن های $C_{gs}, C_{gd}, C_{db}, C_{sb}$ را برای ترانزیستوری که دارای $W = 50 \mu m, L = 1.2 \mu m$ می باشد بدست آورید. فرض کنید اتصالات سورس و درین به اندازه $4 \mu m$ در اطراف گیت باعث شده است که مساحت های $A_S = A_D = 200(\mu m)^2$ و محیط های $P_S = P_D = 58 \mu m$ را داشته باشند.

پاسخ:

$$W = 50 \mu m$$

$$L = 1.2 \mu m$$

$$A_S = A_D = 200(\mu m)^2$$

$$P_S = P_D = 58 \mu m$$

$$C_{OX} = 3.4 \times 10^{-3} \frac{pF}{(\mu m)^2}$$

$$L_{OV} = 4 \mu m$$

که L_{OV} میزان همپوشانی (overlap) می باشد.

$$C_{j-0} = 5 \times 10^{-4} \frac{pF}{(\mu m)^2}$$

$$C_{GS} = ?$$

$$C_{GD} = ?$$

$$C_{SB} = ?$$

$$C_{GS} = W \times C_{OX} \left(\frac{2}{3} L + L_{OV} \right) = 50 \times 3.4 \times 10^{-3} \times \left(\frac{2}{3} \times 1.2 + 4 \right)$$

$$= 816 \times 10^{-3} pF$$

$$C_{GD} = C_{GD-OV} \times W = W \times L_{OV} \times C_{OX}$$

$$= 50 \mu m \times 4 \mu m \times 3.4 \times 10^{-3} \frac{pF}{(\mu m)^2}$$

$$= 680 \times 10^{-3} pF = 680 fF$$

C_{GD} خازن میلر نامیده می شود. در متن کتاب آمده است:

$$C_{DB} = A_D \times C_{jd}$$

$$C_{jd} = \frac{C_{j-0}}{\sqrt{1 + \frac{V_{DS}}{\Phi_0}}}$$

$$V_{DS} = 5v$$

$$C_{jd} = \frac{5 \times 10^{-4}}{\sqrt{1 + \frac{5}{0.99}}} = 2.032 \times 10^{-4} \frac{pF}{(\mu m)^2}$$

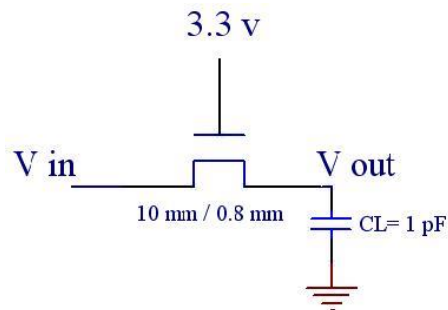
$$\Rightarrow C_{DB} = 200 \times 0.2032 \times 10^{-3} pF = 40.64 fF$$

$$C_{SB} = (A_S + A_{CH}) \times C_{js}$$

$$C_{js} = \frac{C_{j-0}}{\sqrt{1 + \frac{V_{SB}}{\Phi_0}}} = \frac{5 \times 10^{-4}}{\sqrt{1+0}} = 0.5 \frac{fF}{(\mu m)^2}$$

$$C_{SB} = (200 + 1.2 \times 50)(\mu m)^2 \times 0.5 \frac{fF}{(\mu m)^2} = 130 fF$$

۳-۱۴ مدار شکل زیر را در نظر بگیرید که در آن V_{IN} یک سیگنال d.c. با مقدار 1 v است. با در نظر گرفتن تنها، بار ذخیره شده کانال، مقدار نهائی V_{OUT} چقدر است؟ زمانی که ترانزیستور خاموش شده است نیمی از بار کانال در خازن C_L قرار گرفته است.



پاسخ:

$$V_{IN} = 1v$$

$$W = 10mm$$

$$L = 0.8mm$$

$$Q_{T-n} = W \times L \times C_{OX} (V_{GS} - V_{tn})$$

T : total

n : n-channel

$$C_{OX} = 3.4 \times 10^{-3} \frac{pF}{(\mu m)^2}$$

$$V_m = 0.7v$$

$$V_G = 3.3v$$

$$V_S = V_{out}$$

$$V_{tn} = 0.7v$$

$$Q_{T-n} = 10mm \times 0.8mm \times 3.4 \times 10^{-3} \frac{pF}{(\mu m)^2} (3.3 - V_{out} - 0.7)v$$

$$= 27.2 \times 10^{-3} (mm)^2 \frac{pF}{(\mu m)^2} (2.6 - V_{out})v$$

$$(Q = C \times V)$$

می دانیم:

$$Q_{CL} = \frac{1}{2} Q_{T-n}$$

$$Q_{CL} = C_L \times V_{out}$$

$$\Rightarrow Q_{CL} = 13.6 \times 10^{-3} (mm)^2 \frac{pF}{(\mu m)^2} (2.6 - V_{out})v$$

$$\Rightarrow V_{out} = \frac{Q_{CL}}{C_L} = \frac{13.6 \times 10^{-3} (mm)^2 \frac{pF}{(\mu m)^2} (2.6 - V_{out})v}{1pF}$$

$$\Rightarrow 146 \times V_{out} = 35.36mv$$

$$\Rightarrow V_{out} = 2.42mv$$

۳-۱۵ برای مدار شکل قبل ولتاژ ورودی در زمان صفر، یک تغییر پله ای از 1 v به 1.2 v دارد (ولتاژ گیت 5 v باقی می ماند). زمان 99% (زمانی که طول می کشد تا به 1% مقدار نهائیش برسد) را پیدا کنید. می توانید از اثر بدنه و تمام خازن ها به جز خازن

C_L صرف نظر کنید. همچنین فرض کنید $V_{tn} = V_{tn-0}$. این مسئله را زمانی که V_{IN} از 3 v به 3.1 v تغییر می کند نیز تکرار کنید.

پاسخ:

$$V_G = 5v$$

$$V_D = V_{IN}$$

$$V_S = V_{OUT}$$

$$V_{IN} = 1v \Rightarrow V_{DG} = 1 - 5 = -4v < 0$$

بنابراین ترانزیستور در ناحیه خطی است.

$$I_D = \mu_n \times C_{OX} \times \frac{W}{L} \times \left[(V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

شرط قطع به صورت زیر است:

$$(V_{GS} - V_{tn})V_{DS} - \frac{V_{DS}^2}{2} = 0$$

$$\Rightarrow (V_G - V_{OUT} - V_{tn})(V_{IN} - V_{OUT}) - \frac{(V_{IN} - V_{OUT})^2}{2} = 0$$

$$V_{IN} = x$$

$$V_{OUT} = y$$

$$V_G - V_{tn} = a$$

$$\Rightarrow (a - y)(x - y) - \frac{(x - y)^2}{2} = 0$$

$$\Rightarrow ax - ay + y^2 - xy - \left(\frac{x^2 - 2xy + y^2}{2} \right) = 0$$

$$\Rightarrow y^2 - xy - ay + ax - \frac{y^2}{2} + xy - \frac{x^2}{2} = 0$$

$$\Rightarrow \frac{y^2}{2} - ay + ax - \frac{x^2}{2} = 0$$

$$\frac{ax - \frac{x^2}{2} = c}{2} \rightarrow y^2 - 2ay + 2c = 0$$

$$\Rightarrow y = \frac{2a \pm \sqrt{4a^2 - 8c}}{2}$$

$$4a^2 - 8c = 4a^2 - 8 \left(ax - \frac{x^2}{2} \right) = 4a^2 - 8ax + 4x^2 = 4(a - x)^2$$

$$\Rightarrow y = \frac{2a \pm \sqrt{4(a - x)^2}}{2} = \frac{2a \pm 2(a - x)}{2} \Rightarrow \begin{cases} y = x \Rightarrow V_{OUT} = V_{IN} \\ y = 2a - x \end{cases}$$

حالا برای ترانزیستور عبور (pass transistor) در ناحیه خطی داریم:

$$V_{OUT} = V_{IN}$$

$$r_{ds} = \frac{1}{\mu_n \times C_{OX} \times \frac{W}{L} \times (V_{GS} - V_{tn})} = \frac{1}{190 \frac{\mu A}{V^2} \times \frac{10}{0.8} \times (5 - 1.2 - 0.2)V}$$

$$= \frac{1.36 \times 10^{-4}}{10^{-6}} = 136 \Omega$$

$$V_{\infty} = 1.2V \Rightarrow 99\% \times 1.2V = 1.88V$$

$$\Rightarrow \Delta_t = r_{ds} \times C_L \times \ln\left(\frac{1.2 - 1}{1.2 - 1.88}\right) = 136 \Omega \times 1 pF \times 2.81 = 3.82 ps$$

برای $V_{IN} = 3V$ داریم:

$$V_{\infty} = 3.1V \Rightarrow 99\% \times 3.1 = 3.069V$$

$$r_{ds} = 350 \Omega$$

$$\Rightarrow \Delta_t = 350 \Omega \times 1 pF \times \ln\left(\frac{3.1 - 3}{3.1 - 3.069}\right) = 409.5 ps$$

۳-۱۶ مسئله ۳-۱۴ را تکرار کنید اما این بار اثر بدنه را بر روی V_{tn} به حساب آورید.

پاسخ:

$$V_{tn} = V_{tn-0} + \gamma \left(\sqrt{V_{SB} + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

$$\left. \begin{array}{l} V_B = 0 \\ V_S = V_{OUT} \end{array} \right\} \Rightarrow V_{SB} = V_{OUT}$$

$$V_{tn-0} = 0.7v$$

$$\gamma = 0.7$$

$$2\Phi_F = 0.7$$

$$V_{tn} = V_{tn-0} + \gamma \left(\sqrt{V_{OUT} + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

$$V_{tn} = 0.7 + 0.7 \left(\sqrt{1.2 + |0.7|} - \sqrt{|0.7|} \right) = 1.08v$$

$$r_{ds} = \frac{1}{190 \frac{\mu A}{v^2} \times \frac{10}{0.8} \times (5 - 1.2 - 1.08)v} = 154\Omega$$

$$\Rightarrow \Delta_t = 154\Omega \times 1pF \times \ln\left(\frac{1.2-1}{1.2-1.88}\right) = 433ps$$

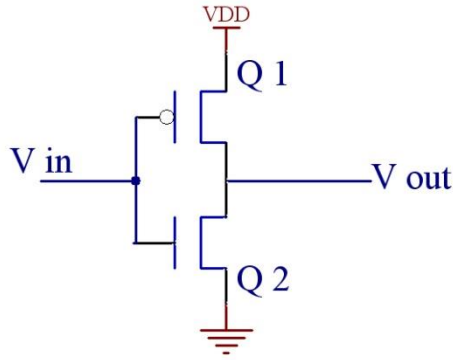
۳-۱۷ فرض کنید در یک معکوس کننده CMOS، $V_{IN} = V_{OUT} = V_{TH}$ است و هر دو ترانزیستور در ناحیه اشباع

هستند. V_{TH} را برای یک ترانزیستور کانال n که سایز آن $\frac{W}{L} = \frac{5\mu m}{0.8\mu m}$ است و همچنین یک ترانزیستور کانال p که سایز

آن $\frac{W}{L} = \frac{7.5\mu m}{0.8\mu m}$ است به دست آورید. این مسأله را برای یک ترانزیستور کانال p با سایز $\frac{W}{L} = \frac{5\mu m}{0.8\mu m}$ و یک

ترانزیستور کانال p با سایز $\frac{W}{L} = \frac{10\mu m}{0.8\mu m}$ نیز تکرار کنید.

پاسخ:



برای هر دو ترانزیستور کانال n و کانال p داریم:

$$V_{IN} = V_{OUT} = V_{TH}$$

داریم:

$$V_{GD} = 0$$

بنابراین هر دو ترانزیستور در ناحیه اشباع هستند.

$$Q_1: I_{D-1} = \frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{GS} - V_{tn})^2 =$$

$$\frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{th} - 0 - V_{tn})^2$$

$$Q_2: I_{D-2} = \frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (V_{GS} - |V_{tp}|)^2 =$$

$$\frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (V_{DD} - V_{th} - |V_{tp}|)^2$$

Q₁ و Q₂ هر دو در ناحیه اشباع هستند. بنابراین:

$$\begin{aligned}
I_{D_1} &= I_{D_2} \\
\Rightarrow \frac{1}{2} \times \mu_n \times C_{OX} \times \left(\frac{W}{L}\right)_1 (V_{th} - V_{tn})^2 &= \\
\frac{1}{2} \times \mu_p \times C_{OX} \times \left(\frac{W}{L}\right)_2 (V_{DD} - V_{th} - |V_{tp}|)^2 & \\
\Rightarrow 190 \times \left(\frac{5}{0.8}\right) (V_{th} - 0.7)^2 &= 50 \times \left(\frac{7.5}{0.8}\right) (3.3 - V_{th} - 0.8)^2 \\
\Rightarrow 1187.5 \times (V_{th} - 0.7)^2 &= 468.75 (2.5 - V_{th})^2 \\
\Rightarrow 2.53 \times (V_{th} - 0.7)^2 &= (2.5 - V_{th})^2 \\
\Rightarrow V_{th} - 0.7 = \frac{2.5 - V_{th}}{\sqrt{2.53}} \Rightarrow V_{th} &= 1.4v
\end{aligned}$$

اگر

$$\left(\frac{W}{L}\right)_2 = \frac{5}{0.8} \Rightarrow V_{th} = 0.85v$$

اگر

$$\left(\frac{W}{L}\right)_2 = \frac{10}{0.8} \Rightarrow V_{th} = 1.46v$$

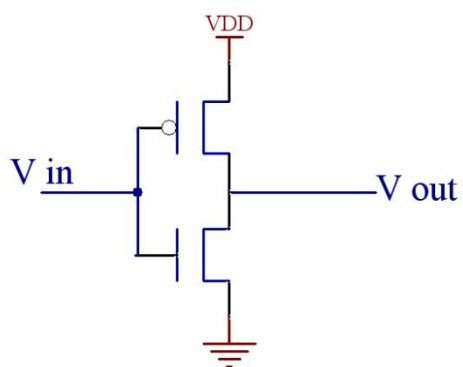
۱۸-۳ با استفاده از مدل سیگنال کوچک و با فرض یک معکوس کننده CMOS که سایز ترانزیستور کانال n آن

$$\frac{W}{L} = \frac{7.5\mu m}{0.8\mu m} \quad \text{و} \quad \frac{W}{L} = \frac{5\mu m}{0.8\mu m}$$

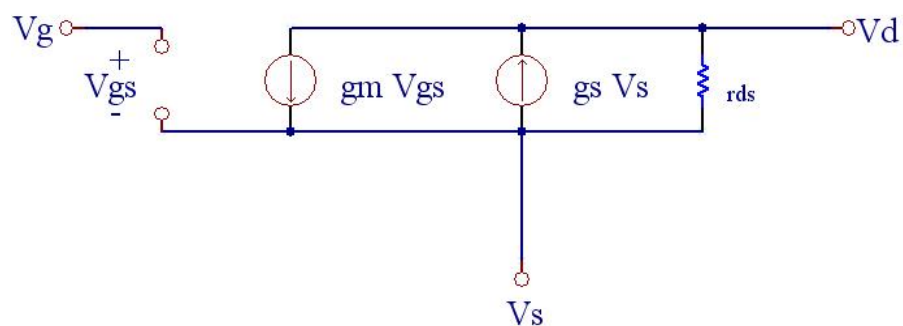
باشد، معادله ای برای پیدا کردن بهره معکوس کننده را

زمانی که $V_{IN} = V_{TH}$ باشد بدست آورید. توجه کنید که در مدلی که استفاده می کنید هر دو ترانزیستور در ناحیه اشباع هستند.

پاسخ:



مدل سیگنال کوچک یک ترانزیستور MOS در ناحیه به صورت زیر است:



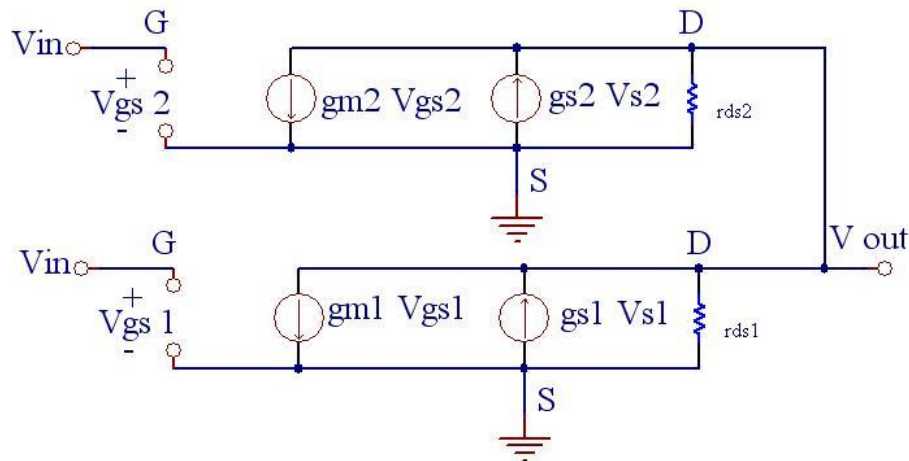
$$g_m = \mu_n \times C_{OX} \times \frac{W}{L} (V_{GS} - V_{tn})$$

$$r_{ds} = \frac{1}{\lambda \times I_D}$$

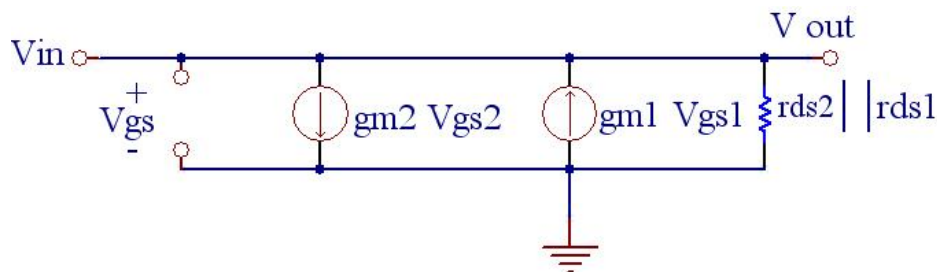
یا:

$$r_{ds} = \frac{L \times \sqrt{V_{DG} + V_t}}{I_{DS}}$$

مدار معادل یک معکوس کننده CMOS به صورت زیر است:



برای محاسبه مدل سیگنال کوچک معکوس کننده، V_{DD} با زمین جایگزین شده است چون فرض می شود که یک ولتاژ ثابت است (با توجه به قضیه جمع آثار). توجه داشته باشید که $V_{G-2} = V_{S-2} = 0$ یعنی هر دو منبع جریان $g_{m1}V_{SG1}$ و $g_{m2}V_{SG2}$ صفر هستند و همچنین چون $V_{S-1} = 0$ در نتیجه $g_{s1}V_{S1} = 0$. بنابراین ساده شده سیگنال کوچک معادل معکوس کننده به صورت زیر است:



$$\begin{aligned}
 gain &= \frac{V_{OUT}}{V_{IN}} \\
 \Rightarrow \frac{V_{OUT}}{V_{IN}} &= \frac{-(g_{m1}V_{GS1} + g_{m2}V_{SG2})}{V_{IN}} (r_{ds1} \parallel r_{ds2}) \\
 \Rightarrow V_{IN} &= V_{GS1} = V_{SG2} \\
 \Rightarrow gain &= -(g_{m1} + g_{m2}) (r_{ds1} \parallel r_{ds2})
 \end{aligned}$$