



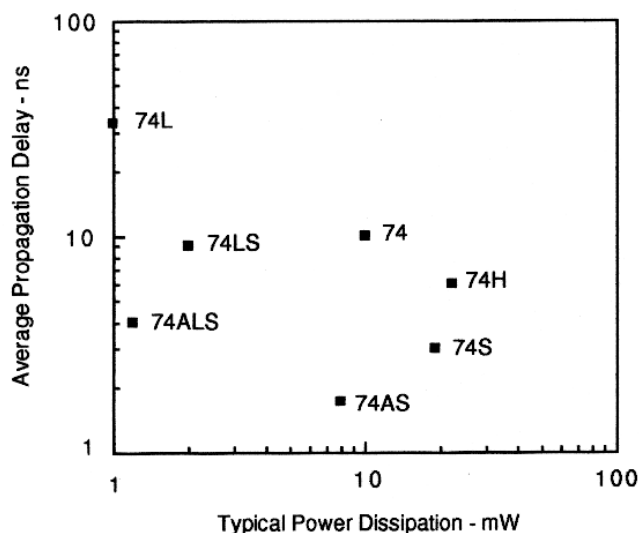
فصل سوم

مفاهیم مقدماتی منطق TTL

خانواده منطقی

منطق دیجیتال توسط مدارهای مجتمع پیاده سازی می شود به طوری که مدارهای مجتمع (^۱IC) بر اساس ساختار الکترونیکی خود به خانواده هایی تقسیم بندی می شوند. یک ساختار معمول برای این مدارها منطق ترانزیستور-ترانزیستور (TTL) دوقطبی می باشد. ساختار مرسوم دیگر تکنولوژی CMOS^۲ می باشد که توان مصرفی کم و ایمنی زیاد در برابر نویز را ارائه می کند و در فصول آینده بیشتر به آن خواهیم پرداخت.

در درون خانواده TTL بسیاری از نسل های دیگر موجود می باشند که هر کدام ویژگی های عملیاتی متفاوتی از یکدیگر دارند. دو فاکتور مهم در ملاحظات هر خانواده منطقی سرعت و توان مصرفی می باشند. این دو فاکتور با یکدیگر رابطه مستقیم دارند. بدین معنی که سرعت بیشتر توان بیشتری مصرف می کند. خانواده های منطقی را می توان همچنین بر اساس تأخیر انتشار و توان مصرفی توصیف نمود. شکل (۱-۱) رابطه سرعت-توان خانواده TTL را نشان می دهد.



شکل ۱-۱. رابطه سرعت-توان در خانواده منطقی TTL.

سازندگان مدارهای مجتمع دیجیتال همواره در تلاش هستند که میزان حاصلضرب تأخیر در توان این مدارها را کاهش دهند و همچنین خانواده هایی با ویژگی های متفاوت را به منظور ارائه برای نیازمندی های خاص تولید نمایند. جدول (۱-۱) زیر- خانواده های متفاوت به همراه ویژگی ها و نام آنها را نشان می دهد.

^۱ Integrated Circuits

^۲ Complementary Metal-Oxide-Silicon

جدول ۱-۱. زیر- خانواده های منطقی مختلف به همراه ویژگی ها و نام آنها.

خانواده	ویژگی ها	مثال
TTL	Standard transistor/transistor logic	7400
L	Low power TTL	74L00
H	High speed TTL	74H00
S	Schottky TTL - high speed	74S00
LS	Low power Schottky TTL	74LS00
AS	Advanced Schottky	74AS00
ALS	Advanced Low power Schottky	74ALS00
F	Fast Schottky	74F00
HC	High speed CMOS	74HC00
HCT	High speed CMOS, TTL-voltage compatible	74HCT00
AC	Advanced CMOS	74AC00
ACT	Advanced CMOS, TTL-output compatible	74ACT00

سیر زمانی تکامل الکترونیک کامپیوتری

در سال ۱۹۰۶ لامپ خلا توسط "Lee De Forest" اختراع شد.

در سال ۱۹۴۶ کامپیوتر دیجیتالی ENIAC که ۱۸ فوت (۵,۱۸۲ متر) ارتفاع، ۸۰ فوت (۲۴,۳۸۴ متر) طول و ۱۷۰۰۰ لامپ خلاء داشت ساخته شد.

در سال ۱۹۴۷ ترانزیستور توسط ویلیام شاتکی اختراع شد.

در خلال سال های ۱۹۵۵-۱۹۶۵ استفاده از ترانزیستورهای مجزا^۱ افزایش یافت.

در سال ۱۹۵۸ مدارهای مجتمع توسط "Jack Kilby" اختراع شد.

توسعه مدارهای مجتمع در سال ۱۹۶۰ به صورت زیر می باشد :

SSI^۲ : مدارهای مجتمع با مقیاس کوچک شامل ۱۰ ترانزیستور (۱ الی ۳۰ گیت).

MSI^۳ : مدارهای مجتمع با مقیاس متوسط شامل ۱۰۰ ترانزیستور (۱۰ الی ۳۰۰ گیت).

LSI^۴ : مدارهای مجتمع با مقیاس بزرگ شامل ۱۰۰۰ ترانزیستور (۱۰۰ الی ۳۰۰۰ گیت).

در سال ۱۹۷۱ ریز پردازنده ۴۰۰۴ اینتل با ۲۲۵۰ ترانزیستور ساخته شد.

در سال ۱۹۷۸ مدارهای VLSI^۵ با بیش از ۱۰۰۰۰ ترانزیستور (۱۰۰۰ الی ۳۰۰۰۰ گیت) ساخته شد.

در سال ۱۹۷۹ ریز پردازنده ۶۸۰۰۰ موتورولا با ۷۰۰۰۰ ترانزیستور ساخته شد.

^۱ Discrete

^۲ Small scale integration

^۳ Medium scale integration

^۴ Large scale integration

^۵ Very large scale integration

در سال ۱۹۸۵ مدارهای مجتمع^۱ ASIC با بیش از ۱۰۰۰۰۰ گیت ظاهر شدند. در سال ۱۹۹۵ توابع حافظه ای و CPU در ASIC با بیش از یک میلیون گیت در دسترس قرار گرفتند. استفاده از توابع مجزای SSI و MSI از قبیل گیت ها، فلیپ فلاپ ها و ثبات^۲ ها در طول این سالها کاهش یافته است. امروزه مدارها الکترونیکی پیچیده به منظور تولید انبوه توسط سیستم طراحی به کمک کامپیوتر (CAD) تولید می شوند. مهندس طراح تمام گیت ها و توابع منطقی را که حتی می تواند شامل یک CPU و RAM نیز باشد انتخاب نماید. تمامی شبیه سازی ها و اشکال زدایی ها قبل از اینکه تراشه تولید شود، توسط کامپیوتر انجام می شود. تراشه نهایی ممکن است با استفاده از PLA^۳ ها و در تعداد بسیار زیادی ساخته شود. بدون توجه به پیچیدگی مدارهای مجتمع و یا اینکه این مدارها چگونه ساخته می شوند، دانستن مفاهیم پایه ای گیت ها و فلیپ فلاپ ها امری بسیار ضروری می باشد.

پارامترها و ویژگی های عملیاتی پایه

هنگامی که با مدار های مجتمع دیجیتال کار می کنید نه تنها باید با عملیات منطقی آنها آشنا باشید، بلکه باید ویژگی های عملیاتی از قبیل سطوح ولتاژ، ایمنی در برابر نویز، توان مصرفی، ظرفیت بار خروجی^۴ و میزان تأخیر انتشار آنها را نیز بدانید. در این بخش جنبه های عملی این ویژگی ها مورد بحث قرار گرفته است. پس از اتمام این بخش خواننده باید قادر باشد:

- اتصالات منبع تغذیه و زمین را تعیین نماید.
- سطوح منطقی را برای گیت های TTL^۵ و CMOS^۶ توصیف نماید.
- ایمنی در برابر نویز را توضیح دهد.
- توان مصرفی یک مدار منطقی را محاسبه نماید.
- حاصل ضرب توان در تأخیر را توضیح داده و در مورد اهمیت آن توضیح دهد.
- بارگذاری^۷ و ظرفیت بار خروجی گیت های TTL و CMOS را مورد بحث قرار دهد.

ولتاژ منبع تغذیه مستقیم (DC)

ولتاژ نامی منبع تغذیه مستقیم برای گیت های TTL و CMOS مثبت ۵ ولت می باشد. هر چند این منبع در دیاگرام های منطقی به منظور ساده سازی حذف می شود، اما این ولتاژ در یک بسته مدار مجتمع به پایه های VCC یا VDD و زمین منبع تغذیه به پایه زمین مدار مجتمع متصل می گردد. خطوط منبع تغذیه در درون یک مدار مجتمع به تمامی المان ها متصل می باشد. این مطلب برای یک مدار مجتمع با ۱۴ پایه در شکل (۱-۲) نشان داده شده است.

^۱ Application Specific IC's

^۲ Register

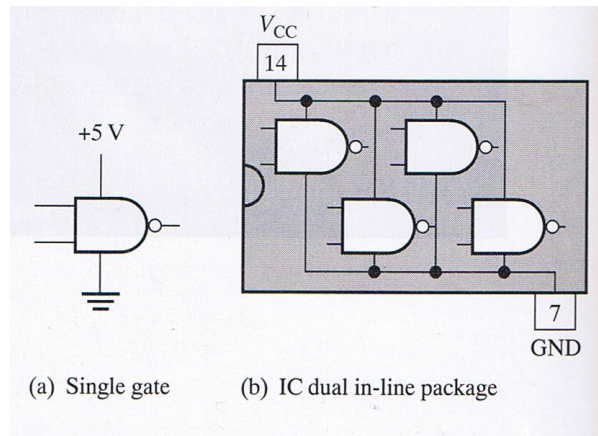
^۳ programmable logic array

^۴ Fan-Out

^۵ Transistor- Transistor Logic

^۶ Complementary Metal Oxide Semiconductor

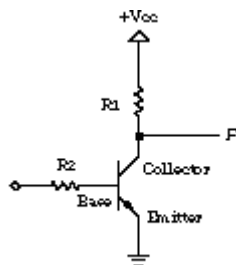
^۷ Loading



شکل ۱-۲. مثالی از V_{CC} و زمین که در یک مدار مجتمع توزیع و متصل شده اند. پایه های دیگر به منظور ساده سازی نشان داده نشده اند.

اساس منطق ترانزیستور دوقطبی

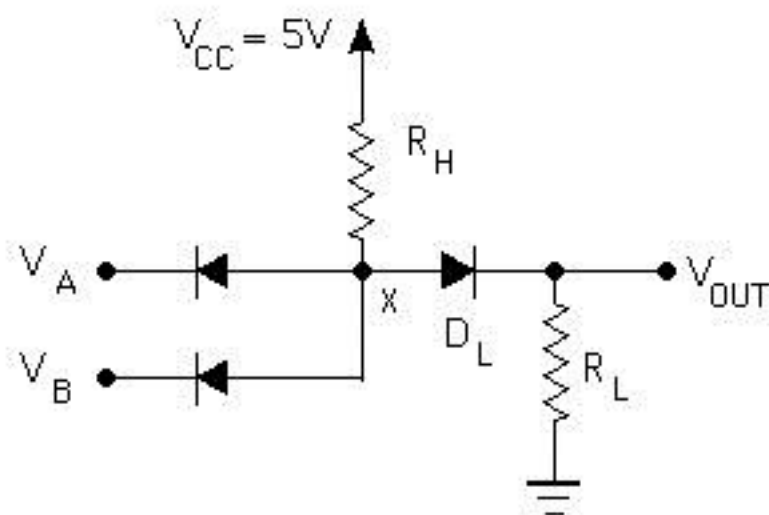
یک ترانزیستور دو قطبی یک قطعه نیمه هادی با سه عدد پایه می باشد. تحت کنترل یکی از پایه ها که بیس نام دارد، جریانی از کلکتور به امیتر جاری می شود. استفاده از ترانزیستور ها به عنوان سوئیچ های کنترلی الکترونیکی برای ساخت منطق دیجیتال نوین حیاتی است. گیت معکوس کننده پایه متشکل از ترانزیستور و مقاومت در شکل (۱-۳) نشان داده شده است. ترانزیستور نشان داده شده در این شکل NPN است. حضور ولتاژ زیاد در بیس باعث می شود که ترانزیستور روشن شود. خروجی F تا سطح زمین دشارژ شده و به صفر ولت نزدیک شود اما هرگز کاملاً به این ولتاژ نخواهد رسید. زمانی که ولتاژ کوچکی در بیس وجود داشته باشد، ترانزیستور خاموش می باشد. خروجی F از طریق ترانزیستور بالابرنده $R1$ تا سطح منبع تغذیه شارژ می شود.



شکل ۱-۳. معکوس کننده ترانزیستور - مقاومت.

در ابتدا تقریباً فقط خانواده منطق دیودی (DL^1) وجود داشت. یک گیت NAND دو ورودی که سطوح ولتاژ آن شیفته یافته است در شکل (۱-۴) نشان داده شده است.

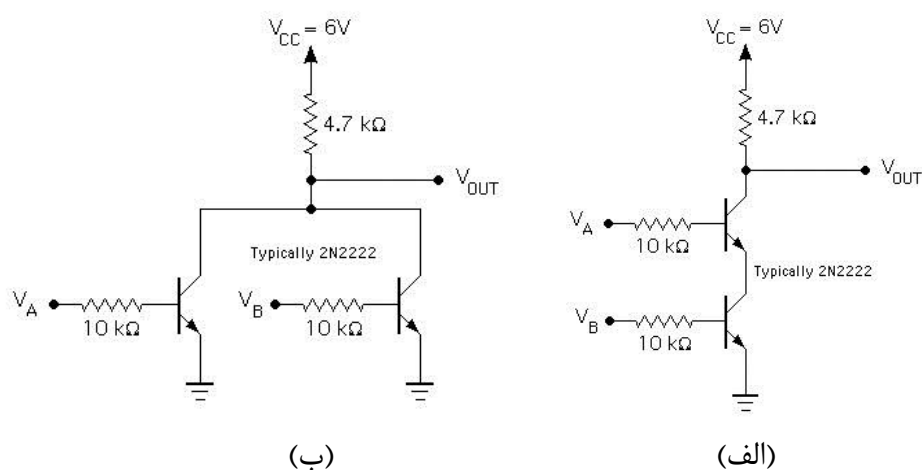
¹ Diode Logic



شکل ۱-۴. گیت NAND دو ورودی خانواده منطق دیودی.

اگر هر کدام از ورودی های A و B دارای سطح ولتاژ صفر ولت باشند، آنگاه $V_x = 0.7v$ و D_L قطع خواهد بود و $V_{OUT} = 1v$. هر گاه هر دو ورودی A و B دارای سطح ولتاژ یک ولت باشند، آنگاه $V_x = 1.7v$ و D_L قطع خواهد بود.

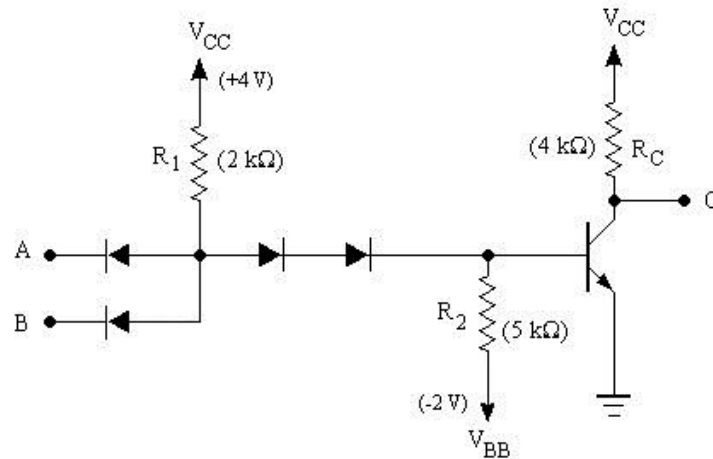
سپس خانواده منطقی مقاومتی - ترانزیستوری (RTL^1) ظاهر شد. گیت های NAND و NOR دو ورودی خانواده منطقی RTL در شکل (۵-۱) نشان داده شده است.



شکل ۱-۵. (الف) گیت NAND دو ورودی ترانزیستور - مقاومتی. (ب) گیت NOR دو ورودی ترانزیستور - مقاومتی.

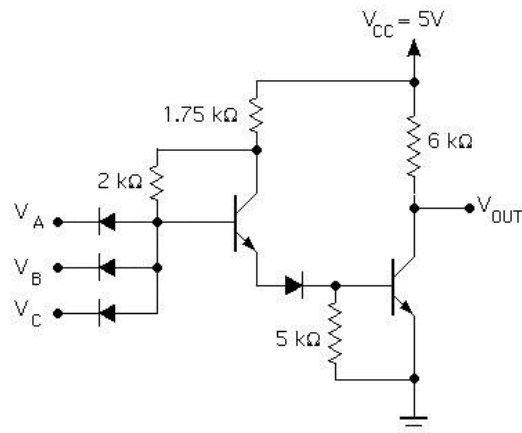
¹ Resistor-Transistor Logic

پس از آن خانواده منطقی دیودی- ترانزیستوری پدیدار گشت. گیت NAND دو ورودی این خانواده منطقی در شکل (۶-۱) نشان داده شده است. اگر تمام ورودی های نشان داده شده در این شکل High باشند، $V_x = 2.2V$ و ترانزیستور در ناحیه اشباع است. اگر هر کدام از ورودی ها Low شود ($0.2V$) آنگاه $V_x = 0.9V$ می باشد و ترانزیستور در ناحیه قطع است. مقاومت R_2 مسیر دشارژ شدن بار های ذخیره شده در بیس ترانزیستور BJT را به منظور داشتن زمان گذر Low به High قابل قبول فراهم می آورد.



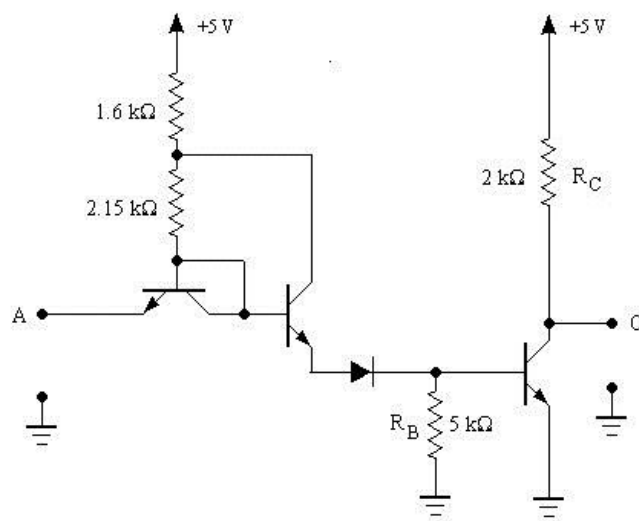
شکل ۶-۱. گیت NAND دو ورودی خانواده منطقی DTL.

شکل (۷-۱) گیت NAND سه ورودی خانواده منطقی سری ۹۳۰ DTL را نشان می دهد.



شکل ۷-۱. گیت NAND سه ورودی خانواده منطقی سری ۹۳۰ DTL.

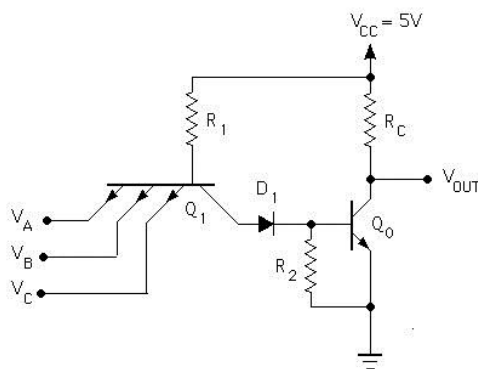
سر انجام منطق ترانزیستور-ترانزیستور (TTL^1) به وجود آمد. گیت معکوس کننده این خانواده منطقی در شکل (۸-۱) نشان داده شده است.



شکل ۸-۱. گیت معکوس کننده منطق ترانزیستور-ترانزیستور.

گیت NAND سه ورودی خانواده منطقی TTL در شکل (۹-۱) نشان داده شده است. اگر تمام ورودی ها High باشند موارد زیر صادق است:

- Q_1 در بایاس فعال معکوس می باشد
- Q_O اشباع است
- $V_{OL} = V_{CE(sat)}$
- و اگر هر کدام از ورودی های Low باشند:
- Q_1 اشباع است
- Q_O قطع است
- $V_{OH} = V_{CC}$



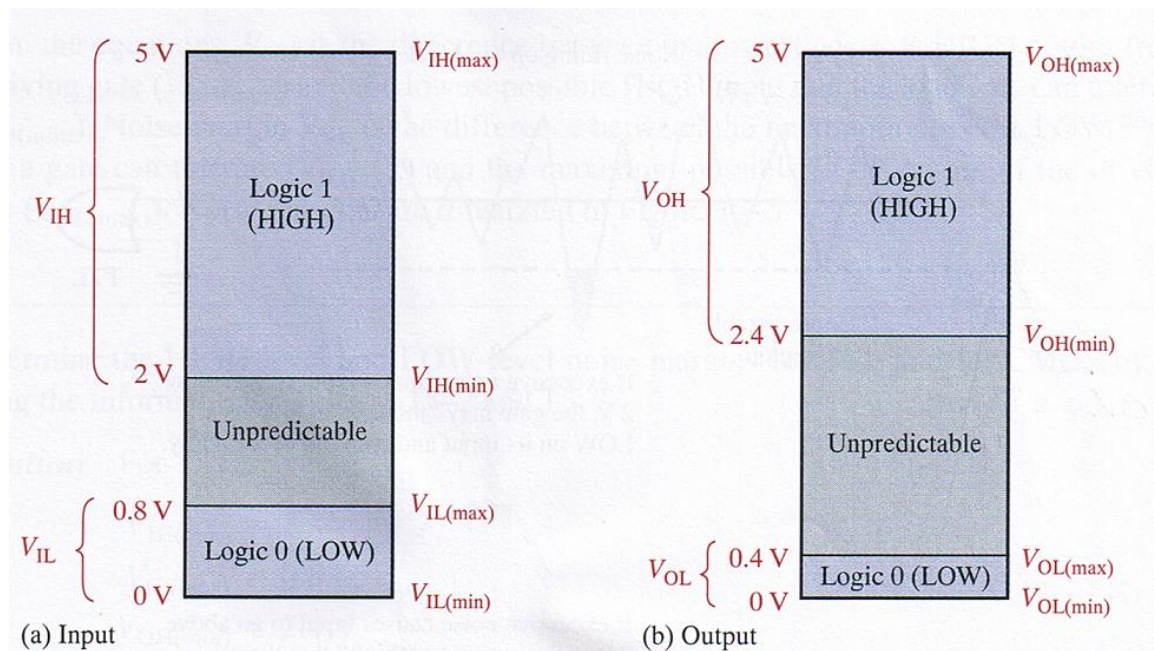
شکل ۹-۱. گیت NAND سه ورودی خانواده منطقی TTL.

¹ Transistor-Transistor Logic

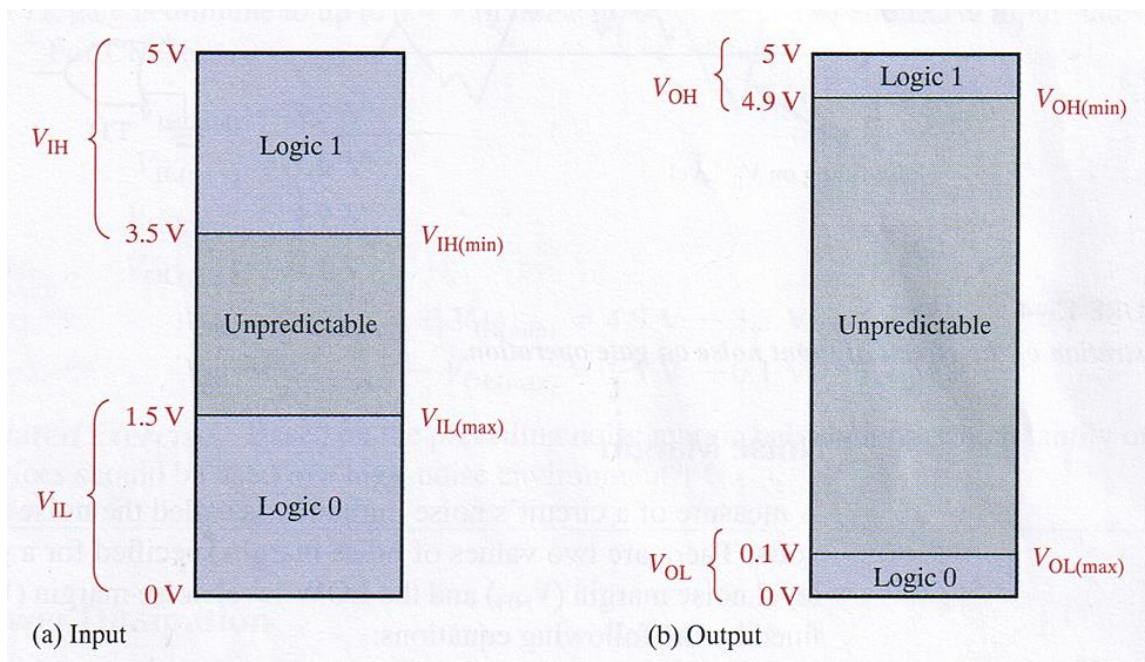
سطوح منطقی TTL

محدوده ولتاژ ورودی برای مدارها TTL که به عنوان منطق پایین (low) در نظر گرفته می شود بین 0 الی 0.8 ولت است. همان طور که در شکل (۱-۱۰ الف) نشان داده شده است، محدوده ولتاژ ورودی که به عنوان منطق بالا (high) در نظر گرفته می شود بین 2 ولت الی VCC (معمولاً 5 ولت) می باشد. محدوده ولتاژ های بین 0.8 ولت الی 2 ولت محدوده کارایی غیر قابل پیش بینی می باشد. زمانی که ولتاژ ورودی در این محدوده باشد ممکن است توسط مدار منطقی به عنوان منطق پایین و یا بالا در نظر گرفته شود. بنابراین گیت های TTL در این محدوده قادر به عملکرد قابل اطمینان نمی باشد.

محدوده ولتاژ های خروجی گیت های TTL در شکل (۱-۱۰ ب) نشان داده شده است. توجه داشته باشید که بیشترین ولتاژ خروجی که منطق بالا در نظر گرفته می شود ($V_{OH(min)}$) بزرگتر است از بیشترین ولتاژ ورودی که منطق بالا در نظر گرفته می شود ($V_{IH(min)}$). همچنین بیشترین ولتاژ خروجی زمانی که منطق پایین در نظر گرفته می شود ($V_{OL(max)}$)، کوچکتر است از بیشترین ولتاژ ورودی که منطق پایین در نظر گرفته می شود ($V_{IL(max)}$).



شکل ۱-۱۰. سطوح ولتاژ ورودی و خروجی برای گیت های TTL.



شکل ۱-۱۱. سطوح ولتاژ ورودی و خروجی برای گیت های CMOS.

سطوح منطقی CMOS

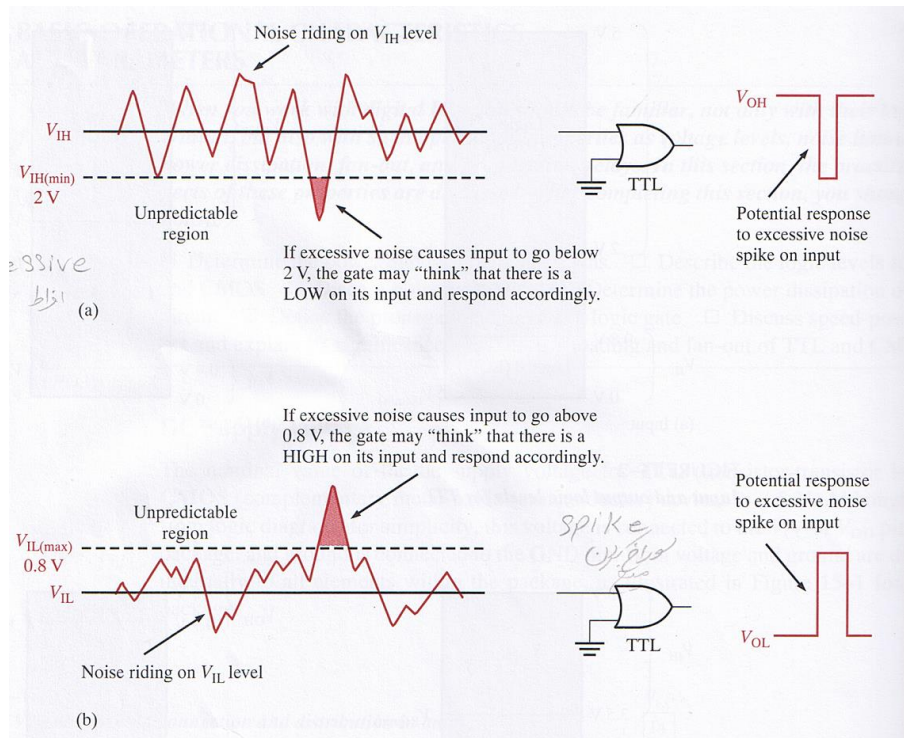
سطوح منطقی ورودی و خروجی برای گیت های CMOS پر سرعت (HCOMS^۱) برای $V_{DD}=5V$ در شکل (۱-۱۱) نشان داده شده است.

ایمنی در برابر نویز

نویز ولتاژ ناخواسته ای است که بر روی مدار های الکتریکی تأثیر می گذارد و می تواند باعث ایجاد اختلال در عملکرد صحیح مدار گردد. سیم ها و دیگر رسانا ها از رسانا های همجوار خود در درون یک سیستم و یا حتی از منابع خارجی، تشعشعات سرگردان الکترومغناطیسی با فرکانس بالا را به خود جذب کرده و باعث تغییرات در جریان مدار می شوند. نوسانات ولتاژ منبع تغذیه نوعی نویز در فرکانس پایین محسوب می شود.

یک مدار منطقی باید به منظور مقابله با نویز تا حدود معینی در برابر نویز ایمنی داشته باشد. این بدان معناست که مدار منطقی نوسانات ولتاژ ناخواسته ورودی را تا حد مشخصی تحمل نماید به طوری که وضعیت خروجی تغییری نکند. برای مثال اگر ولتاژ نویز باعث شود که در وضعیت منطق بالا، ولتاژ یک گیت TTL به زیر ۲ ولت کاهش یابد، عملکرد مدار در ناحیه غیر قابل پیش بینی خواهد بود (شکل (۱۰-الف) را ببینید). بنابراین همان طور که در شکل (۱-۱۲ الف) نشان داده شده است، گیت باید نوسانات زیر ۲ ولت را به عنوان منطق پایین تفسیر نماید. به طور مشابه همان طور که در شکل (۱-۱۲ ب) نشان داده شده است اگر نویز باعث شود که در حالت منطق پایین، ولتاژ ورودی بیش از ۰.۸ ولت شود وضعیت نامعینی ایجاد می شود.

^۱ High Speed CMOS



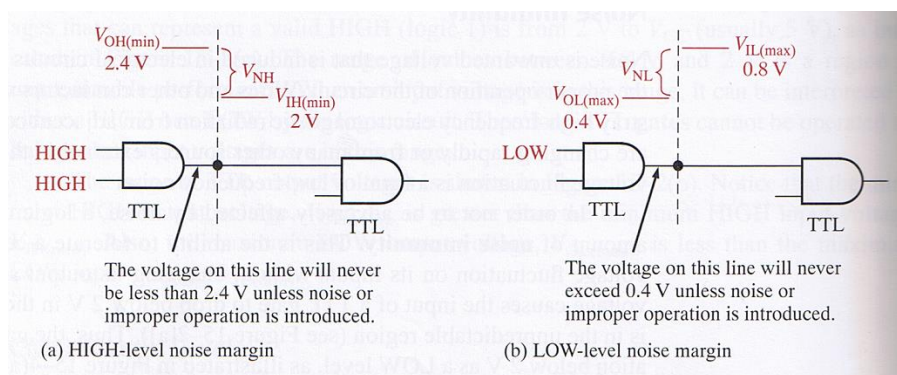
شکل ۱-۱۲. نمایش تأثیر نویز ورودی بر عملکرد گیت.

حاشیه نویز (Noise Margin)

معیاری برای میزان ایمنی در برابر نویز یک مدار حاشیه نویز می باشد که بر حسب ولت بیان می شود. دو مقدار حاشیه نویز برای هر مدار منطقی وجود دارد. حاشیه نویز برای سطح منطقی بالا (V_{NH}) و حاشیه نویز برای سطح منطقی پایین (V_{NL}). این پارامترها با استفاده از روابط زیر تعریف می شوند:

$$V_{NH} = V_{OH(min)} - V_{IH(min)} \quad (1-1)$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)} \quad (2-1)$$



شکل ۱-۱۳. حاشیه های نویز.

با توجه به روابط (۱-۱) و (۲-۱)، V_{NH} حاصل تفاضل کمترین مقدار خروجی ممکن بالا از یک گیت محرک ($V_{OH(min)}$) و کمترین مقدار ورودی ممکن بالا که گیت بار قادر به تحمل آن است ($V_{IH(min)}$)، می باشد. حاشیه نویز V_{NL} حاصل تفاضل بیشترین مقدار ورودی ممکن پایین که یک گیت قادر به تحمل آن است ($V_{IL(max)}$) و بیشترین مقدار خروجی ممکن پایین یک گیت محرک ($V_{OL(max)}$)، می باشد. حاشیه های نویز در شکل (۱-۱۳) نشان داده شده است.

مثال ۱-۱:

با توجه به اطلاعات شکل های (۱۰-۱) و (۱۱-۱) حاشیه های نویز بالا و پایین را برای TTL و CMOS تعیین نمایید. بر اساس محاسبات انجام شده کدام یک برای استفاده در یک محیط با نویز بالا مناسب تر است؟

پاسخ:

برای TTL داریم:

$$\begin{aligned} V_{IH(min)} &= 2\text{v} \\ V_{IL(max)} &= 0.8\text{v} \\ V_{OH(min)} &= 2.4\text{v} \\ V_{OL(max)} &= 0.4\text{v} \\ V_{NH} &= V_{OH(min)} - V_{IH(min)} = 2.4\text{v} - 2\text{v} = 0.4\text{v} \\ V_{NL} &= V_{IL(max)} - V_{OL(max)} = 0.8\text{v} - 0.4\text{v} = 0.4\text{v} \end{aligned}$$

یک گیت TTL برای حالت ورودی پایین و بالا برای بیش از 0.4 ولت نویز ایمن می باشد.

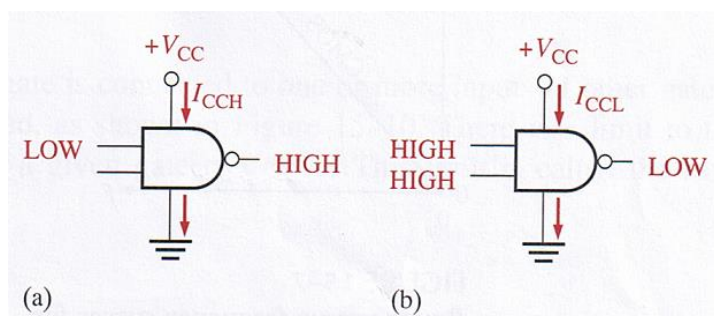
برای CMOS:

$$\begin{aligned} V_{IH(min)} &= 3.5\text{v} \\ V_{IL(max)} &= 1.5\text{v} \\ V_{OH(min)} &= 4.9\text{v} \\ V_{OL(max)} &= 0.1\text{v} \\ V_{NH} &= V_{OH(min)} - V_{IH(min)} = 4.9\text{v} - 3.5\text{v} = 1.4\text{v} \\ V_{NL} &= V_{IL(max)} - V_{OL(max)} = 1.5\text{v} - 0.1\text{v} = 1.4\text{v} \end{aligned}$$

بنابراین مدارها CMOS برای استفاده در محیط های با نویز شدید مناسب ترند.

توان مصرفی

یک گیت منطقی جریانی از منبع تغذیه مستقیم به صورتی که در شکل (۱-۱۴) نشان داده شده است عبور می دهد. زمانی که گیت در حالت خروجی بالا می باشد، جریانی که با I_{CCH} نشان داده شده است جاری می شود و در حالت خروجی پایین، جریان دیگری که با I_{CCL} نشان داده شده است جاری می شود. برای TTL جریان I_{CCL} از I_{CCH} بیشتر است.



شکل ۱-۱۴. جریان های منبع تغذیه.

به عنوان مثال اگر I_{CCH} مساوی 1.5 mA باشد و $V_{CC}=5V$ و اگر گیت در وضعیت استاتیکی (غیر شارژی) خروجی بالا باشد آنگاه توان مصرفی (PD) گیت برابر است با:

$$P_D = V_{CC} I_{CCH} = (5V)(1.5mA) = 7.5mW$$

زمانی که یک پالس به گیت داده شود، خروجی بین منطق بالا و پایین تغییر می کند و جریان بین مقادری I_{CCH} و I_{CCL} تغییر می کند. توان مصرفی متوسط به دوره کار^۱ بستگی دارد و معمولاً برای دوره کار 50% تعیین می گردد. اگر دوره کار 50% باشد خروجی نیمی از زمانها بالا و نیم دیگری از زمانها پایین می باشد. بنابراین جریان متوسط برابر است با:

$$I_{CC} = \frac{I_{CCH} + I_{CCL}}{2}$$

و توان مصرفی متوسط برابر است با $P_D = V_{CC} I_{CC}$.

مثال ۱-۲:

جریان خروجی یک مدار منطقی در حالت بالا 2mA و در حالت پایین 3.6mA می باشد. اگر $V_{CC}=5V$ و دوره کار گیت 50% باشد، توان مصرفی متوسط چقدر خواهد بود؟

پاسخ:

جریان متوسط I_{CC} برابر است با:

$$I_{CC} = \frac{I_{CCH} + I_{CCL}}{2} = \frac{2.0mA + 3.6mA}{2} = 2.8mA$$

توان مصرفی متوسط برابر است با:

$$P_D = V_{CC} I_{CC} = (5V)(2.8mA) = 14mW$$

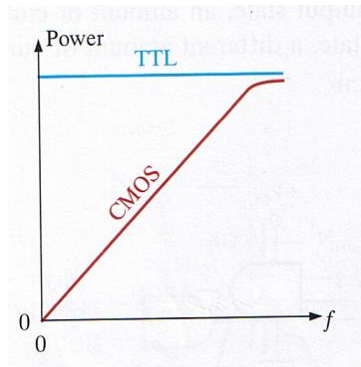
تمرین:

یک گیت دارای $I_{CCH} = 1.5mA$ و $I_{CCL} = 2.8mA$ می باشد. توان مصرفی متوسط را با دوره کار ۵۰٪ محاسبه نمایید. فرض کنید $V_{CC}=5V$.

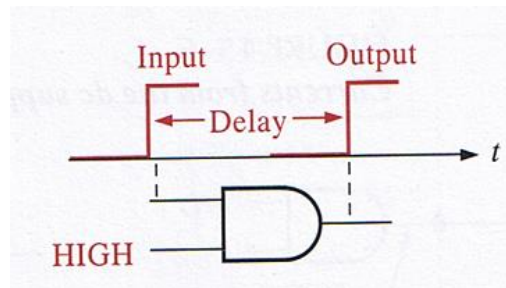
توان مصرفی در یک مدار TTL بر حسب تغییرات فرکانس کاری، اساساً ثابت است اما توان مصرفی در مدارها CMOS به فرکانس کاری وابسته است. توان مصرفی در این مدارها در شرایط استاتیکی (dc) بسیار کوچک است و با افزایش فرکانس افزایش می یابد. این ویژگی در شکل (۱-۱۵) نشان داده شده است. برای مثال توان مصرفی یک گیت TTL شاتکی کم مصرف (LS^2) به صورت ثابت 2mW می باشد. توان مصرفی یک گیت HCMOS تقریباً 0.0000025 mW در شرایط استاتیک و 0.17mW در فرکانس 100kHz می باشد.

^۱ duty cycle

^۲ Low power Schottky



شکل ۱-۱۵. نمودار توان بر حسب فرکانس برای مدار های TTL و CMOS.



شکل ۱-۱۶. مفهوم پایه ای تأخیر انتشار.

تأخیر انتشار (Propagation Delay)

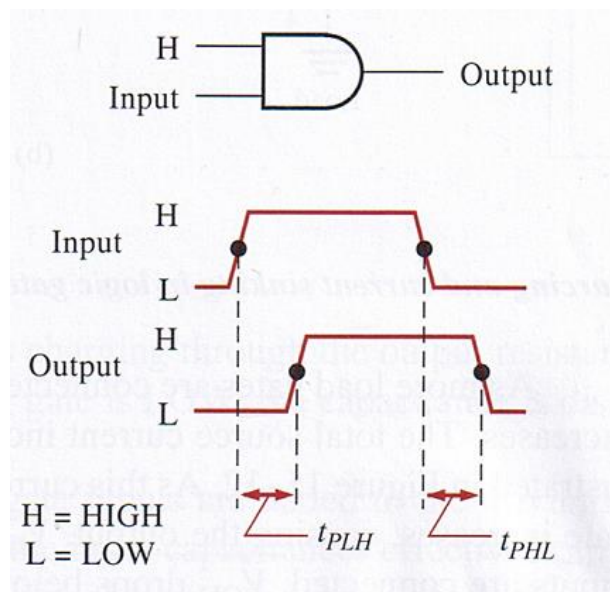
زمانی که یک سیگنال از یک مدار منطقی عبور می کند (propagate) همواره تأخیری مطابق شکل (۱-۱۶) خواهد داشت. تغییر در سطح خروجی همواره در زمان کوتاهی رخ می دهد که این زمان کوتاه زمان تأخیر انتشار نامیده می شود که بیشتر از زمان تغییر در ورودی است که باعث آن شده است.

دو نوع تأخیر انتشار برای گیت های منطقی مشخص شده است:

t_{PHL} : زمان مابین نقطه معینی از ورودی و نقطه متناظر با آن نقطه در خروجی زمانی که خروجی در حال تغییر از بالا به پایین است.

t_{PLH} : زمان مابین نقطه معینی از ورودی و نقطه متناظر با آن نقطه در خروجی زمانی که خروجی در حال تغییر از پایین به بالا است.

این زمان های تأخیر انتشار در شکل (۱-۱۷) نشان داده شده اند به طوری که نقطه ۵۰٪ در لبه پالس به عنوان مرجع انتخاب شده است.



شکل ۱-۱۷. زمان های تأخیر انتشار.

زمان تأخیر انتشار یک گیت، فرکانس کاری آن گیت را محدود می نماید. هر چه زمان تأخیر انتشار بیشتر باشد، بیشترین فرکانس کاری کاهش می یابد. بنابراین مدار با سرعت بیشتر آن است که زمان تأخیر انتشار کمتری داشته باشد. برای مثال یک گیت با تأخیر 3ns سریع تر است از یک گیت با تأخیر 10ns.

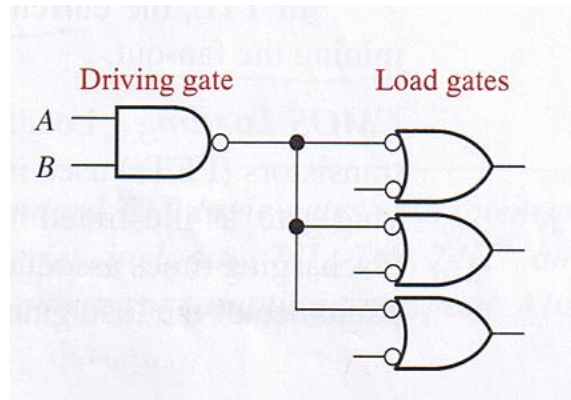
حاصل ضرب سرعت-توان

هنگامی که هم زمان تأخیر انتشار و هم میزان توان مصرفی برای انتخاب نوع خانواده منطقی در یک کاربرد خاص مهم باشد، حاصلضرب سرعت در توان مصرفی مبنای مقایسه ای را در میان خانواده های مدارها منطقی ایجاد می کند. واحد حاصل ضرب سرعت - توان بر حسب پیکو ژول (pJ) می باشد.

هر چه حاصل ضرب سرعت - توان کوچکتر باشد بهتر است. مدارها CMOS به دلیل داشتن توان مصرفی کمتر، نوعاً دارای حاصل ضرب سرعت - توان کمتری نسبت به مدارها TTL مشابه خود می باشند. برای مثال، HCMOS دارای حاصل ضرب سرعت - توانی برابر با 1.4pJ در فرکانس 100kHz می باشد در حالی که در مورد LS TTL این مقدار 20pJ می باشد.

بار گذاری و ظرفیت بار خروجی

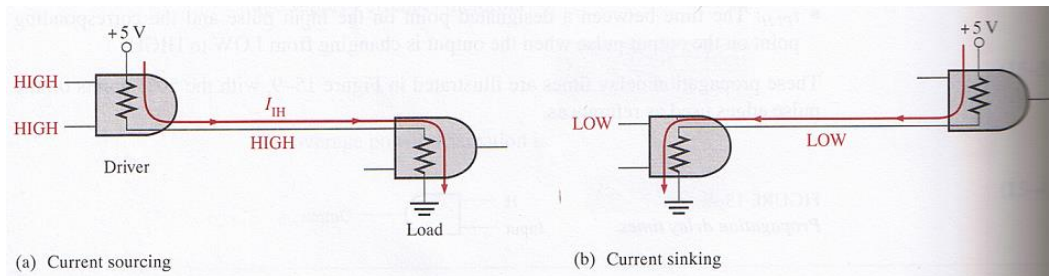
همان گونه که در شکل (۱-۱۸) نشان داده شده است زمانی که خروجی یک گیت منطقی به یک و یا بیش از یک ورودی دیگر گیت ها متصل شود، میزان بار برای گیت تحریک کننده افزایش می یابد.



شکل ۱-۱۸. بارگذاری خروجی یک گیت با ورودی های دیگر گیت ها.

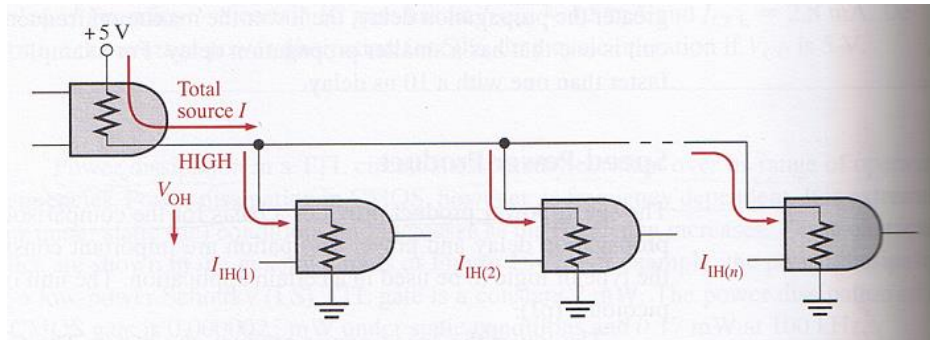
بارگذاری TTL

گیت تحریک کننده TTL در حالت بالا مانند یک منبع جریان ورودی، گیت بار را تغذیه می نماید (I_{IH}) و در حالت پایین مسیر تخلیه گیت بار به زمین می باشد (I_{IL}). تغذیه کردن و مسیر تخلیه در شکل (۱-۱۹) به طور ساده نشان داده شده است به طوری که مقاومت ها بیانگر مقاومت های ورودی و خروجی گیت ها می باشند.



شکل ۱-۱۹. تغذیه کردن و مسیر تخلیه در گیت های منطقی.

هنگامی که بارهای بیشتری به خروجی گیت تحریک کننده متصل شود، بارگذاری بر روی گیت تحریک کننده بیشتر می شود. جریان کلی منبع با افزایش اتصال هر ورودی، افزایش می یابد. این مطلب در شکل (۱-۲۰) نشان داده شده است. هنگامی که این جریان افزایش می یابد افت ولتاژ درونی گیت تحریک کننده افزایش می یابد که باعث می شود خروجی (V_{OH}) کاهش یابد. اگر تعداد بیش از حدی از گیت های بار متصل شوند، V_{OH} به زیر مقدار $V_{OH(min)}$ تنزل می یابد و حاشیه نویز بالا کاهش می یابد بنابراین عملکرد مدار را تحت تأثیر قرار می دهد.

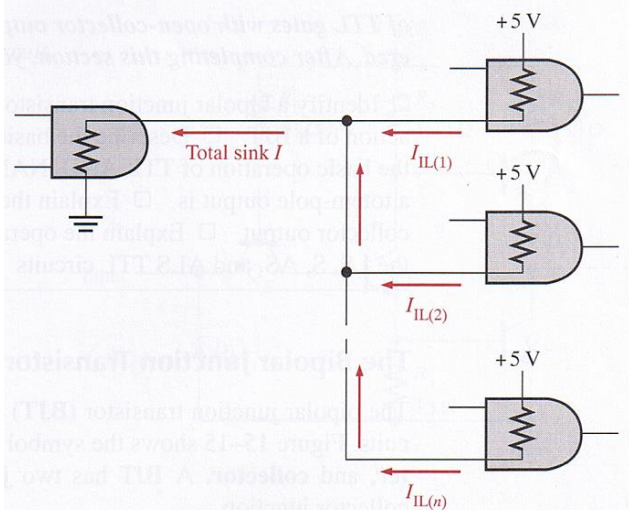


شکل ۱-۲۰. بارگذاری در حالت بالا برای TTL.

ظرفیت بار خروجی به معنی بیشترین تعداد گیت های بار ورودی می باشد که می تواند بدون تأثیر منفی در ویژگی های عملکردی گیت متصل شوند. برای مثال LS TTL دارای ظرفیت بار خروجی ۲۰ واحد بار می باشد. یک ورودی از خانواده منطقی یکسان به عنوان گیت تحریک کننده واحد بار نامیده می شود.

همچنین جریان تخلیه کل به ازای افزایش هر ورودی گیت افزایش می یابد. این مطلب در شکل (۱-۲۱) نشان داده شده است. هنگامی که این جریان افزایش می یابد افت ولتاژ درونی گیت تحریک کننده افزایش یافته باعث می شود که VOL افزایش یابد. اگر تعداد بیش از حدی بار اضافه شود VOL از مقدار VOL(max) تجاوز نموده و حاشیه نویز پایین کاهش می یابد.

در TTL ظرفیت جریان تخلیه در حالت پایین عامل محدود کننده در تعیین ظرفیت بار خروجی می باشد.

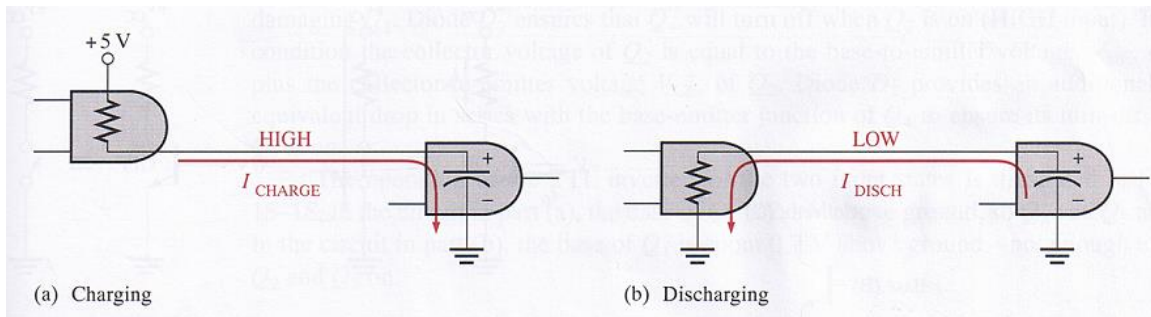


شکل ۱-۲۱. بارگذاری در حالت پایین برای TTL.

بارگذاری CMOS

بارگذاری در مدارها CMOS با مدارها TTL متفاوت است چرا که ترانزیستورهای اثر میدان استفاده شده در مدارها CMOS بار خازنی عمده ای را بر روی گیت تحریک کننده اعمال می کنند. این مطلب در شکل (۱-۲۲ الف) نشان داده شده است. در این مورد محدودیت در زمان های شارژ و دشارژ شدن توسط مقاومت خروجی گیت تحریک کننده و ظرفیت خازنی ورودی گیت های بار می باشد. زمانی که خروجی گیت تحریک کننده بالا باشد، خازن ورودی گیت بار از طریق مقاومت خروجی گیت تحریک کننده در حال شارژ شدن می باشد. زمانی که خروجی گیت تحریک کننده پایین باشد، خازن ورودی گیت بار از طریق مقاومت خروجی گیت تحریک کننده در حال دشارژ شدن می باشد. این مطلب در شکل (۱-۲۲ ب) نشان می دهد.

زمانی که گیت های بار ورودی به خروجی گیت تحریک کننده اضافه شوند ظرفیت خازنی کل افزایش می یابد چرا که خازن های ورودی به صورت موازی با یکدیگر قرار می گیرند. این افزایش در ظرفیت خازنی زمان های شارژ و دشارژ را افزایش داده و از این رو فرکانس کاری کاهش می یابد. بنابراین ظرفیت بار خروجی گیت CMOS بستگی به فرکانس کاری مدار خواهد داشت. هرچه گیت های ورودی کمتر باشد ماکزیمم فرکانس بیشتر خواهد بود.



شکل ۱-۲۲. بارگذاری خازنی یک گیت CMOS.

مدارها TTL

در این بخش عملکرد مدار داخلی گیت های TTL با خروجی توتم پل^۱ بررسی می گردد. دیگر سری های خانواده TTL که شامل 74LS، 74S، 74ALS و 74ALS می باشند نیز در این بخش ارائه شده و از نظر توان مصرفی و سرعت با یکدیگر مقایسه شده اند. همچنین عملکرد گیت های با خروجی کلکتور باز و گیت های سه حالت مورد بررسی قرار گرفته اند. پس از پایان این بخش باید قادر باشید:

- یک ترانزیستور دو قطبی را با استفاده از نماد مداری آن تشخیص دهید.
- رفتار سوئیچینگ یک ترانزیستور دو قطبی را توصیف نمایید.
- عملکرد مدار معکوس کننده پایه TTL را شرح دهید.
- عملکرد مدار های AND، NAND، OR و NOR پایه TTL را شرح دهید.
- توضیح دهید که خروجی توتم پل چیست.
- عملکرد و نحوه استفاده گیت های با خروجی کلکتور باز TTL را شرح دهید.
- عملکرد گیت های با خروجی سه حالت را توضیح دهید.
- در مورد مدارها LS، S، AS و ALS خانواده TTL بحث نمایید.

ترانزیستور دو قطبی (BJT^۲)

ترانزیستور دو قطبی یک المان سوئیچینگ فعال است که در تمامی مدارها TTL مورد استفاده قرار می گیرد. شکل (۱-۲۳) نمادی برای یک ترانزیستور دو قطبی npn به همراه سه پایه که شامل پایه های بیس^۳، امیتر^۴ و کلکتور^۵ می باشد را نشان می دهد. عملکرد پایه ای سوئیچینگ بدین صورت است که زمانی که بیس به اندازه 0.7 ولت مثبت تر از امیتر باشد زمانی که جریان کافی وارد بیس شود، ترانزیستور روشن شده و در حالت اشباع^۶ قرار می گیرد. به طور ایدآل، ترانزیستور در حالت اشباع مانند یک سوئیچ بسته بین کلکتور و امیتر عمل می نماید. این مطلب در شکل (۱-۲۴ الف) نشان داده شده است. همان طور که در شکل (۱-۲۴ ب) نشان داده شده است، زمانی که بیس کمتر از 0.7 ولت مثبت

^۱ Totem-Pole

^۲ Bipolar Junction Transistor

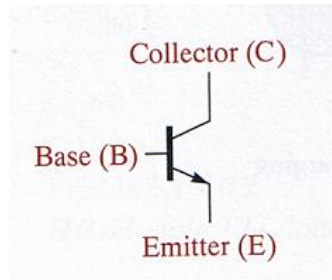
^۳ Base

^۴ Emitter

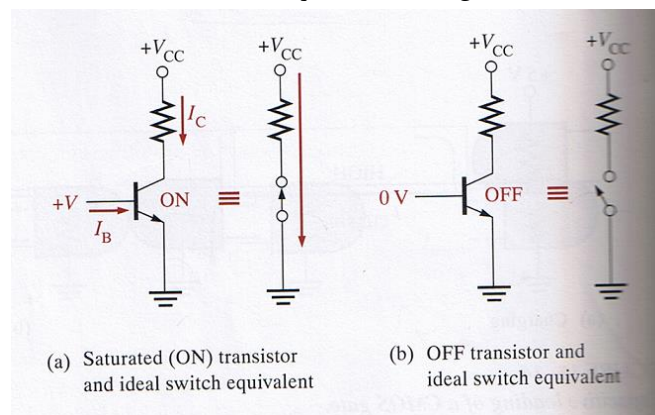
^۵ Collector

^۶ Saturation

تر از امیتر باشد، ترانزیستور خاموش شده و مانند یک سوئیچ باز بین کلکتور و امیتر می باشد. به طور کلی و خلاصه، منطق High در بیس، ترانزیستور را روشن می نماید و آن را به یک سوئیچ بسته تبدیل می نماید و منطق Low در بیس، ترانزیستور را خاموش نموده و آن را به یک سوئیچ باز تبدیل می نماید. در TTL، برخی BJT ها بیش از یک امیتر دارند.



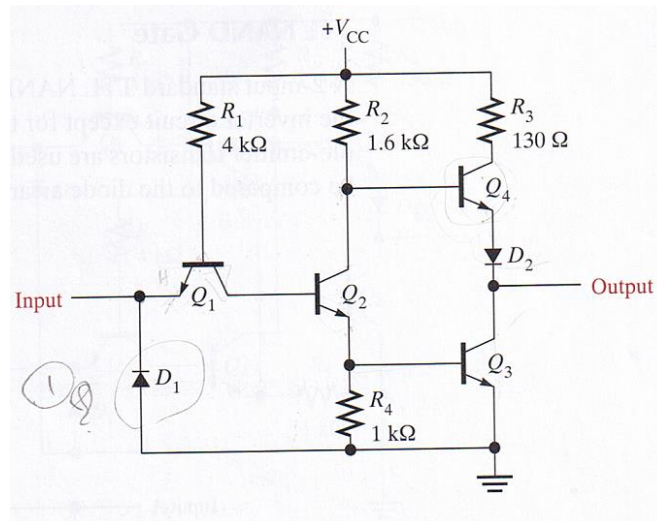
شکل ۱-۲۳. نماد مداری یک BJT.



شکل ۱-۲۴. رفتار ایدئال سوئیچینگ یک BJT.

معکوس کننده TTL

منطق TTL (یا T2L) یکی از پر استفاده ترین فناوری های مدارهای مجتمع به شمار می رود. تابع منطقی یک معکوس کننده یا هر نوع گیت دیگری بدون توجه به تکنولوژی مداری که برای ساخت آن گیت به کار رفته است، همواره یکسان است. استفاده از منطق TTL یکی از راه های پیاده سازی معکوس کننده یا هر مدار منطقی دیگر می باشد. شکل (۱-۲۵) مدار استاندارد TTL را برای یک معکوس کننده نشان می دهد. در این شکل Q1 ترانزیستور کوپلینگ ورودی و D1 دیود کلمپ ورودی می باشد. ترانزیستور Q2 جداساز فاز نامیده می شود و ترکیب Q3 و Q4 آرایشی را ایجاد می کند که با نام توتم پل شناخته می شود.



شکل ۱-۲۵. مدار استاندارد معکوس کننده TTL.

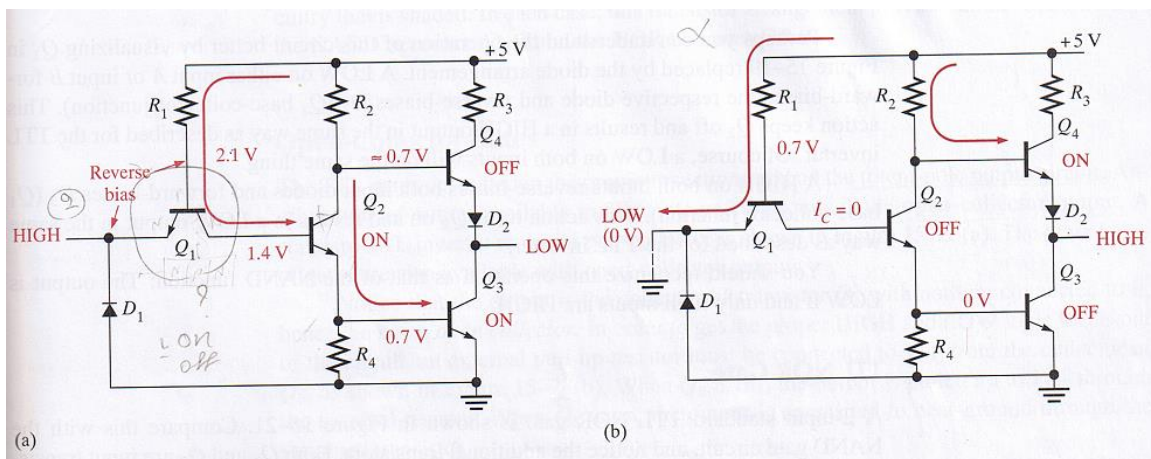
زمانی که ورودی بالا باشد اتصال بیس امیتر $Q1$ بایاس معکوس است و اتصال بیس کلکتور بایاس مستقیم است. این شرایط باعث می شود که جریانی از مسیر $R1$ و اتصال بیس کلکتور $Q1$ به بیس $Q2$ جاری شود و $Q2$ را به اشباع ببرد. در نتیجه $Q3$ توسط $Q2$ و ولتاژ کلکتورش که گره خروجی است و پتانسیل آن نزدیک به زمین می باشد، روشن می شود. بنابراین به ازای ورودی بالا، خروجی پایین خواهیم داشت. در همین زمان، کلکتور $Q2$ به اندازه ای کوچک است که $Q4$ را خاموش نگه می دارد.

زمانی که ورودی پایین است، اتصال بیس امیتر $Q1$ بایاس مستقیم و اتصال بیس کلکتور بایاس معکوس می باشد. جریانی از مسیر $R1$ و اتصال بیس امیتر $Q1$ تا ورودی پایین ورودی وجود دارد. ورودی پایین، مسیری برای برقراری جریان به زمین ایجاد می کند. جریانی وارد بیس $Q2$ نمی گردد. بنابراین این ترانزیستور خاموش خواهد بود. کلکتور $Q2$ بالا خواهد بود بنابراین $Q4$ روشن می شود. ترانزیستور $Q4$ اشباع شده مسیر کم مقاومتی از VCC به خروجی ایجاد خواهد نمود. از این رو به ازای ورودی پایین، خروجی بالا خواهیم داشت. در همین زمان، امیتر $Q2$ در پتانسیل زمین خواهد بود و $Q3$ را خاموش نگاه می دارد.

دیود $D1$ در مدارها TTL ترانزیستور $Q1$ ورودی را از اسپایک^۱ های ولتاژ منفی محافظت می نماید. دیود $D2$ به منظور اطمینان از اینکه هنگامی که $Q2$ روشن است (ورودی بالا است) $Q4$ خاموش بماند در مدار قرار گرفته است. در این شرایط ولتاژ کلکتور $Q2$ مساوی ولتاژ بیس امیتر $Q3$ ، (VBE) به اضافه ولتاژ کلکتور امیتر $Q2$ ، (VCE) می باشد. دیود $D2$ در حالت سری با اتصال بیس امیتر $Q4$ افت ولتاژ بیس امیتر (VBE) مساوی و اضافه ای را ایجاد می کند تا این اطمینان حاصل شود که زمانی که $Q2$ روشن است، $Q4$ خاموش می ماند.

عملکرد یک معکوس کننده TTL برای دو وضعیت ممکن ورودی در شکل (۱-۲۶) نشان داده شده است. در مدار قسمت (الف) بیس $Q1$ به اندازه $2.1V$ از زمین بیشتر است، بنابراین $Q2$ و $Q3$ روشن هستند. در مدار قسمت (ب) بیس $Q1$ به اندازه $0.7V$ از زمین بیشتر است که برای روشن کردن $Q2$ و $Q3$ کافی نمی باشد.

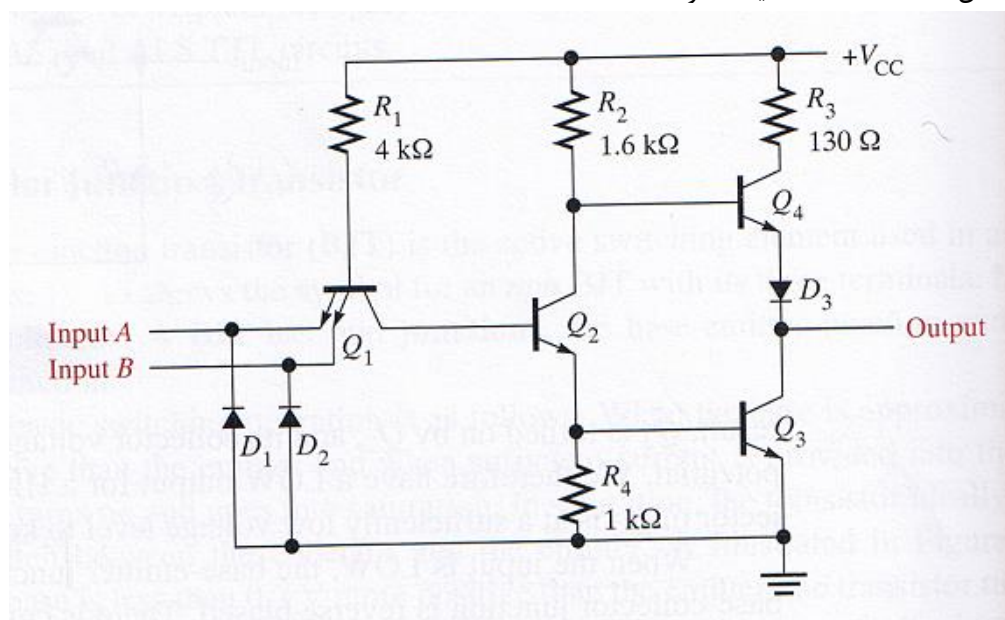
^۱ Spikes



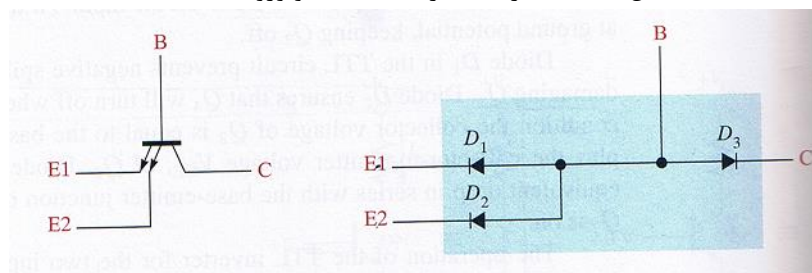
شکل ۱-۲۶. عملکرد معکوس کننده TTL.

گیت NAND منطق TTL

یک گیت استاندارد NAND دو ورودی منطق TTL در شکل (۱-۲۷) نشان داده شده است. این گیت اساساً به استثنای وجود امیتر ورودی اضافی Q_1 ، مشابه گیت معکوس کننده است. در تکنولوژی TTL، ترانزیستورهای با چند امیتر در ورودی مورد استفاده قرار می گیرند. ترانزیستورهای با چند امیتر را می توان با ترتیب دیود هایی که در شکل (۱-۲۸) نشان داده شده است، مقایسه نمود.



شکل ۱-۲۷. مدار استاندارد NAND دو ورودی TTL.



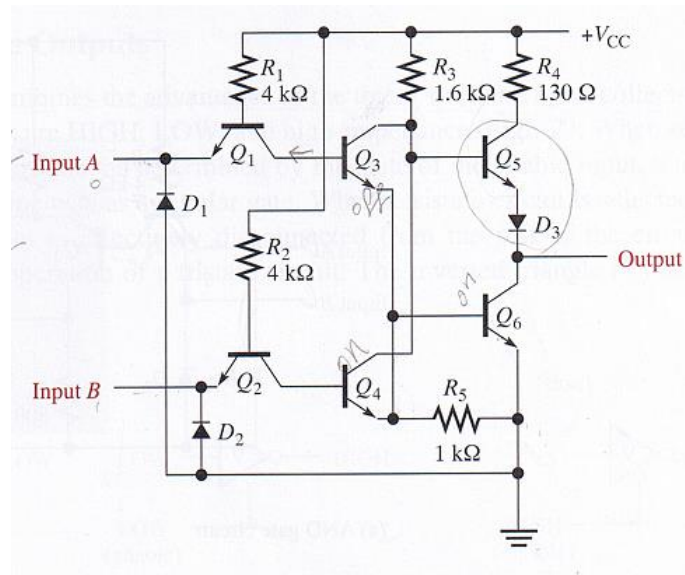
شکل ۱-۲۸. معادل دیودی ترانزیستورهای TTL با چند امیتر.

نحوه عملکرد این مدار با جایگذاری Q1 با معادل دیودی آن ساده تر است. ورودی پایین در امیتر ورودی A یا ورودی B دیود متناظر آن را وارد بایاس مستقیم و اتصال بیس کلکتور Q1 (D3) را بایاس معکوس می نماید. این عمل Q2 را خاموش نگه می دارد و مانند آنچه در معکوس کننده TTL شرح داده شد، خروجی بالا می رود. البته اگر هر دو ورودی پایین باشند نیز همین اتفاق خواهد افتاد.

اگر هر دو ورودی بالا باشند، هر دو دیود ورودی بایاس معکوس و D3 (اتصال بیس کلکتور Q1) را بایاس مستقیم می نماید. این عمل Q2 را روشن نموده و مانند آنچه در معکوس کننده TTL شرح داده شد، خروجی پایین می رود. این عمل رفتار یک گیت NAND را نشان می دهد به طوری که خروجی تنها زمانی پایین است که تمامی ورودی ها بالا باشند.

گیت NOR منطق TTL

یک گیت استاندارد NOR دو ورودی منطق TTL در شکل (۱-۲۹) نشان داده شده است. مدار این گیت را با مدار گیت NAND مقایسه نموده و به ترانزیستورهای اضافی دقت نمایید. ترانزیستورهای Q1 و Q2 هر دو ورودی هستند. ترانزیستورهای Q3 و Q4 موازی بوده و در نقش جداساز فاز عمل می نمایند. ترانزیستورهای Q5 و Q6 خروجی توتم پل معمولی TTL هستند.



شکل ۱-۲۹. مدار استاندارد گیت NOR دو ورودی TTL.

عملکرد این مدار به شرح زیر است:

- زمانی که هر دو ورودی پایین هستند اتصال بیس امیتر ترانزیستورهای ورودی که بایاس مستقیم هستند، جریان ترانزیستورهای جدا ساز فاز Q3 و Q4 را به عقب می کشند و آنها را خاموش می کنند. در نتیجه Q5 روشن و Q6 خاموش است و خروجی بالا می رود.
- زمانی که ورودی A پایین است و ورودی B بالا، Q3 خاموش و Q4 روشن خواهد بود. ترانزیستور Q4 ترانزیستور Q6 را روشن می کند و ترانزیستور Q5 را خاموش و بنابراین خروجی پایین می رود.
- زمانی که ورودی A بالا است و ورودی B پایین، Q3 روشن و Q4 خاموش خواهد بود. ترانزیستور Q3 ترانزیستور Q6 را روشن می کند و ترانزیستور Q5 را خاموش و بنابراین خروجی پایین می رود.

- زمانی که هر دو ورودی بالا هستند، هر دو ترانزیستور Q3 و Q4 روشن هستند. روشن بودن هر دو مانند روشن بودن یکی از آنها است و از این رو ترانزیستور Q6 روشن و ترانزیستور Q5 خاموش بوده و نتیجتاً خروجی پایین می باشد.

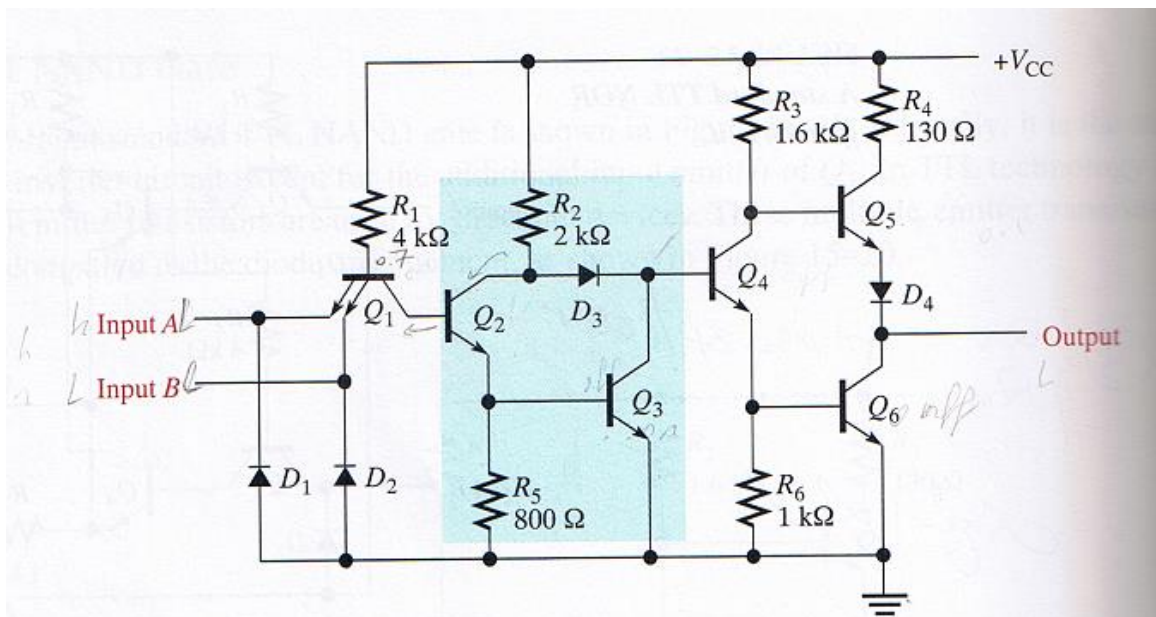
این عمل رفتار یک گیت NOR را نشان می دهد به طوری که خروجی زمانی پایین است که هر کدام از ورودی ها بالا باشند.

گیت های AND و OR منطق TTL

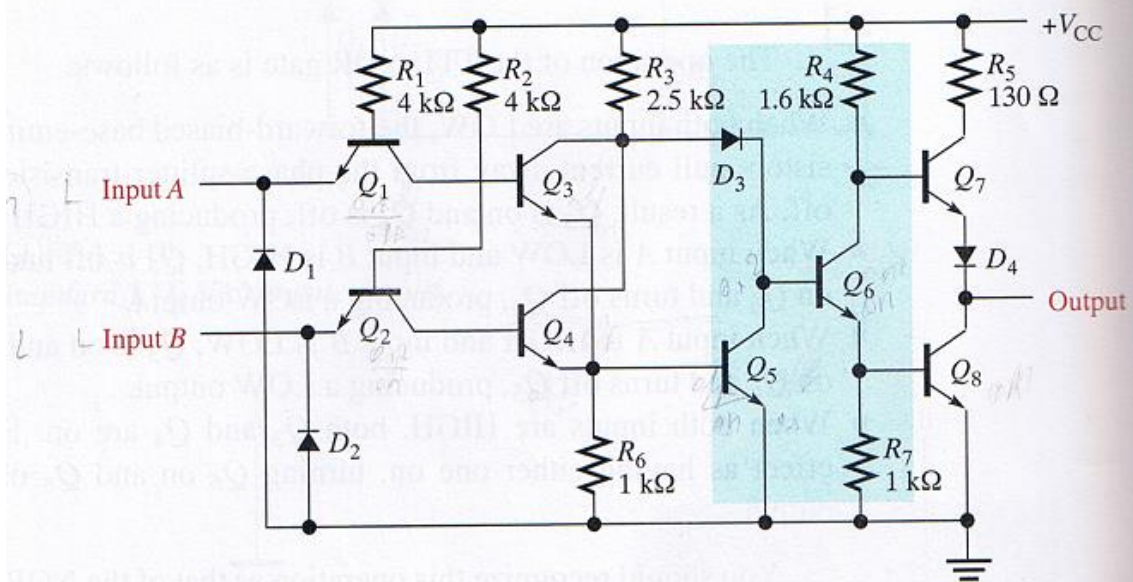
شکل (۱-۳۰) یک گیت استاندارد AND دو ورودی و یک گیت استاندارد دو ورودی OR را نشان می دهد. مدارهای این دو گیت را با گیت های NAND و NOR مقایسه نمایید و به مدارهای اضافه شده که با سایه مشخص شده اند دقت فرمایید. در هر دو مورد، آرایش ترانزیستور ها عملیات معکوس کنندگی را ایجاد می کنند و باعث می شوند که NAND به AND و همچنین NOR به OR تبدیل گردد.

گیت های کلکتور باز

گیت های TTL که در بخش های قبلی مورد بحث قرار گرفت، همگی دارای خروجی توتم پل هستند. نوع دیگر خروجی موجود در مدارهای مجتمع TTL خروجی کلکتور باز می باشد. یک گیت TTL استاندارد با خروجی کلکتور باز در شکل (۱-۳۱ الف) نشان داده شده است. توجه داشته باشید که خروجی مدار همان کلکتور Q3 می باشد که چیزی به آن متصل نیست، و از این رو به نام کلکتور باز نامیده شده است. همان طور که در شکل (۱-۳۱ ب) نشان داده شده است، به منظور داشتن سطوح منطقی High و Low در خروجی مدار به یک مقاومت بالاکننده (Pull-up) که یک سر آن به VCC و سر دیگر آن به کلکتور Q3 متصل شده باشد نیازمندیم. زمانی که Q3 قطع است، خروجی از طریق مقاومت بالا کشنده به مقدار VCC خواهد رسید. زمانی که Q3 روشن است، خروجی از طریق ترانزیستور اشباع شده Q3 تقریباً برابر زمین می باشد. نماد استاندارد ANSI/IEEE که خروجی های کلکتور باز را نشان می دهد برای یک معکوس کننده در شکل (۱-۳۲) نشان داده شده است.

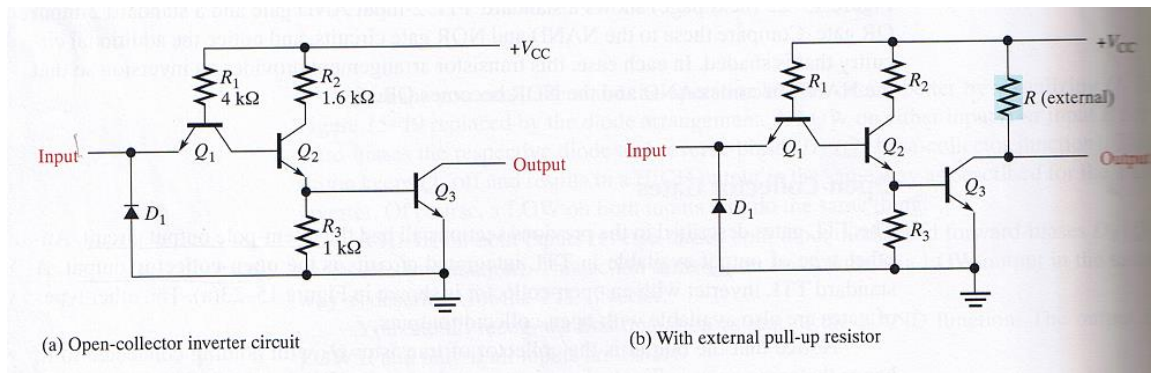


(a) AND gate circuit

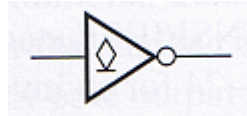


(b) OR gate circuit

شکل ۱-۳۰. گیت های AND و OR استاندارد TTL.



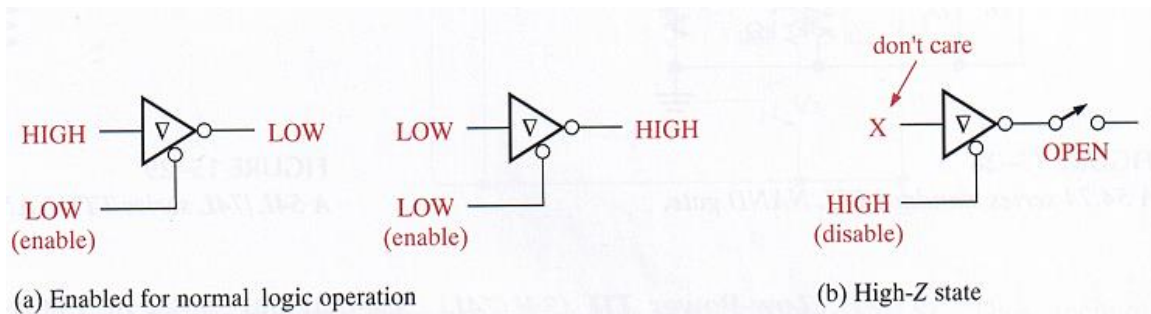
شکل ۱-۳۱. گیت استاندارد معکوس کننده TTL با خروجی کلکتور باز.



شکل ۱-۳۲. نماد کلکتور باز در یک معکوس کننده.

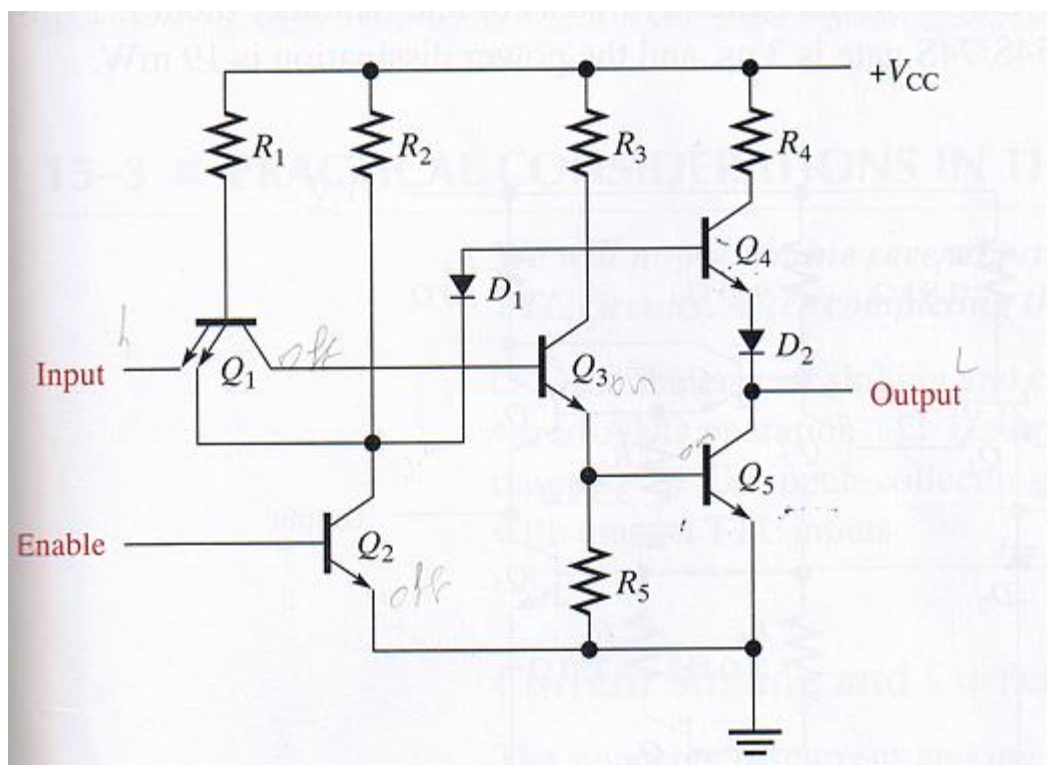
گیت های با خروجی سه حالت (Tristate Outputs)

خروجی های سه حالته فواید خروجی های توتم پل و کلکتور باز را ادغام می نماید. سه وضعیت خروجی عبارتند از High, Low و High-Z (امپدانس بالا). گیت سه حالته بر حسب وضعیتی که ورودی فعال ساز (enable) تعیین می نماید زمانی که عملیات نرمال سطوح منطقی برای آن انتخاب شده باشد، دقیقاً مانند یک گیت معمولی عمل می نماید اما زمانی که برای عملیات در امپدانس بالا انتخاب شده باشد، خروجی به طور مؤثری از مابقی مدار جدا خواهد شد. شکل (۱-۳۳) عملیات مدار سه حالته را نشان می دهد. خروجی سه حالته با یک مثلث بر عکس (∇) نشان داده می شود.

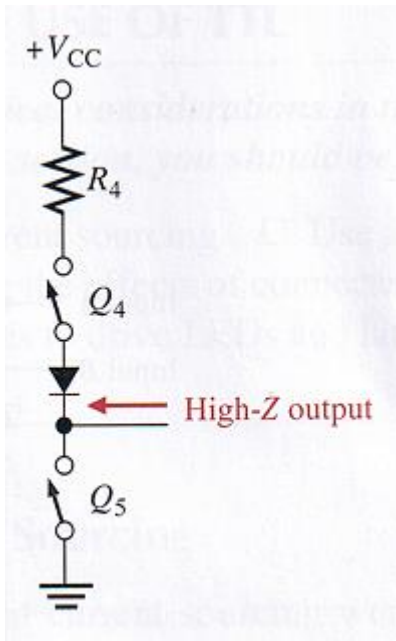


شکل ۱-۳۳. سه وضعیت ممکن در یک مدار سه حالته.

شکل (۱-۳۴) مدار پایه برای یک معکوس کننده TTL سه حالته را نشان می دهد. زمانی که ورودی فعال ساز Low باشد، Q2 خاموش خواهد بود و مدار خروجی مانند یک توتم پل معمولی عمل خواهد نمود و خروجی بالا خواهد بود. بنابراین ولتاژ پایینی در امیتر دوم Q1 وجود خواهد داشت که باعث می شود که Q3 و Q5 خاموش شوند و دیود D1 بایاس مستقیم شده و منجر به خاموش شدن Q4 خواهد شد. همان طور که در شکل (۱-۳۵) نشان داده شده است، زمانی که هر دو ترانزیستورهای توتم پل خاموش باشند، به طور مؤثری باز هستند و خروجی کاملاً از مدار داخلی جدا خواهد شد.



شکل ۱-۳۴. مدار معکوس کننده سه حالت استاندارد.

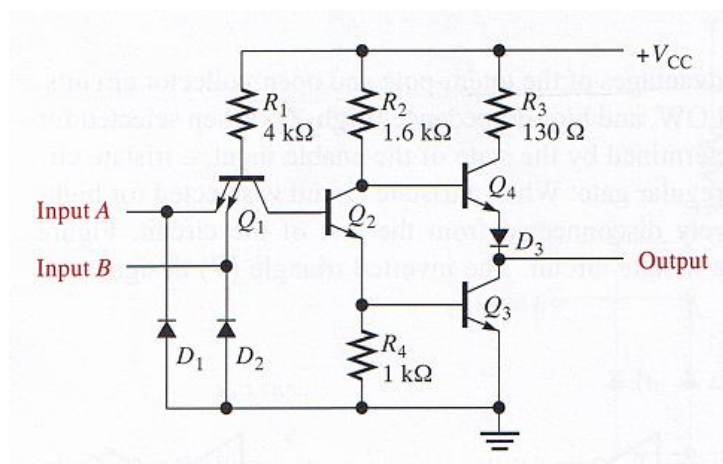


شکل ۱-۳۵. مدار معادل برای توتهم پل سه حالت در وضعیت امپدانس بالا.

دیگر خانواده های TTL

در بخش های قبلی مدار گیت TTL NAND مورد بحث قرار گرفت. این یک نوع منطق کشنده جریان است که زمانی که در خروجی Low داشته باشیم از بار جریان خواهد کشید و زمانی که در خروجی High داشته باشیم جریان ناچیزی

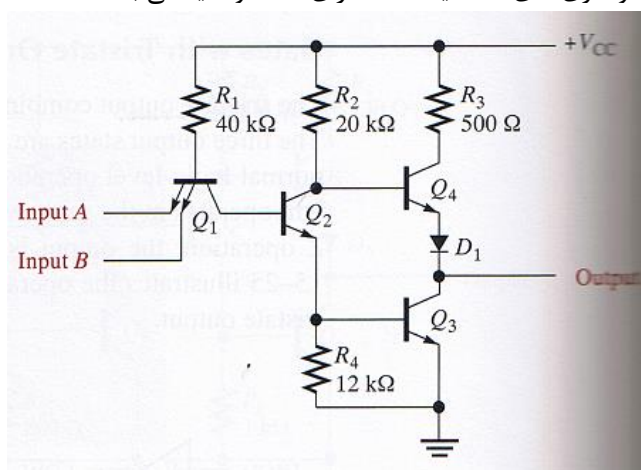
به بار وارد می کند. شکل (۳۶-۱) یک گیت NAND دو ورودی TTL از خانواده ۷۴/۵۴ را نشان می دهد و این مدار به منظور مقایسه با دیگر مدارها TTL مورد استفاده قرار خواهد گرفت.



شکل ۳۶-۱. گیت NAND استاندارد TTL سری ۷۴/۵۴.

TTL کم مصرف (54L/74L)

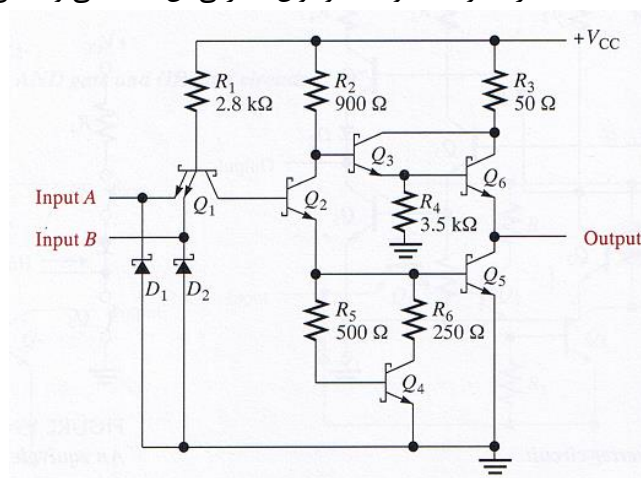
سری های ۵۴L یا ۷۴L مدارها TTL به منظور مصرف کمتر توان طراحی شده اند. مدار یک گیت نوعی از این خانواده در شکل (۳۷-۱) نشان داده شده است. توجه داشته باشید که مقادیر مقاومت ها در این مدار به طور قابل توجهی بیشتر از مقادیر آنها در گیت های استاندارد نشان داده شده در شکل (۲۷-۱) می باشند. مقاومت های بزرگتر به کاهش جریان منجر خواهند شد. بنابراین توان کمتری مصرف خواهد شد اما زمان سوئیچینگ گیت ها افزایش خواهد یافت. توان مصرفی نوعی یک گیت استاندارد سری ۷۴/۵۴ برابر ۱۰ میلی وات است و برای سری های ۵۴L یا ۷۴L برابر است با ۱ میلی وات. البته صرفه جویی در مصرف توان، کاهش سرعت را در بر دارد. یک گیت استاندارد سری ۷۴/۵۴ دارای تأخیر انتشاری برابر با ۱۰ نانو ثانیه و سری های ۵۴L یا ۷۴L دارای ۳۳ نانو ثانیه می باشند.



شکل ۳۷-۱. گیت NAND استاندارد TTL سری ۷۴L/۵۴L.

TTL شاتکی (54s/74s)

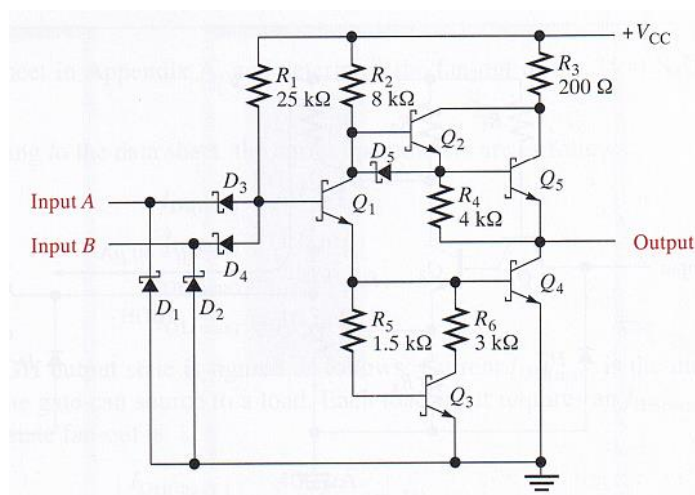
سری های 54s/74s زمان سوئیچینگ سریع تری را با به کارگیری دیود های شاتکی به منظور ممانعت از ورود ترانزیستور ها به ناحیه اشباع، ارائه می کنند. در نتیجه ترانزیستور ها زمان کمتری را صرف خاموش شدن خود می کنند. شکل (۳۸-۱) مدار یک گیت شاتکی را نشان می دهد. به نماد ترانزیستور ها و دیود های شاتکی توجه نمایید. تأخیر انتشار نوعی برای یک گیت 54s/74s در حدود ۳ نانو ثانیه و توان مصرفی آن ۱۹ میلی وات می باشد.



شکل ۳۸-۱. گیت NAND استاندارد TTL سری ۷۴S/۵۴S.

TTL شاتکی با توان مصرفی کم

این سری از خانواده TTL سرعت را به منظور داشتن توان مصرفی کمتر تعدیل می نماید. یک گیت NAND از این سری در شکل (۳۹-۱) نشان داده شده است. توجه داشته باشید که ورودی ها از دیود های شاتکی به جای ترانزیستورهای ورودی سابق استفاده می نمایند. توان مصرفی نوعی برای یک گیت ۲ میلی وات و تأخیر انتشار آن در حدود ۱۰ نانو ثانیه می باشد.



شکل ۳۹-۱. گیت NAND استاندارد TTL سری ۷۴LS/۵۴LS.

شاتکی پیشرفته و شاتکی کم مصرف پیشرفته (AS/ALS)

این فناوری ها نسخه های پیشرفته سری های S و LS می باشند. توان مصرفی نوعی استاتیکی آنها در حدود ۸,۵ میلی وات برای سری های AS و ۱ میلی وات برای سری های ALS می باشد. زمان تأخیر انتشاری برای سری های AS برابر ۱,۵ نانو ثانیه و برای سری های ALS برابر ۴ نانو ثانیه می باشد. یک نسخه از سری های AS سری F یا Fast خوانده می شود.

خلاصه فصل

در این فصل تاریخچه ای از مدارهای الکترونیک دیجیتال و نحوه عملکرد برخی خانواده های منطقی دیجیتالی ارائه شد. در فصول بعدی به شرح جزئیات بیشتری از خانواده های منطقی معرفی شده در این فصل و به ویژه منطق ترانزیستوری MOS خواهیم پرداخت.