



فصل چهارم

مفاهیم مقدماتی منطق MOS

مقدمه

داشتن درک صحیحی از مدارهای مجتمع دیجیتال (حداقل تا درجه متوسط) برای مهندسی که در سطح سیستم طراحی انجام می دهند، تقریباً الزامی است. این یک حقیقت است چراکه امروزه در عمل هر سیستم نوینی شامل مدارهای مجتمع دیجیتال در زیر مؤلفه های خود می باشد. هرچه ظرفیت مجتمع سازی به سوی تعداد بیشتری از ترانزیستورها در یک تراشه افزایش می یابد، برای کاربردهای وسیع، نیاز به ایجاد تراشه های با اهداف خاص (ASIC)^۱ بیشتر خود را نشان می دهد. اغلب طراحان سیستم باید علاوه بر طراحی تراشه ها، سیستم ها را نیز طراحی نمایند. از این رو، این کتاب نه تنها برای مهندسين برق و کامپیوتری که تراشه های دیجیتال را طراحی می کنند تألیف گشته است، بلکه برای سایر مهندسينی که در نهایت، نیاز به طراحی تراشه ها و یا بطور همکار با یک طراح تراشه همکاری می نمایند نیز مفید است. در اوایل سال ۱۹۸۰ تفکر بر این بود که در آینده، تراشه های VLSI^۲ توسط ابزار پیشرفته کامپیوتری و یا حتی کامپایلرهای سیلیکونی طراحی خواهند شد. هرچند امروزه، به منظور طراحی تراشه های دیجیتال، ابزارهای طراحی به کمک کامپیوتر (CAD)^۳ به شدت مورد نیاز می باشند و تقریباً همیشه، بخش های مداری یک تراشه باید در سطح ترانزیستور طراحی شوند تا فضای کمتری اشغال شده و یا سرعت عملکرد بهتری داشته باشند. این مسئله در مورد تراشه های موجود در بازار که در تعداد وسیع تولید می شوند کاملاً صحت دارد، بطوری که یک طراحی ذهنی بر اساس درک کامل از تکنولوژی ساخت تراشه و مدل های ترانزیستورها می تواند موجب افزایش ۵۰ - ۱۰۰٪ سرعت نسبت به طراحی بر اساس سلول های استاندارد مبتنی بر روش های سنتی و سنتز منطقی بر اساس CAD باشد.

حتی برای طراحان تراشه های دیجیتال که در ابتدا درگیر استفاده از کتاب خانه های استاندارد و سنتز منطقی خودکار می شوند، درک خوبی از طراحی منطقی در سطح ترانزیستور در طراحی سلول های جدید و همچنین درک قابلیت های سلول های طراحی شده فعلی، بسیار سودمند می باشد. البته این کتاب در درجه اول به منظور تدریس طراحی تراشه های دیجیتال در سطح ترانزیستور می باشد. این کتاب شامل طراحی گیت های منطقی بطور عمیق و در اکثر خانواده های نوین منطقی می باشد. تکنولوژی های MOS^۴ و سیلیکن دوقطبی در این کتاب پوشش داده شده اند، هرچند بیشترین تأکید بر تکنولوژی های MOS می باشد. در ابتدا با مفاهیم شروع می کنیم و به تدریج به سمت مدارهای پیچیده تر و پیشرفته تر از قبیل بافرها، فلیپ فلاپ ها و رجیسترها، مدارهای محاسباتی، ادوات منطقی برنامه پذیر، حافظه های نیمه هادی، و منطق آزمون پذیر خواهیم رفت. هر کجا که لازم باشد، مفاهیم مقدماتی مورد نیاز آن بخش مورد تأکید قرار خواهد گرفت. بدین منظور برخی عناوین از قبیل طراحی گیت منطق NMOS پوشش داده شده است چراکه نماینده سبک و سیاق عمومی طراحی می باشد و ممکن است در تکنولوژی های آینده مورد توجه قرار گیرد هر چند که امروزه محبوبیت خود را از دست داده است.

^۱ Application Specific Integrated Circuits

^۲ Very Large Scale Integrated Circuits

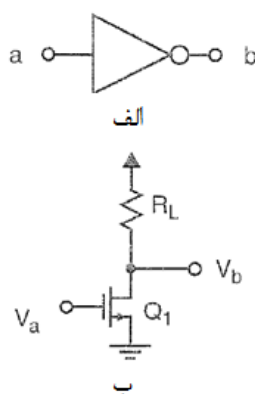
^۳ Computer Aided Design

^۴ Metal-Oxide Semiconductor

فرض بر این است که خواننده محترم طراحی منطقی بر اساس ماشین های حالت و با استفاده از ترانزیستورها را بداند، هر چند در هر کجا که لازم باشد مروری بر این مفاهیم و تئوری ها خواهیم داشت. بدنه اصلی این فصل به منظور معرفی طراحی گیت های ساده منطقی MOS به خواننده می باشد، بطوری که ترانزیستورها بصورت کلیدهای ساده ای مدل سازی شده اند. علاوه بر این، برخی تعاریف برای حاشیه نویز ارائه شده است و نشان داده شده که چگونه پاسخ مرتبه اول شبکه RC یک ترانزیستور را می توان با تخمین تأخیر یک گیت معکوس کننده MOS انجام داد.

۲.۱ گیت های ساده منطق NMOS

گیت های منطقی اغلب یک و یا بیش از یک ورودی دارند که ورودی های بولی به آنها اعمال می شود و سپس یک خروجی بولی تولید می کنند. برخی گیت های خاص مانند دیکودرها دارای خروجی های چندگانه می باشند. اکثر مدارات مجتمع دیجیتال دارای منطق دودویی می باشند بطوری که سیگنالها (بر خلاف منطق چند مقداری) دارای مقادیر "۱" یا "۰" می باشند. در منطق دودویی، یک ورودی "۰" در نظر گرفته می شود اگر ولتاژ آن زیر سطح ولتاژ آستانه گیت (که با V_{TH} نشان داده می شود) باشد و "۱" در نظر گرفته می شود اگر ولتاژ آن بالاتر از سطح ولتاژ آستانه گیت باشد. ساده ترین گیت منطقی یک معکوس کننده می باشد که مقدار خروجی آن معکوس مقدار ورودی آن است. نمادی که یک گیت معکوس کننده را با آن نشان می دهند در شکل (۱-۲ الف) نشان داده شده است. یک مدار پیاده سازی در سطح ترانزیستور برای یک معکوس کننده که از یک ترانزیستور NMOS و یک مقاومت تشکیل شده است در شکل (۱-۲ ب) نشان داده شده است. این معکوس کننده شبیه به یک آمپلی فایر سورس مشترک می باشد. اگر قرار بود به عنوان یک آمپلی فایر مورد استفاده قرار گیرد، سیگنالهای ورودی ممکن بود تغییرات بسیار ناچیزی می داشتند و ترانزیستور بطور نوعی در ناحیه فعال^۱ یا اشباع عمل می نمود. در صورتی که به عنوان یک معکوس کننده مورد استفاده قرار گیرد، سیگنال ورودی می تواند تغییرات وسیعی که اغلب تا اندازه مقدار منبع تغذیه است داشته باشد و ترانزیستور معمولاً یا قطع است و دارای ولتاژ بزرگی بین درین- سورس خودی میباشد و یا در ناحیه خطی^۲ عمل می نماید بطوری که ولتاژ درین- سورس آن بسیار کوچک است.

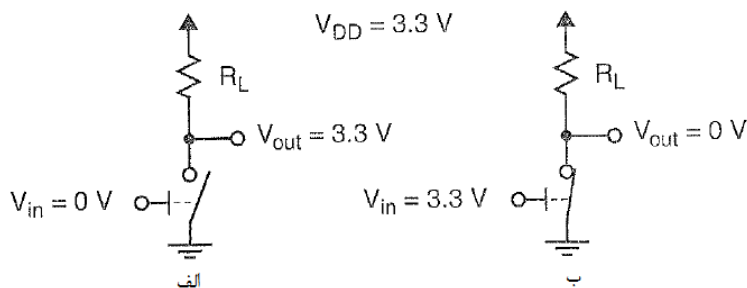


شکل ۱-۲. الف) نماد یک معکوس کننده، ب) پیاده سازی ساده با استفاده از یک مقاومت و یک ترانزیستور NMOS.

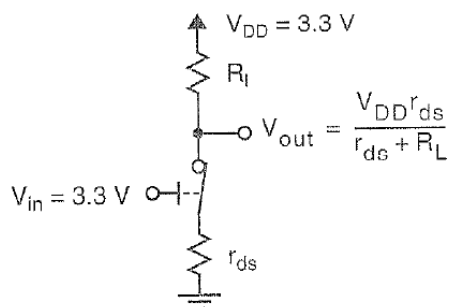
^۱ Active or Saturation region

^۲ Triode region

در یک تحلیل مرتبه اول از معکوس کننده شکل (۲-۱) ترانزیستور NMOS می تواند به عنوان یک کلید کنترل شونده با ولتاژ عمل کند، بطوری که اگر ولتاژ گیت آن بزرگ باشد، کلید روشن است و درین را به سورس متصل می نماید و اگر ولتاژ گیت آن کوچک باشد، ترانزیستور معادل یک کلید باز است و می توان در هنگام تحلیل مدار از حضور آن صرف نظر نمود. با مراجعه به شکل (۲-۲) الف) مشاهده می کنیم که برای سیگنال ورودی صفر ولت در ورودی ترانزیستور، کلید معادل باز است. بنابراین جریانی از مقاومت بار عبور نخواهد کرد و بنابراین اختلاف ولتاژی بین دو پایه مقاومت وجود نداشته پس ولتاژ خروجی معادل با V_{DD} یا V_{DD} ولت خواهد بود.



شکل ۲-۲. تفسیر در سطح گیت از معکوس کننده شکل ۲-۱ با (الف) ورودی "۰" و (ب) ورودی "۱".



شکل ۲-۳. مدل دقیق تر معکوس کننده شکل (۲-۱) ب).

به طور مشابه، برای یک سیگنال ورودی $V_{in} = 3.3$ ولت، کلید معادل بسته است که ولتاژ خروجی را تا صفر ولت پایین می برد (شکل ۲-۲ ب). در مدل سازی دقیق تر می توان ترانزیستور را در حالتی که ولتاژ گیت آن بالا ("۱") است، با یک مقاومت کوچک جایگزین نمود. این مطلب در شکل (۲-۳) نشان داده شده است. ولتاژ خروجی برای ورودی "۱" در این حالت صفر ولت نخواهد بود بلکه با استفاده از رابطه تقسیم ولتاژ ساده از رابطه ۲-۱ محاسبه خواهد شد که اندکی از صفر بیشتر است. تا زمانی که ترانزیستور بار R_L بسیار بزرگتر از r_{ds} باشد، ولتاژ خروجی هر چند صفر نیست اما بسیار کوچکتر از ولتاژ آستانه گیت می باشد. ولتاژ آستانه گیت (V_{TH}) ولتاژ ورودی گیت است که برابر با مقدار ولتاژ خروجی باشد.

^۱ در سراسر این کتاب در رابطه با مدارهای MOSFET مقدار منبع تغذیه $V_{DD} = 3.3$ ولت فرض شده است مگر اینکه خلاف آن بیان شده باشد.

$$V_{out} = \frac{V_{DD} r_{ds}}{r_{ds} + R_L} \quad (1.1)$$

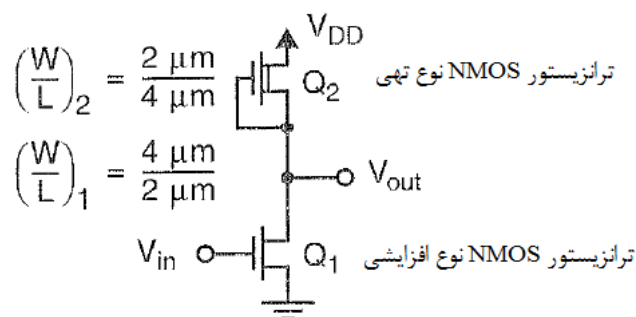
مثال ۱-۲

فرض کنید زمانی که ترانزیستور روشن است، می توان آن را با یک مقاومت ۳۰۰ اهمی مدل نموده و نیز فرض کنید که مقدار مقاومت بار R_L برابر ۴ کیلو اهم است. ولتاژ خروجی چه خواهد بود زمانی که ورودی بالا باشد؟

پاسخ: با استفاده از رابطه تقسیم ولتاژ ۱-۲ داریم:

$$V_{out} = \frac{3.3(300)}{300 + 4000} = 0.23 \text{ V} \quad (1.2)$$

عموماً معکوس کننده شکل (۱-۲ ب) هرگز در یک مدار مجتمع واقعی به کار گرفته نمی شود، چراکه اساساً مقاومت بار R_L سطح بسیار زیادی را اشغال می کند. در یک تکنولوژی NMOS که سابقاً بسیار مرسوم بوده است، یک ترانزیستور NMOS نوع تهی^۱ جایگزین مقاومت بار R_L می شد که این مطلب در شکل (۴-۲) نشان داده شده است. این نوع ترانزیستور بر خلاف یک ترانزیستور NMOS نوع افزایشی، هنگامی که گیت آن مقدار یکسانی با مقدار ولتاژ سورس آن داشته باشد هدایت می کند. نماد مداری یک ترانزیستور NMOS نوع تهی مشابه ترانزیستور NMOS نوع افزایشی است به استثنای اینکه خط اضافه ای بین درین و سورس آن وجود دارد که بیان می دارد که زمانی که ولتاژ گیت - سورس صفر باشد کانال هدایت وجود خواهد داشت.



شکل ۴-۲. یک گیت معکوس کننده در تکنولوژی NMOS.

معکوس کننده شکل (۴-۲) بسیار شبیه معکوس کننده شکل (۱-۲ ب) است. از این رو ترانزیستور نوع تهی Q_2 به نوعی شبیه به یک مقاومت عمل نموده، اما به مراتب سطح کوچکتري را در تراشه اشغال می نماید. به منظور دستیابی به کوچکترین ولتاژ مطلوب

^۱ Depletion

هنگامی که ورودی "۱" است، نسبت عرض به طول ($\frac{W}{L}$) ترانزیستور تحریک Q_1 باید بطور قابل ملاحظه ای بزرگتر از نسبت $\frac{W}{L}$ ترانزیستور بار باشد. هم‌طور که در شکل (۲-۴) نشان داده شده است، معمولاً ضریب ۴ برابر کافی است و بطور معمول مورد استفاده قرار می گیرد.

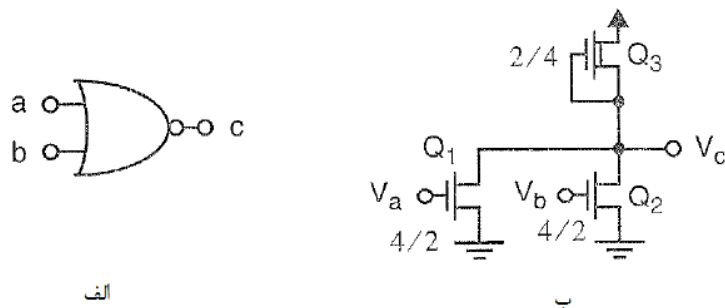
همچنین باید متذکر شد که در حال حاضر برای ترانزیستورهای MOS، نسبت عرض ترانزیستور (W) به طول (L) آن مهمترین پارامتر در طراحی به شمار می رود و نه مقدار مطلق ابعاد طول و عرض. همچنین نسبت $\frac{W}{L}$ ترانزیستور گاهی اوقات اندازه^۲ آن نامیده می شود و با S نشان داده می شود.

یک گیت پیچیده تر را می توان با افزودن ترانزیستورهای تحریک بیشتر پیاده سازی نمود. برای مثال در شکل (۲-۵ الف و ب) به ترتیب، نمادی برای یک گیت nor و پیاده سازی آن در تکنولوژی NMOS نشان داده شده است. در این گیت هرگاه هرکدام از ورودی ها بالا باشند، خروجی پایین خواهد بود. در شکل (۲-۵ ب) هرگاه یکی از ورودی ها دارای ولتاژ بالا باشند، ترانزیستور مربوطه را می توان با یک کلید بسته مدل نمود و با فرض اینکه $\frac{W}{L_S}$ (با بطور معادل S_S) ترانزیستورهای تحریک در مقایسه با $\frac{W}{L_S}$ ترانزیستور بار به حد کافی بزرگ تر باشند، ولتاژ خروجی پایین خواهد بود. مانند گیت معکوس کننده، در گیت nor نیز معمولاً نسبت ۴ مورد استفاده قرار می گیرد. اگر هر دو ورودی پایین باشند، تمام ترانزیستورهای تحریک خاموش خواهند بود و می توان از آنها صرف نظر نمود. در این حالت، ترانزیستور بار تهی Q_3 مثل یک مقاومت بار عمل خواهد کرد و خروجی را سطح V_{DD} بالا خواهد کشید. مثال دیگری از یک گیت منطقی NMOS در شکل (۲-۶) نشان داده شده است. در شکل (۲-۶ الف) نمادی یک گیت nand و پیاده سازی در سطح ترانزیستور آن در شکل (۲-۶ ب) نشان داده شده است. در این گیت، هر ورودی که صفر باشد منجر به تولید "۱" در خروجی خواهد شد. در شکل (۲-۶ ب) هرگاه یکی از ترانزیستورهای Q_1 یا Q_2 در ورودی پایه گیت خود دارای ولتاژ پایین باشند، آن ترانزیستور قطع خواهد بود که موجب یک امپدانس بالا^۳ (در واقع یک امپدانس بی نهایت) بین گره خروجی و زمین خواهد شد که به ترانزیستور بار Q_3 اجازه می دهد خروجی را تا سطح ولتاژ V_{DD} بالا ببرد. اگر هر دو ورودی بالا باشند، امپدانس تا زمین بسیار کوچکتر خواهد بود. اگر $\frac{W}{L}$ ترانزیستورهای تحریک از $\frac{W}{L}$ ترانزیستور بار Q_3 بسیار بزرگتر باشند، آنگاه این امپدانس بسیار کوچکتر از امپدانس معادل تقریبی Q_3 خواهد بود و ولتاژ خروجی ولتاژ کوچکی خواهد بود که می توان آنرا به عنوان ورودی گیت های بعدی که به این گره متصل خواهند شد "۰" در نظر گرفت. از آنجا که در گیت nand مورد نظر دو ترانزیستور تحریک بطور سری وجود دارند، نسبت $\frac{W}{L}$ های ترانزیستورهای تحریک به $\frac{W}{L}$ ترانزیستور بار باید بزرگتر از مقدار کافی در مورد یک گیت معکوس کننده یا گیت nor باشند. برای یک گیت nand دو ورودی، معمولاً ضریب ۸ مورد استفاده قرار می گیرد.

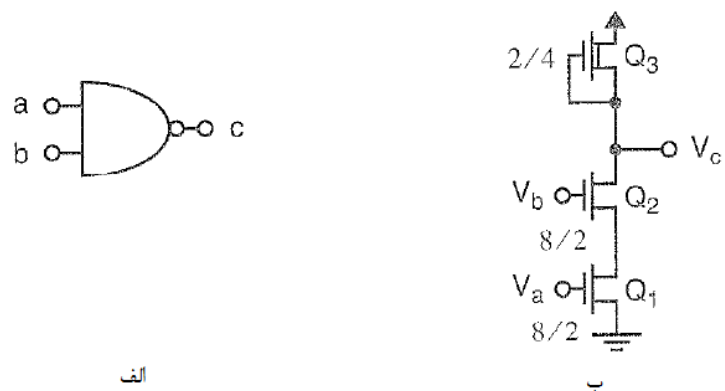
^۱ ترانزیستور تحریک ترانزیستوری است که گیت آن به یکی از ورودی ها متصل شده باشد.

^۲ Size

^۳ High Impedance

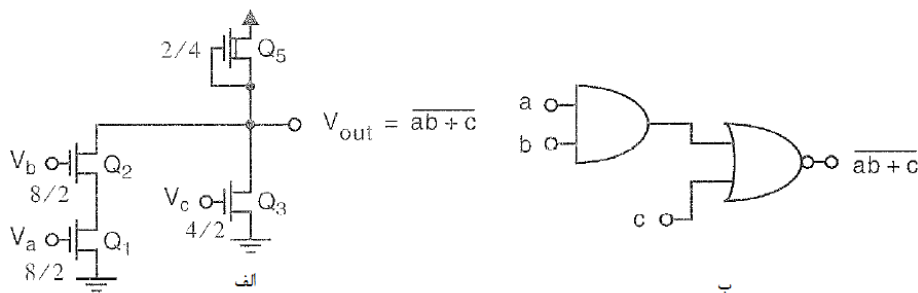


شکل ۲-۵. (الف) نماد گیت nor، (ب) پیاده سازی ترانزیستوری گیت nor در تکنولوژی NMOS.



شکل ۲-۶. (الف) نماد گیت nand، (ب) پیاده سازی ترانزیستوری گیت nand در تکنولوژی NMOS.

یک گیت ترانزیستوری پیچیده تر به همراه گیت منطقی معادل آن نیز در شکل (۷-۲) نشان داده شده است. نحوه کلی تولید گیت های پیچیده از قبیل این گیت، در فصل ۴ بطور کامل مورد بررسی قرار خواهد گرفت. اما در اینجا فقط این نکته را در نظر داشته باشید که خروجی گیت ترانزیستوری شکل (۷-۲) الف) تنها زمانی پایین خواهد بود که فقط یک مسیر با امپدانس کم در مسیر اتصال سری ترانزیستورهای Q_1 و Q_2 ، و یا از طریق ترانزیستور Q_3 موجود باشد. این حالت زمانی رخ می دهد که هر دو ورودی a و b بالا بوده و یا اینکه ورودی c بالا باشد. اگر یکی از این شرایط برقرار باشد، خروجی صفر خواهد بود. بنابراین تابع منطقی خروجی برابر خواهد بود با $V_{out} = \overline{ab + c}$.

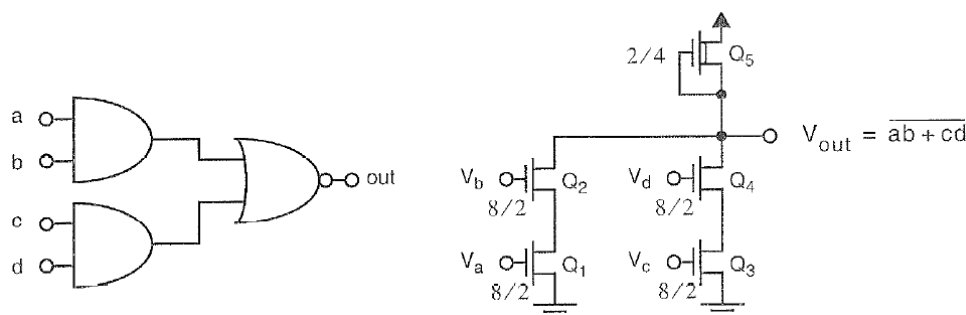


شکل ۷-۲. یک گیت NMOS که تابع $f = \overline{ab + c}$ را پیاده سازی می کند.

مثال ۲-۲

گیت NMOS ای طراحی کنید که تابع $f = \overline{ab + cd}$ را پیاده سازی نماید.

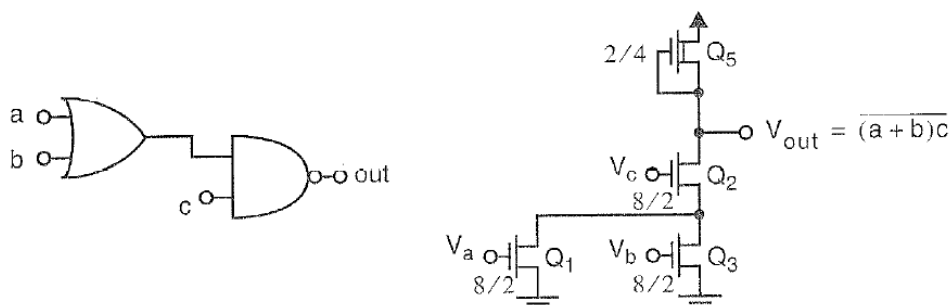
پاسخ: این گیت منطقی باید بین خروجی و زمین دارای امپدانس کوچکی باشد هرگاه ورودی های a و b هر دو بالا هستند و یا ورودی های c و d هر دو بالا هستند. با مقایسه این مثال با سایر مثال های قبلی که تا به اینجا ارائه شد، مشاهده می کنیم که تابع and با اتصال سری و تابع or با اتصال موازی ترانزیستورها قابل دستیابی است. بنابراین گیت مورد نظر را می توان در شکل (۲-۸) نشان داد. اندازه هایی که در این شکل ارائه شده است، مقادیر نوعی هستند و به گونه ای انتخاب شده اند که ولتاژ آستانه گیت و سطح ولتاژ پایین، مورد قبول واقع شوند. مباحث مربوط به تعیین اندازه ترانزیستورها در طراحی بطور کامل در فصل ۴ مورد بررسی قرار خواهد گرفت.



شکل ۲-۸. یک گیت NMOS که تابع $f = \overline{ab + cd}$ را پیاده سازی می کند.

مثال: یک گیت NMOS طراحی کنید که تابع $f = \overline{(a + b)c}$ را پیاده سازی نماید.

پاسخ: این گیت منطقی باید بین خروجی و زمین دارای امپدانس کوچکی باشد هرگاه یکی از ورودی های a یا b بالا باشد و یا اینکه c بالا باشد. با مقایسه این گیت با مثال های قبلی، مشاهده می نمایم که تابه or منطقی، از اتصال موازی ترانزیستورها حاصل می شود و تابع and از اتصال سری آنها. بنابراین می توان مدار مورد نظر را در شکل (۲-۹) نشان داد. مجدداً اندازه ترانزیستورها مقادیر نوعی بوده و به گونه ای انتخاب شده اند که ولتاژ آستانه گیت و سطح ولتاژ پایین، مورد قبول واقع شوند.



شکل ۲-۹. یک گیت NMOS که تابع $f = \overline{(a + b)c}$ را پیاده سازی می کند.

گیت های منطقی مشابه آنچه که تا کنون مورد بررسی قرار گرفتند و تنها از ترانزیستورهای MOSFET نوع کانال n استفاده می کنند، گیت های منطقی NMOS نامیده می شوند. مراحل پردازش مورد نیاز به منظور ایجاد یک تراشه متشکل از گیت های NMOS را تکنولوژی NMOS می نامند. این تکنولوژی توسط شرکت اینتل در تولید ریز پردازنده خانواده ۸۰۸۰ که یکی از اولین ریزپردازنده های نوین به شمار می رود، به کار گرفته شده است. این تکنولوژی یک تکنولوژی بسیار با چگالی بالا است اما متأسفانه هر گیتی که خروجی "۰" داشته باشد، در حالت ایستا (ورودی ها در همان مقداری که تا کنون بوده اند باقی بمانند و تغییر مقدار ندهند) توان dc مصرف می کند. این توان مصرفی، حد اکثر تعداد گیت های NMOS را که می توان در یک تراشه می توان مورد استفاده قرار داد، محدود می نماید. اگر یک روند پردازشی تا حدودی پیشرفته تر مورد نیاز باشد، این امکان وجود دارد که ترانزیستورهای کانال p را نیز بتوان مانند ترانزیستورهای کانال n مورد استفاده قرار داد. در ادامه خواهیم دید که با استفاده از ترانزیستورهای کانال p می توان گیت های منطقی ایجاد نمود که توان مصرفی dc در حالت ایستا نداشته باشند. در مثال های قبلی که ارائه شد، نسبت $\frac{W}{L}$ ترانزیستورها در کنار آنها نوشته می شد. برای مثال، مقدار L (طول کانال ترانزیستور) در این مثال ها برای ترانزیستور تحریک مساوی ۲ بود که در واقع مقدار $2\mu m$ را بیان می دارد. پارامتر L را کوچکترین ابعاد در یک تکنولوژی یا Technology Node و یا Minimum Feature Length می نامند و این عدد بیان می دارد که در این تکنولوژی به دلیل محدودیت های فیزیکی هیچ ترانزیستوری را نمی توان با ابعاد کوچکتر از این طول ساخت. البته مقدار $2\mu m$ که در مثال های ارائه شده مورد استفاده قرار گرفت، بسیار بزرگتر از مقدار طول در تکنولوژی های کنونی است. در تکنولوژی های امروزه می توان ترانزیستورهایی در ابعاد زیر میکرون و در حدود زیر ۴۰ نانومتر ساخت. هرچه طول کانال ممکن کوچکتر باشد، گیت ساخته شده سریع تر خواهد بود. البته لازم به ذکر است نباید اثرات اتصالات میانی^۱ که خروجی هر گیت را به دیگر بخش های یک تراشه متصل می سازند را در تأخیر، توان و نویز همشنوایی^۲ نادیده گرفت. البته بررسی اثرات اتصالات میانی بصورت یک مبحث کاملاً جداگانه باید مورد بررسی قرار گیرد و از حوزه این کتاب خارج است. اما لازم به یادآوری است که اتصالات میانی حتی تا میزان ۵۰ درصد توان و تأخیر و نویز همشنوایی را در یک تراشه به خود اختصاص می دهند. به منظور دستیابی به بیشترین سرعت ممکن در گیت های منطقی، ترانزیستورهای تحریک معمولاً با کوچکترین طول ممکن ساخته می شوند و بنابراین طول گیت، معمولاً در شماتیک مداری نشان داده نمی شود مگر آنکه طول ترانزیستورها با کوچکترین طول در تکنولوژی تفاوت داشته باشد. همانطور که اشاره شد، کوچکترین طول ممکن در یک تکنولوژی اغلب به منظور توصیف نام روند پردازش تکنولوژی مورد استفاده واقع می شود. برای مثال، یک تکنولوژی که کوچکترین طول ممکن در آن ۰٫۱۸ میکرون باشد را تکنولوژی ۰٫۱۸ میکرون می نامند.

۲٫۲ گیت های ساده منطق CMOS

یک ترانزیستور افزایشی کانال p بطور مکمل یک ترانزیستور افزایشی کانال n عمل می کند. این دلیل نامگذاری این خانواده منطقی می باشد چراکه CMOS^۳ به معنای منطق MOS بصورت مکمل می باشد. بطوری که ترانزیستور کانال n زمانی که ولتاژ گیت آن بالا باشد و ترانزیستور کانال p زمانی که ولتاژ گیت آن پایین باشد به عنوان یک کلید بسته عمل می کند و همچنین ترانزیستور کانال n زمانی که ولتاژ گیت آن پایین باشد و ترانزیستور کانال p زمانی که ولتاژ گیت آن بالا باشد به عنوان یک کلید

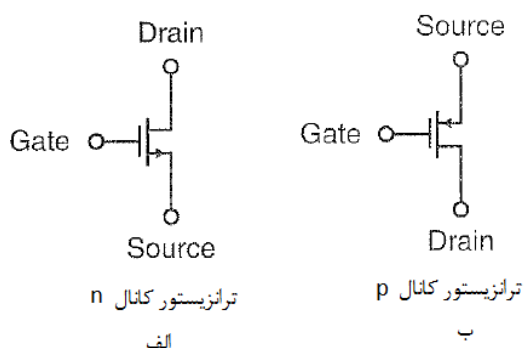
^۱ Interconnects

^۲ Cross Talk (XTalk)

^۳ Complementary MOS

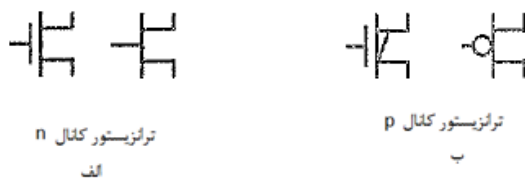
باز عمل می کند. مجدداً متذکر می شویم که این، ساده ترین مدل تقریبی است که می توان از عملکرد ترانزیستورها متصور شد. در فصول بعدی بیشتر به نحوه عملکرد این ترانزیستورها خواهیم پرداخت.

نماد و اشکال مختلفی به منظور نمایش ترانزیستورهای NMOS و PMOS افزایشی وجود دارد. در این کتاب از نمادهایی که در شکل (۲-۱۰) نشان داده شده است، استفاده خواهیم نمود. فلشی که از پایه سورس یک ترانزیستور بیرون آمده است، بیانگر یک ترانزیستور NMOS (بطور مشابه جهت فلشی که از پایه امیتر یک ترانزیستور دو قطبی npn بیرون می آید) می باشد و یک ترانزیستور PMOS توسط فلشی که جهت آن رو به داخل پایه سورس آن می باشد، نشان داده می شود. نیازی به ترسیم فلش بر روی پایه سورس یک ترانزیستور NMOS نمی باشد چراکه عموماً اگر احتمالاً یک ترانزیستور نوع تهی در مدار مورد استفاده قرار گیرد، شخص معمولاً فرض را بر این می گذارد که تمامی ترانزیستورها از نوع NMOS هستند. بطور کلی هیچ معلوم نیست که آیا همیشه ترانزیستور از نوع NMOS باشد. پایه درین در یک ترانزیستور NMOS پایه ای است که دارای بیشترین سطح پتانسیل الکتریکی موجود باشد و پایه دیگر، پایه سورس خواهد بود. هر کجا که ممکن بود، پایه درین یک ترانزیستور NMOS در یک نقشه شماتیکی به سمت بالا قرار خواهد گرفت که بیان گر جهت جاری شدن جریان از بالا به پایین و از درین به سورس این ترانزیستور می باشد. برای ترانزیستورهای PMOS پایه سورس پایه ای است که دارای بیشترین پتانسیل الکتریکی باشد و معمولاً در شماتیک، پایه سورس ترانزیستورهای PMOS را در سمت بالا قرار می دهند و جهت جریان همچنان از سمت بالا به پایین می باشد، یعنی جریان از به سورس وارد شده و از درین خارج خواهد شد.



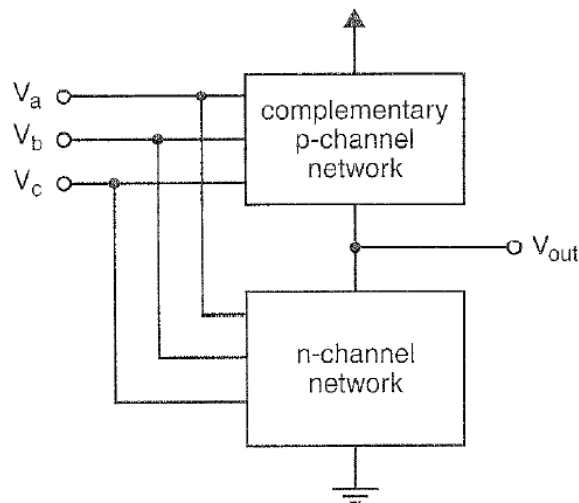
شکل ۲-۱۰. الف) ترانزیستور افزایشی نوع n، ب) ترانزیستور افزایشی نوع p.

برخی نماد های دیگر که برای نمایش ترانزیستورهای NMOS و PMOS به کار برده می شوند را می توان در شکل (۲-۱۱) مشاهده نمود. این نمادها تا حدودی ساده تر هستند و زمانی مورد استفاده قرار می گیرند که در مدار، تعداد بسیار زیادی ترانزیستور داشته باشیم. البته نماد های دیگری نیز در گذشته مورد استفاده قرار می گرفته است.



شکل ۱۱-۲. نماد های دیگر (الف) ترانزیستور افزایشی نوع n، (ب) ترانزیستور افزایشی نوع p.

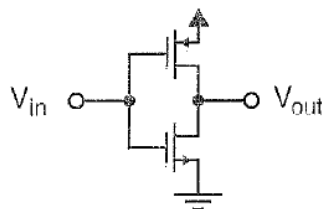
یک گیت منطقی CMOS سنتی^۱ متشکل از یک شبکه ترانزیستورهای NMOS و یک شبکه مکمل ترانزیستورهای PMOS می باشد. شبکه ترانزیستورهای NMOS بین گره خروجی و زمین و شبکه ترانزیستورهای PMOS بین گره خروجی و V_{DD} قرار می گیرند. ورودی ها به هر دو شبکه متصل خواهند شد. تعداد ترانزیستورهای در هر دو شبکه مساوی و برابر تعداد ورودی ها می باشد. به استثنای ورودی ها، تنها گره ای که بین دو شبکه مشترک است، گره خروجی می باشد. این مطالب در شکل (۲-۱۲) نشان داده شده است. هرچند ممکن است به نظر برسد که نکات زیادی را در این رابطه باید به خاطر سپرد، اما در عمل کار بسیار ساده ای است. طراحی شبکه ترانزیستورهای NMOS دقیقاً مشابه کاری است که در طراحی به شیوه منطق NMOS انجام می دادیم. تنها تفاوت در این است که در اینجا، اندازه ترانزیستورها، تأثیری در عملکرد صحیح منطق خروجی نخواهد داشت. سپس باید شبکه مکمل متشکل از ترانزیستورهای PMOS طراحی شود. آنچه به عنوان مکمل یاد می شود به معنی این است که مؤلفه های موازی در شبکه ترانزیستورهای NMOS تبدیل به مؤلفه های سری در شبکه ترانزیستورهای PMOS و مؤلفه های سری در شبکه ترانزیستورهای NMOS تبدیل به مؤلفه های موازی در شبکه ترانزیستورهای PMOS شوند. با اندکی تمرین، طراحی شبکه های مکمل بسیار ساده خواهد بود.



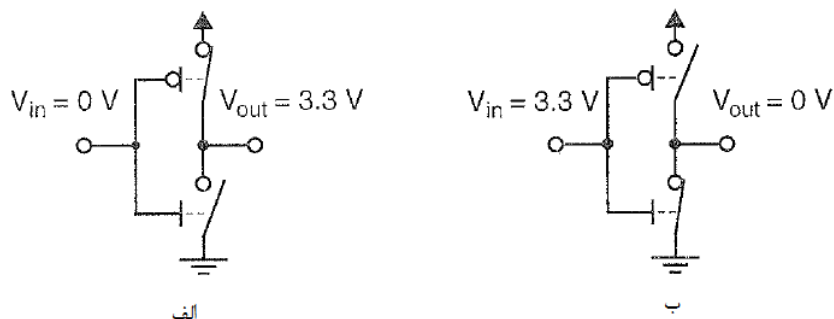
شکل ۱۲-۲. ساختار کلی گیت های منطقی سنتی CMOS.

با چند مثال این روند را بطور واضح توضیح خواهیم داد. ساده ترین مثال در شکل (۲-۱۳) نشان داده شده است که یک معکوس کننده CMOS می باشد.

^۱ ابتدا گیت های منطقی سنتی CMOS را بررسی می نماییم و در فصول آینده، گیت های دیگر از قبیل گیت های پویای CMOS.



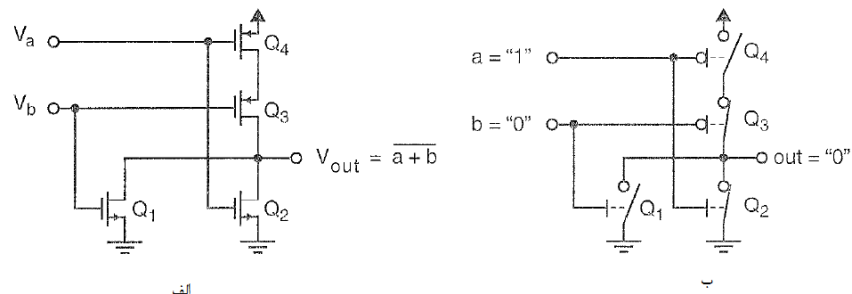
شکل ۲-۱۳. یک معکوس کننده CMOS.



شکل ۲-۱۴. مدار معادل معکوس کننده شکل (۲-۱۳) (الف) برای ورودی "۰" و (ب) برای ورودی "۱".

توجه داشته باشید که مکمل یک ترانزیستور NMOS ساده، یک ترانزیستور PMOS ساده خواهد بود. مدار معادل این مدار در سطح کلید و برای هر دو ورودی صفر و یک در شکل (۲-۱۴) نشان داده شده است. دقت کنید، زمانی که ترانزیستور NMOS روشن است، ترانزیستور PMOS خاموش است و بر عکس. زمانی که ورودی صفر است، خروجی توسط ترانزیستور PMOS تا سطح V_{DD} بالا می رود و زمانی که ورودی یک است، خروجی توسط ترانزیستور NMOS زمین می شود. در تحلیل هایی که در فرکانس های پایین از ترانزیستورهای MOS انجام می دهیم، ترانزیستورهایی که قطع هستند قابل صرف نظر می باشند، به گونه ای که گویی هرگز در مدار نیستند. هرچند در فرکانسهای بالا و یا تحلیل های گذرا، خازن های پارازیتیک آنها باید در محاسبات اعمال گردد. توجه داشته باشید که در هر حالت ممکن برای ورودی، هیچ مسیر dc بین V_{DD} تا زمین وجود ندارد و تا زمانی که بار، کاملاً خازنی باشد (که در مدارهای MOS تقریباً همیشه این گونه است) هیچ توان dc مصرف نخواهد شد. برای گیت های منطقی سنتی CMOS، بدون در نظر داشتن نوع گیت، به استثنای زمانهای گذرا، هیچ مسیری بین V_{DD} تا زمین وجود ندارد. منظور از زمان های گذرا، زمانهایی است که یک یا چند ورودی در حال تغییر مقدار باشند و بنابراین برخی ترانزیستورها در هر دو شبکه، برای لحظاتی هر چند کوتاه روشن باشند و بنابراین مسیری بین V_{DD} تا زمین بوجود آید.

مثالی کمی پیچیده تر در شکل (۲-۱۵ الف) نشان داده شده است که یک گیت nor با پیاده سازی CMOS است. توجه داشته باشید که توپولوژی شبکه ترانزیستورهای NMOS در این مدار (یعنی بدون در نظر گرفتن ترانزیستورهای بار)، دقیقاً معادل است با پیاده سازی این مدار در منطق NMOS که قبلاً دیده شد. همچنین، مکمل دو ترانزیستور NMOS موازی شده، برابر است با دو ترانزیستور PMOS سری شده.



شکل ۲-۱۵. الف) یک گیت nor با پیاده سازی CMOS، ب) مدار معادل در سطح کلید به ازاء $ab = "10"$.

اگر هر کدام از ورودی ها بالا باشد، حد اقل یکی از ترانزیستورهای NMOS، خروجی را زمین خواهد کرد. همچنین حد اقل یکی از ترانزیستورهای PMOS خاموش خواهد بود و بنابراین امپدانس بین خروجی تا V_{DD} بی نهایت خواهد بود. در حالتی که $a=1$ و $b=0$ باشد، مدار معادل در شکل (۲-۱۵) نشان داده شده است. در این حالت، Q_1 قطع، Q_2 روشن، Q_3 روشن و Q_4 قطع می باشد. چون Q_2 روشن است، خروجی زمین خواهد شد. چون Q_4 قطع است، مسیر امپدانس بالایی بین خروجی و V_{DD} وجود دارد که موجب می شود هیچگونه اتلاف توان dc نداشته باشیم.

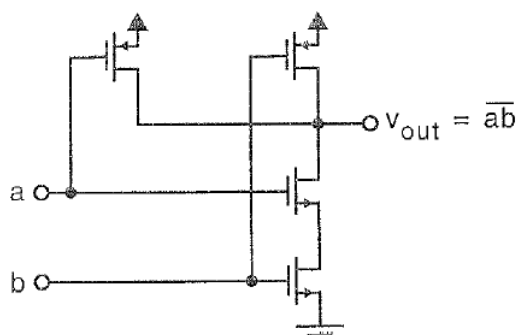
در رابطه با گیت های سنتی CMOS می توان بدین گونه در نظر گرفت که یک گیت NMOS است که دارای بار پویا می باشد، بطوری که هر زمان که شبکه ترانزیستورهای NMOS مسیری با امپدانس کم به زمین داشته باشد، امپدانس شبکه بار بالاست و هر زمان شبکه ترانزیستورهای NMOS امپدانس بالا باشد، امپدانس شبکه بار کوچک بوده و خروجی را به سطح V_{DD} می رساند. از آنجا که خروجی هرگز همزمان به سطح V_{DD} یا زمین مسیری ندارد، بر خلاف گیت های NMOS، بدون در نظر گرفتن نسبت عرض به طول ($\frac{W}{L}$) ترانزیستورها، گیت به درسی عملکرد خود را حفظ می کند. از این رو، گیت های سنتی CMOS گیت های بدون نسبت^۱ و گیت های NMOS گیت های نسبی^۲ خوانده می شوند. تعیین اندازه ترانزیستورها برای گیت های CMOS در فصل ۴ بطور کامل مورد بررسی قرار خواهد گرفت اما فعلاً گزینه مناسب این است که تمام $\frac{W}{L}$ ها را یکسان در نظر بگیریم. یک بار دیگر تأکید می شود که هیچ گونه مسیری بین V_{DD} و زمین وجود نداشته و بنابراین گیت های CMOS سنتی، هیچ گونه توان dc مصرف نمی کنند.

یک گیت nand با پیاده سازی CMOS در شکل (۲-۱۶) نشان داده شده است. برای این شبکه، هرگاه یکی از ورودی ها "۰" باشد، یکی از ترانزیستورهای NMOS خاموش خواهد بود و کل شبکه NMOS امپدانس بی نهایت خواهد داشت، یکی از ترانزیستورهای PMOS روشن بوده و خروجی را به V_{DD} یا همان "۱" می رساند. برعکس، هرگاه تمام ورودی ها بالا باشند، ترانزیستورهای شبکه NMOS روشن بوده و ترانزیستورهای PMOS خاموش خواهند بود و خروجی پایین خواهد رفت. بنابراین هر صفری در ورودی، خروجی یک را تضمین خواهد کرد و اگر تمام ورودی ها یک باشند، خروجی صفر خواهد بود که این رفتار یک گیت nand می باشد. توجه داشته باشید که این گیت، شبیه به یک گیت nor با پیاده سازی CMOS می باشد که سر و ته شده باشد و این دو

^۱ Ratio less

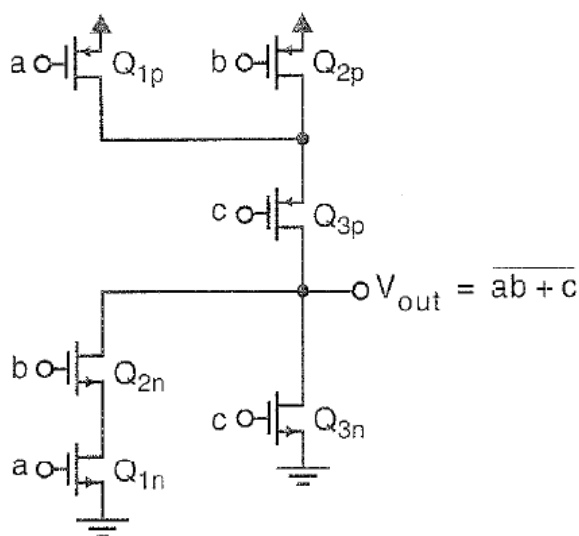
^۲ Ratioed

گیت، بصورت گیت های مکمل شناخته می شوند. گیت های مکمل، بدین گونه تعریف می شوند که هر گاه ورودی ها و خروجی گیتی معکوس شود، دارای عملکردی بصورت مکمل گیت دیگر باشد. در این صورت، این دو گیت مکمل یکدیگر خواهند بود.



شکل ۲-۱۶. یک گیت nand با پیاده سازی CMOS.

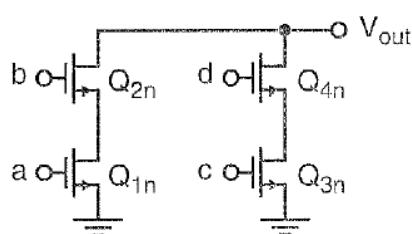
آخرین مثال از گیت های CMOS در شکل (۲-۱۷) نشان داده شده است. این مدار نسخه پیاده سازی شده با منطق CMOS از همان گیت and-or با پیاده سازی منطق NMOS ای است که در شکل (۲-۷) نشان داده شد. یک بار دیگر به این نکته توجه داشته باشید که در پیاده سازی توابع منطقی در منطق NMSO و در منطق CMOS، شبکه های ترانزیستور NMOS دارای توپولوژی یا سیم بندی کاملاً یکسانی هستند. البته به منظور بالا بردن قابلیت خوانایی نقشه های شماتیکی، تغییرات اندکی را اعمال نموده ایم. برای مثال، مکمل ترانزیستور Q_{1n} ، ترانزیستور Q_{1p} است. این گیت ها در واقع به یکدیگر متصلند اما به منظور بالا بردن قابلیت خوانایی در شماتیک، هر دو به گونه ای نشان داده شده اند که به ورودی a متصل هستند. خواننده محترم باید به دقت به خاصیت دوگان بودن شبکه های ترانزیستورهای NMOS و PMOS توجه نماید. شبکه های ترانزیستورهای NMOS شامل دو زیر شبکه موازی (Q_{1n} و Q_{2n} یک شبکه و Q_{3n} یک شبکه دیگر می باشد)، در حالی که شبکه ترانزیستورهای PMOS متشکل از دو شبکه سری شده (Q_{1p} موازی با Q_{2p} در یک شبکه و Q_{3p} شبکه دیگری می باشد) می باشد.



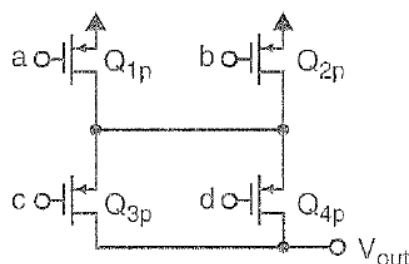
شکل ۲-۱۷. مثالی از یک گیت منطقی ترکیبی CMOS.

مثال: یک گیت سنتی CMOS طراحی کنید که تابع $f = \overline{ab + cd}$ را پیاده سازی نماید.

پاسخ: این مثال، یکی از مثالهای قبلی است که قبلاً در منطق NMOS پیاده سازی شد. بنابراین شبکه ترانزیستورهای NMOS در پیاده سازی CMOS دقیقاً معادل است با شبکه ترانزیستورهای NMOS در منطق NMOS به استثنای این که در این مثال، تمامی ترانزیستورها، دارای نسبت $\frac{W}{L}$ های یکسان (برای مثال نسبت $\frac{4\mu m}{0.5\mu m}$) می باشند. این شبکه در شکل (۲-۱۸ الف) نشان داده شده است و ترانزیستورها در این شکل نامگذاری شده اند. آنچه باقی می ماند، طراحی شبکه PMOS مکمل می باشد. در شبکه NMOS، یک اتصال موازی دو زیرشبکه وجود دارد که یکی از زیرشبکه ها شامل ترانزیستورهای Q_{1n} و Q_{2n} و زیر شبکه دیگر شامل ترانزیستورهای Q_{3n} و Q_{4n} می باشد. این شبکه تبدیل به اتصال سری دو زیر شبکه در شبکه PMOS می شود که هر کدام دارای دو ترانزیستور PMOS می باشد. زیرشبکه های متشکل از اتصال سری Q_{1n} و Q_{2n} تبدیل به زیرشبکه متشکل از ترانزیستورهای موازی Q_{1p} و Q_{2p} می شود. همچنین، زیرشبکه NMOS متشکل از ترانزیستورهای Q_{3n} و Q_{4n} تبدیل به زیرشبکه های موازی Q_{3p} و Q_{4p} می شود.



الف

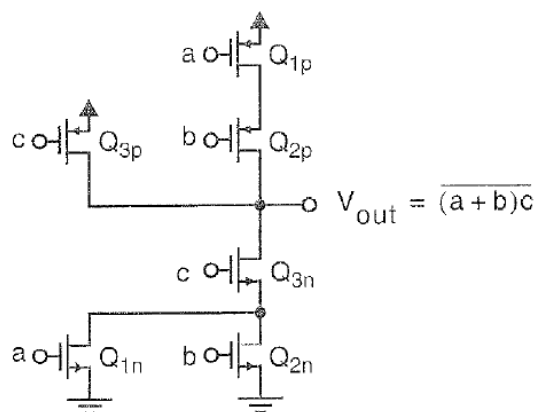


ب

شکل ۲-۱۸. (الف) شبکه NMOS، (ب) شبکه PMOS مکمل که در صورت اتصال این دو شبکه تابع $f = \overline{ab + cd}$ پیاده سازی می شود.

مثال: یک گیت سنتی CMOS طراحی کنید که تابع $f = \overline{(a + b)c}$ را پیاده سازی کند.

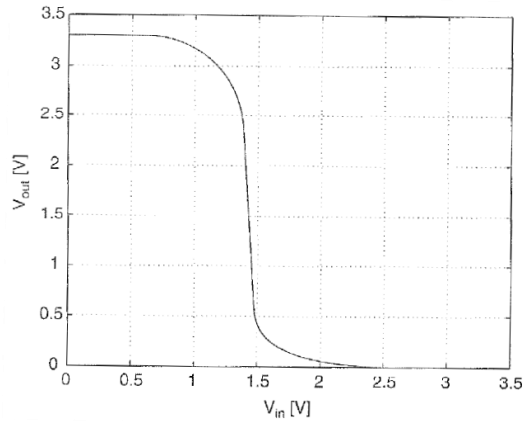
پاسخ: این مثال نیز یکی دیگر از مثالهای قبلی است که قبلاً در منطق NMOS پیاده سازی شد. بنابراین شبکه ترانزیستورهای NMOS در پیاده سازی CMOS دقیقاً معادل است با شبکه ترانزیستورهای NMOS در منطق NMOS به استثنای این که در این مثال، تمامی ترانزیستورها، دارای نسبت $\frac{W}{L}$ های یکسان (برای مثال نسبت $\frac{4\mu m}{0.5\mu m}$) می باشند. شبکه PMOS به گونه ای ساخته می شود که زیرشبکه های NMOS موازی تبدیل به زیرشبکه های PMOS سری خواهند شد و برعکس. گیت بدست آمده از این تبدیل ها در شکل ۲-۱۹ نشان داده شده است.



توضیحات ارائه شده از گیت های NMOS و CMOS در این فصل به منظور طراحی بسیاری از مدارهای منطقی با سرعت متوسط و به پایین، کافی می باشد.

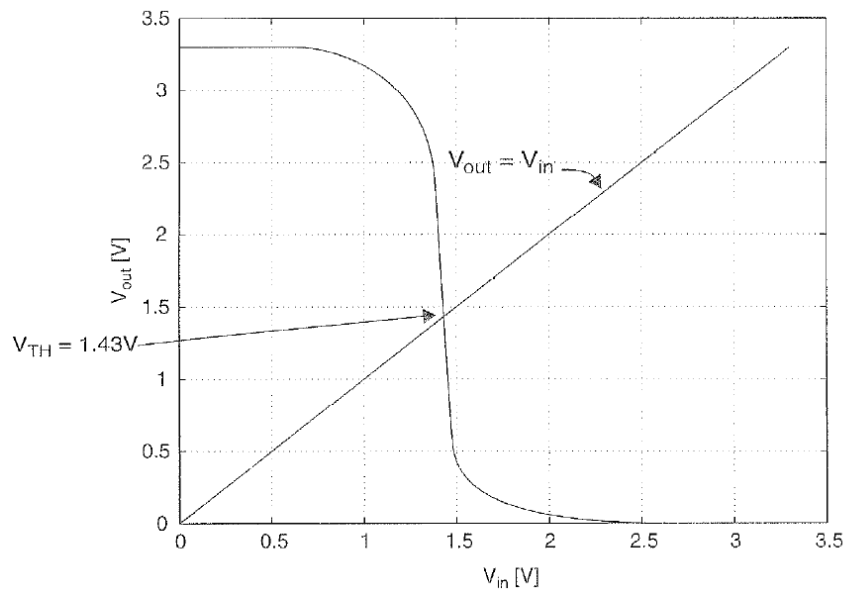
یکی از روش های دسته بندی خانواده های منطقی، ترسیم رابطه ورودی- خروجی در فرکانس پایین با استفاده از منحنی های انتقالی است. یک منحنی انتقالی عبارت است از ترسیم ولتاژ خروجی یک معکوس کننده به عنوان تابعی از ولتاژ ورودی است. مدار یک معکوس کننده CMOS را در شکل (۲-۲۰) در نظر بگیرید. همانطور که مشاهده می شود، این مدار ۴ گره دارد و همواره در شماتیک های خود، خروجی هر گیت دیجیتالی را به یک خازن بار به نام C_L که نماینده طبقه بعدی مدار می باشد متصل می کنیم. مثالی از یک منحنی انتقالی برای یک معکوس کننده CMOS شکل (۲-۲۰) در شکل (۲-۲۱) نشان داده شده است. این منحنی، را می توان با روش تحلیل، گیت و یا با استفاده از شبیه سازی با نرم افزاری مثل اسپایس تولید نمود.

شکل ۲-۲۰. یک گیت معکوس کننده CMOS.



شکل ۲-۲۱. منحنی انتقالی برای یک معکوس کننده CMOS.

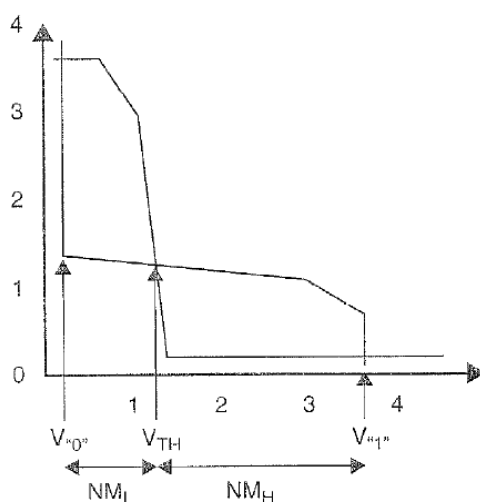
منحنی انتقالی در تعیین اینکه آیا اندازه ترانزیستورها و سایر پارامترها و طراحی مدار به منظور داشتن عملکرد مناسب به عنوان یگ گیت دیجیتالی، مناسب است یا خیر به ما کمک می کند. پارامترهای زیادی وجود دارند که می توان فوراً از منحنی انتقالی استخراج نمود. شاید مفیدترین آنها، ولتاژ آستانه گیت (V_{TH})، حاشیه های نویز، و بهره سیگنال کوچک گیت در ولتاژ آستانه می باشد. ولتاژ آستانه نقطه ای است که ولتاژ ورودی با ولتاژ خروجی یکسان باشد و می توان این ولتاژ را با قطع دادن نمودار منحنی انتقالی با نمودار تابع $V_{out} = V_{in}$ بدست آورد. این مطلب در مورد گیت معکوس کننده شکل (۲-۲۰) در شکل (۲-۲۲) نشان داده شده است و با اندکی دقت در می یابیم که ولتاژ آستانه آن تقریباً $1.43V$ است. اما یافتن ولتاژ آستانه را روی این نمودار می توان با دستور "print" بسیار دقیق تر انجام داد. ولتاژ ورودی که بطور قابل ملاحظه ای کوچکتر از V_{TH} باشد توسط گیت "۰" و اگر ولتاژ ورودی بطور قابل ملاحظه ای بزرگتر از V_{TH} باشد توسط گیت "۱" در نظر گرفته می شود.



شکل ۲-۲۲. تقاطع منحنی انتقالی گیت با خط $V_{out} = V_{in}$ که ولتاژ آستانه گیت را بدست می دهد.

دیگر مشخصه مهم یک گیت دیجیتالی، مقدار مطلق بهره سیگنال کوچک در ولتاژ آستانه است. کوچکترین مقدار مجاز، مقداری بزرگتر از واحد است. در غیر این صورت، به عنوان یک سیگنال دیجیتالی که از گیت های بیشتر و بیشتر عبور کند، سطح ولتاژش بیشتر و بیشتر به V_{TH} نزدیک شده و نهایتاً سیگنال در نویز از بین خواهد رفت. کمترین مقدار مطلق مجازی که در عمل برای بهره یگ گیت دیجیتالی و به منظور دست یابی به مقدار قابل قبول بازیابی سیگنال از گیت به گیت بدست می آید در حدود $\sqrt{2}$ است. محدوده بهره برای مدارهای با فرکانس بالا از حدود ۲ تا ۵۰ است. بهره معکوس کننده شکل (۲-۲۰) در ولتاژ آستانه مساوی ۲۰،۱ است.

دیگر پارامترهای مهمی که می توان از منحنی انتقالی بدست آورد، ولتاژهای V_{01} و V_{00} خروجی است که به ترتیب به عنوان "۰" و "۱" خروجی هستند. این سطوح ولتاژ به گونه ای به عنوان ولتاژهای خروجی گیت تعریف می شوند که توسط یک گیت مشابه با خودش تحریک شده باشد. می توان این ولتاژها را با تقاطع نمودار V_{out} بر حسب V_{in} با نمودار V_{in} بر حسب V_{out} بدست آورد. برای مثال، شکل (۲-۲۳) را مشاهده کنید. منحنی های انتقالی نشان داده شده مربوط به یک معکوس کننده دوقطبی TTL است. این نوع معکوس کننده ها در مدارهای غیر مجتمع و بصورت قطعات مجزا در مدارهای چاپی بسیار محبوب بودند، هرچند می توان گفت که در بسیاری از موارد، جای خود را به گیت های CMOS داده اند. همانطور که در این شکل مشاهده می شود، V_{00} تقریباً مساوی ۰،۴۷ و V_{01} تقریباً مساوی ۳،۶۷ می باشد. همچنین، ولتاژ آستانه گیت نیز از نقطه تقاطع میانی در شکل بدست می آید و برای معکوس کننده TTL تقریباً برابر است با ۱،۲۵۷. برای اکثر منحنی های انتقالی، نیازی به ترسیم نمودار V_{in} بر حسب V_{out} نمی باشد چراکه V_{00} و V_{01} را می توان با مشاهده تقریبی منحنی انتقالی بدست آورد. برای مثال، از منحنی انتقالی شکل (۲-۲۱) به سادگی می توان مشاهده کرد که ولتاژهای بالا و پایین یک معکوس کننده CMOS به ترتیب برابر است با ۳،۳ و ۰،۷. تفاضل ولتاژهای بالا و پایین نسبت به ولتاژ آستانه خانواده منطقی را به ترتیب به عنوان حاشیه نویز^۱ بالا (NM_H) و حاشیه نویز پایین (NM_L) تعریف می کنیم.



شکل ۲-۲۳. رسم دو نمودار V_{out} بر حسب V_{in} و نمودار V_{in} بر حسب V_{out} به منظور محاسبه حاشیه های نویز.

^۱ Noise Margin

برای معکوس کننده شکل (۲-۲۰) می توان این مقادیر را از شکل (۲-۲۲) بدست آورد که به ترتیب برابرند با ۱,۹۷ و ۱,۴۷. همچنین مقادیر حاشیه نویز برای گیت TTL از منحنی انتقالی شکل (۲-۲۳) بدست می دهد $NM_L = 0,85$ و $NM_H = 2,35$ و طبعاً هرچه حاشیه های نویز بزرگتر باشند، خروجی های ناصحیح گیت که بر اثر نویزی که بطور ناخواسته روی سیگنال های ورودی و یا خطوط تغذیه V_{DD} و زمین تأثیر می گذارد کمتر خواهد بود. بنابراین حاشیه های نویز معیاری برای میزان غیرحساس بودن به نویز گیت می باشد. حاشیه های نویز گیت های CMOS سنتی با منبع تغذیه ۳,۳۷ تقریباً همیشه بزرگتر از ۱۷ می باشد. برخی گیت های دوقطبی پرسرعت از قبیل گیت های منطق مد جریان^۱ (CML) می تواند حاشیه های نویزی به کوچکی ۰,۲۷ داشته باشند و با اطمینان و بدون خطا عملکرد صحیحی ارائه نمایند، البته با فرض اینکه بسیار دقیق طراحی و ساخته شده باشند.

باید تأکید کنیم که ولتاژ حاشیه های نویز، فقط معیاری برای نشان داده میزان غیر حساس بودن به نویز در یک خانواده منطقی می باشد. در برخی مدارهای پر سرعت، از قبیل مدارهای منطق مد جریان دو قطبی که اشاره شد، گیت ها به گونه ای طراحی شده اند که تغییرات ولتاژ کوچک اما تغییرات جریان بزرگی داشته باشند. برای این مدارها، معیار بهتر، حاشیه های نویز توان می باشد که سطوح امپدانس گره های مدار را در محاسبات خود اعمال می کند. همچنین حاشیه های نویز ولتاژ، بسیاری جزئیات مهم دیگری را از قبیل اینکه آیا مدارها از سیگنال های تفاضلی (که میزان حساسیت به نویز را بسیار کاهش می دهد) استفاده می کنند یا خیر، طول خطوط V_{DD} و زمین، امپدانس خطوط، تعداد گیت هایی که به این خطوط متصل هستند و همچنین اینکه چه میزان نویز بر اثر مدارهای خارجی دیگر از قبیل بافرهای خروجی بر روی خطوط V_{DD} و زمین وجود دارد، نادیده می گیرد. بنابراین هنگام مقایسه خانواده های منطقی، نباید فقط حاشیه های نویز را به تنهایی مد نظر قرار داد و فاکتورهای بسیار دیگری را نادیده گرفت.

البته تعاریف مشهور دیگری نیز متفاوت با آنچه که در اینجا برای محاسبه حاشیه های نویز ارائه شد وجود دارد. شاید مشهورترین آنها، تفاضل ولتاژهای خروجی بالا و پایین با نقاطی باشد که در آن نقاط بهره مساوی ۱- باشد. البته این یک تعریف مناسب است اما باید این نکته را در نظر گرفت که تحلیل بسیاری از گیت ها به منظور انجام محاسبات حاشیه نویز بدین روش مشکل خواهد بود. به دلیل مذکور و همچنین به دلیل اینکه حاشیه های نویز دقیق کمتر در انتخاب خانواده های منطقی در طراحی مورد استفاده قرار می گیرند، در این کتاب از همان روش ساده ای که بیان نمودیم و در فصل ۴ بیشتر به آن خواهیم پرداخت استفاده خواهد شد.

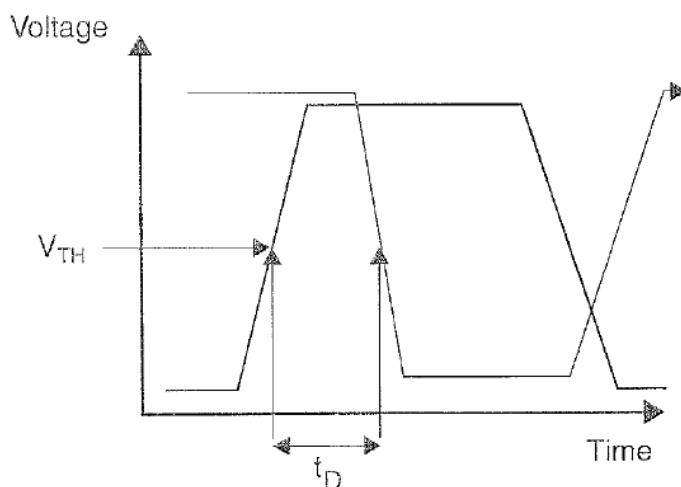
۲,۴ تأخیر گیت ها و زمان صعود و نزول^۲

در بخش قبل مشاهده کردیم که چگونه معیارهایی از قبیل ولتاژ آستانه گیت و حاشیه های نویز را می توان به منظور دسته بندی کارایی خانواده های منطقی به کار برد. بطور مشابه زمان تأخیر و صعود و نزول یک گیت معکوس کننده نیز بدین منظور می توان مورد استفاده قرار داد. زمان تأخیر معکوس کننده که با t_D نشان داده می شود، مدت زمانی است که طول می کشد سیگنال ورودی از ولتاژ آستانه گیت عبور کند، تا زمانی که سیگنال خروجی از ولتاژ آستانه گیت عبور کند. این مطلب در شکل (۲-۲۴)

^۱ Current Mode Logic

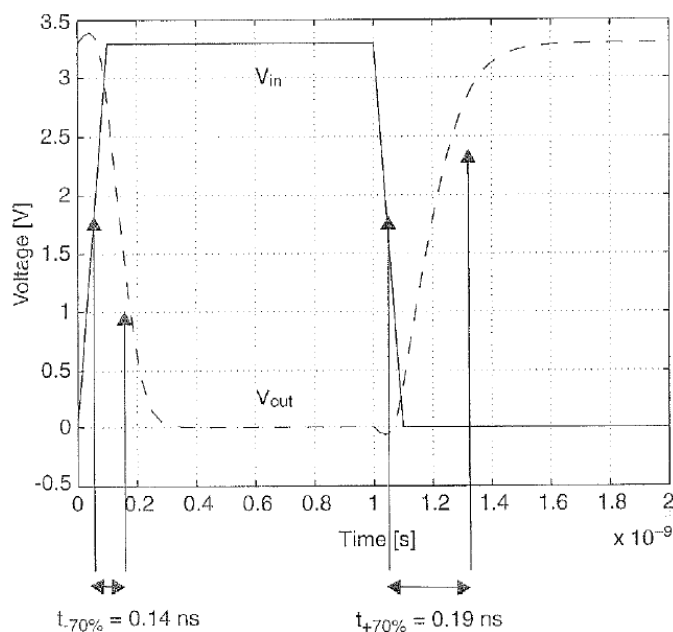
^۲ Rise and Fall times

نشان داده شده است. این تأخیر در برگیرنده تأخیرهای ناشی از زمان های صعود و نزول و همچنین تأخیرهای ناشی از گره های داخلی گیت باشد که ممکن است تأخیر غالب باشد. البته تأخیر اخیر مخصوصاً مربوط به گیت های منطقی چند مرحله ای نظیر گیت های TTL دوقطبی است و در معکوس کننده های CMOS چندان مطرح نیست چراکه گره های میانی ندارند. برای گیت های CMOS زمان های صعود و نزول، معیار بهتری است.



شکل ۲-۲۴. زمان تأخیر گیت، t_D مدت زمانی است ورودی از V_{TH} عبور کند تا زمانی که خروجی از V_{TH} عبور کند.

زمان صعود (یا نزول) ابتدا بدین صورت تعریف شد که زمانی است که طول می کشد ولتاژ خروجی گیت منطقی از ۱۰٪ تا ۹۰٪ مقدار نهایی خود برسد. این تعریف برخی مشکلات را با گیت هایی که در ابتدا بسیار سریع تغییر می کنند اما به تدریج در انتها برای رسیدن به مقدار نهایی خود کند می شوند دارد. برای اینگونه گیت ها، ممکن است ولتاژ خروجی گیت به ۹۰٪ مقدار نهایی خود نرسیده باشد اما خروجی های مراحل بعدی، تغییرات خود را انجام داده باشند. معیار بهتر، زمانی است که ورودی گیت از ولتاژ آستانه خود عبور می کند تا زمانی که ولتاژ خروجی به ۷۰٪ مقدار نهایی خود می رسد. برای معکوس کننده CMOS که ولتاژهای خروجی ۰.۷ و ۳.۳۷ دارد، بدان معناست که زمان صعود $t_{+70\%}$ زمانی است که طول می کشد ولتاژ ورودی از ولتاژ آستانه گیت عبور می کند تا زمانی که ولتاژ خروجی از ۰.۷ تا ۳.۳۷ تغییر می کند. همچنین زمان نزول $t_{-70\%}$ زمانی است که طول می کشد ورودی از ولتاژ آستانه گیت عبور می کند تا زمانی که خروجی از ۳.۳۷ به ۰.۷ می رسد. این مطالب در شکل (۲-۲۵) نشان داده شده است که نمودار پاسخ گذرای معکوس کننده شکل (۲-۲۰) است حاصل از شبیه سازی با اسپایس می باشد. می توان مشاهده کرد که زمان صعود ۰.۱۹ns و زمان نزول ۰.۱۴ns می باشد.



شکل ۲-۲۵. زمان های صعود و نزول یک معکوس کننده CMOS.

۲.۵ پاسخ گذرا

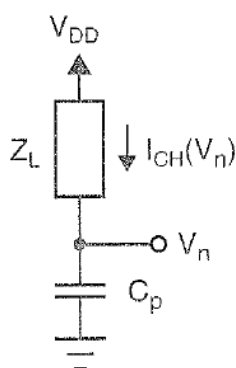
مهمترین نگرانی در زمان طراحی یک مدار مجتمع دیجیتال این است که در نهایت، عملکرد صحیحی داشته باشد. در درجه بعد، نگرانی هایی در رابطه با رسیدن به بیشترین سرعت کمترین توان و مساحت وجود دارد. فاکتورهای زیادی در تعیین بیشترین نرخ سرعت یک مدار دیجیتالی وجود دارد. یک محدودیت، تعداد مراحل تأخیری است که یک سیگنال باید در طول مسیر آنها منتشر شود که این مسئله را می توان با طراحی مناسب منطقی و سیستم و با استفاده از تکنیک هایی از قبیل خط لوله، طراحی موازی مداری و جمع کننده های نگهدارنده بیت نقلی^۱ به کمترین میزان ممکن کاهش داد. این تکنیک ها در کتاب های معماری کامپیوتر و مدارهای محاسباتی مختلف مورد بررسی قرار گرفته اند. راه دیگری که سرعتی مدارهای مجتمع دیجیتالی را می توان بهبود داد، کاهش تأخیر گیت ها در مسیرهای بحرانی است که در این رابطه در فصول آینده صحبت خواهد شد.

تعیین دقیق پاسخ گذرای یک گیت منطقی دیجیتالی محاسبات بسیار پیچیده ای دارد چرا که مباحث غیر خطی بودن و چند جمله ای های با درجات بالا در این محاسبات وجود دارد. همچنین، بسیاری فاکتورهای مهم از قبیل ظرفیت های خازنی پارازیتی در زمان طراحی بطور دقیق مشخص نیستند. از این رو مدارهای مجتمع دیجیتالی باید به گونه ای طراحی شوند که فقط از نظر صحت عملکرد، اطمینان حاصل شود و طراحی باید مستقل از میزان تأخیر گیت ها در زمان طراحی باشد. هر چند، به منظور طراحی یک مدار دیجیتالی مناسب و سریع، لازم است که گره های مهمی که بتوان میزان تأخیر آنها را بصورت دقیق تری تخمین زد، شناسایی شود و مهمترین فاکتورهای محدود کننده سرعت را بتوان تعیین و کمینه نمود. بدین منظور طراح باید تخمین هایی

^۱ Carry-Save adders

را اعمال کند. در تعیین میزان تخمین، دانش مناسبی از عملکرد ترانزیستورها و مدل سازی آنها، روند طراحی IC^۱ ها و برخی مفاهیم طراحی آنالوگ بسیار مفید خواهد بود.

تخمینی که همواره در تحلیل دستی مورد استفاده قرار می گیرد این است که تمامی خازن ها، فقط بین گره های مدار و زمین هستند و هرگاه برای تحلیل، از کامپیوتر استفاده نمی شود، در تخمین تأخیر مدار مجتمع، خازن های تزویج^۲ نادیده گرفته خواهد شد. تخمین دیگری که اغلب مورد استفاده قرار می گیرد این است که المان های مداری که باعث شارژ و دشارژ این خازن های پارازیتیک می شوند، خود بصورت یک منبع جریان و یا یک مقاومت هستند. این مسئله باعث کاهش مشکلات تحلیل و محدود شدن تحلیل به حل معادلات دیفرانسیل مرتبه اول در هر گره خواهد شد. شکل (۲-۲۶) مدار معادل شارژ شدن گره V_n را نشان می دهد که قبلاً تخلیه شده بوده است و دارای خازن پارازیتیک به نام C_p بین گره V_n و زمین است. همچنین از طریق امپدانس Z_L به ولتاژ V_{DD} متصل است. در تخمین هایی که گفته شد، فرض بر آن است که امپدانس dc بین گره خروجی و زمین بی نهایت است. امپدانس بین گره خروجی و V_{DD} و برابر است با Z_L فرض شده است که عددی متناهی است و دارای مشخصه I-V می باشد که بصورت $I_{CH}(V_n)$ نشان داده می شود.



شکل ۲-۲۶. مدل ساده شده برای شارژ شدن ولتاژ یک گره که خازن پارازیتیک C_p را دارد.

یادآور می شویم که رابطه I-V یک خازن با رابطه (۲-۵) تعیین شده و سپس زمانی که طول می کشد تا V_n در لحظه t_1 از V_{n1} به مقدار V_{n2} در لحظه t_2 برسد از رابطه (۲-۶) تعیین می شود.

$$I = C \frac{dV_c}{dt} \quad (1.5)$$

^۱ Integrated Circuit

^۲ Coupling

$$t_2 - t_1 = \int_{V_{n1}}^{V_{n2}} \frac{C_p dV_n}{I_{ch}(V_n)} \quad (1.6)$$

هرگاه Z_L را یک منبع جریان ثابت فرض کنیم، I_{CH} مستقل از V_n است و رابطه (۲-۶) بصورت رابطه (۲-۷) ساده می شود.

$$t_2 - t_1 = \frac{C_p(V_{n-2} - V_{n-1})}{I_{ch}} \quad (1.7)$$

رابطه (۲-۷) را می توان بصورت رابطه (۲-۸) بازنویسی کرد.

$$\Delta t = \frac{C_p \Delta V_n}{I_{ch}} \quad (1.8)$$

بطوری که ΔV_n تغییرات ولتاژ گره است که در مدت زمان Δt صورت پذیرفته است.

مثال: برای معکوس کننده شکل (۲-۳) فرض کنید که ورودی اولیه "۱" بوده و سپس به "۰" تغییر وضعیت می دهد. بنابراین خروجی از حدود ۰ ولت تا ۳٫۳ ولت تغییر خواهد نمود. فرض کنید که در خلال این گذر، متوسط جریان شارژ یک خازن بار ۵۰fF برابر است با ۰٫۴mA. مطلوب است محاسبه مدت زمان لازم برای اینکه خروجی به ۷۰٪ ولتاژ نهایی خود برسد.

پاسخ: با فرض اینکه خروجی در ابتدا مقدار "۰" داشته است، باید زمان لازم را که طول می کشد خروجی از صفر ولت تا ۲٫۳۱ ولت می رسد را بیابیم. با استفاده از رابطه (۲-۸) داریم:

$$t_{+70\%} = \frac{5 \times 10^{-14} \times 2.31}{4 \times 10^{-4}} = 0.29 \text{ ns} \quad (1.9)$$

رابطه (۲-۸) در مدارهای مجتمع دیجیتال از نظر پاسخ گذرا مهمترین رابطه می باشد. سه مورد از مفاهیم طلایی در کاهش تأخیر مدارهای مجتمع دیجیتال را می توان از رابطه (۲-۸) بصورت زیر خلاصه نمود:

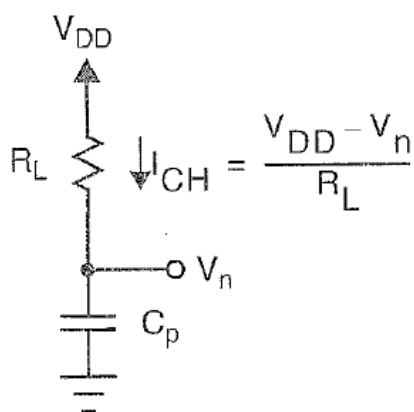
۱- خازن گره های مهم مدار باید کاهش یابند. این کار با کاهش خازن اتصالات میانی و خازن های پارازیتیک گره های مهم صورت می پذیرد.

۲- کاهش تغییرات ولتاژ در تمامی گره های مدار، به ویژه گره هایی که بطور ذاتی دارای خازن های بزرگی هستند، از قبیل باس ها. این کار اغلب با تکنیک های پیشرفته طراحی مدار از جمله آمپلی فایرهای حساس^۱ و گیت- مشترک و یا آمپلی فایرهای متوالی^۲ صورت می پذیرد و در فصول آینده به آنها خواهیم پرداخت. این مفهوم یکی از دلایل اصلی است که منطق دوقطبی مد جریان (که در فصل ۸ مورد بررسی قرار خواهد گرفت) که دارای تغییرات ولتاژی در حدود ۰,۴ ولت می باشد، سریع تر از طراحی به روش منطق CMOS سنتی است.

۳- افزایش جریان به منظور شارژ و دشارژ گره ها، در خلال تغییرات گذرای ولتاژ. مثال هایی از تکنیک های طراحی مدار در این زمینه را در ادامه مشاهده خواهید نمود. این مفهوم، به ویژه در خروجی IC ها، هنگامی که خازن های بار بزرگ باید تحریک شوند بسیار مهم است.

گرچه این مفاهیم به نظر واضح می رسند، اما در بسیاری از مواقع در IC های تجاری موجود در بازار به سادگی نادیده گرفته شده اند.

تخمین دیگری که عموماً مورد استفاده قرار می گیرد، مقدار Z_L در شکل (۲-۲۶) است که بجای اینکه با یک منبع جریان ثابت تخمین زده شود، با یک مقاومت R_L تخمین زده می شود که در شکل (۲-۲۷) نشان داده شده است.



شکل ۲-۲۷. یک مدل ساده شده بطوری که امپدانس بار، با یک مقاومت تخمین زده شده است.

اگر المانی که در حال شارژ کردن گره است، با مقاومت R_L تخمین زده شده باشد، مقدار I_{CH} از رابطه (۲-۱۰) بدست می آید و از رابطه (۲-۶) رابطه (۲-۱۱) را خواهیم داشت.

$$I_{ch} = \frac{(V_{DD} - V_n)}{R_L} \quad (1.10)$$

^۱ Sense Amplifiers

^۲ Cascode Amplifiers

$$t_2 - t_1 = \int_{V_{n-1}}^{V_{n-2}} \frac{C_p R_L dV_n}{V_{DD} - V_n} \quad (1.11)$$

با ارزیابی مقدار انتگرال بدست می آوریم:

$$\Delta t = R_L C_p \ln \left(\frac{V_{DD} - V_{n-1}}{V_{DD} - V_{n-2}} \right) \quad (1.12)$$

معادله (۱۰-۲) را می توان با یادآوری اینکه حل پاسخ گذرای ولتاژ هر مدار مرتبه اولی از رابطه (۱۳-۲) بدست می آید، در نظر گرفت. البته در رابطه (۱۳-۲) فرض بر آن است که سیگنال ورودی از لحظه t_1 تغییر نخواهد کرد. اگر رابطه (۱۳-۲) را بر حسب Δt بنویسیم به رابطه (۱۴-۲) خواهیم رسید.

$$v(t_2) = v(t_\infty) - [v(t_\infty) - v(t_1)] e^{-\frac{\Delta t}{\tau}} \quad (1.13)$$

$$\Delta t = \tau \ln \left[\frac{v(t_\infty) - v(t_1)}{v(t_\infty) - v(t_2)} \right] \quad (1.14)$$

برای مدار شکل (۲۷-۲)، τ مساوی است با $R_L C_p$ ، ولتاژ در لحظه t_1 برابر است با V_{n-1} و ولتاژ در لحظه t_2 برابر است با V_{n-2} . پس از جایگذاری این مقادیر، رابطه (۱۲-۲) بدست خواهد آمد. روابط (۱۲-۲) و (۱۳-۲) بطور گسترده مورد استفاده قرار می گیرند، به ویژه در مدارت CMOS که به خوانندگاه محترم توصیه می شود که این روابط را به خاطر بسپارند.

مثال (۷-۲) برای مدار شکل (۳-۲) با فرض اینکه خازن بار 50 fF ، مقاومت بار $4 \text{ K}\Omega$ و در طول زمان نزول، بتوان ترانزیستور را با یک مقاومت 300 اهمی تخمین زد، زمان صعود و نزول 70% را بیابید.

پاسخ: در خلال زمان صعود، ترانزیستور خاموش است و مقاومتی که توسط خازن بار دیده می شود، R_L خواهد بود که مقدارش $4 \text{ K}\Omega$ است. بنابراین با استفاده از رابطه (۱۲-۲) داریم:

$$t_{+70\%} = (4000 \times 5 \times 10^{-14}) \ln \left(\frac{3.3 - 0}{3.3 - 2.31} \right) = 2 \times 10^{-10} \times 1.20 = 0.24 \text{ ns} \quad (1.15)$$

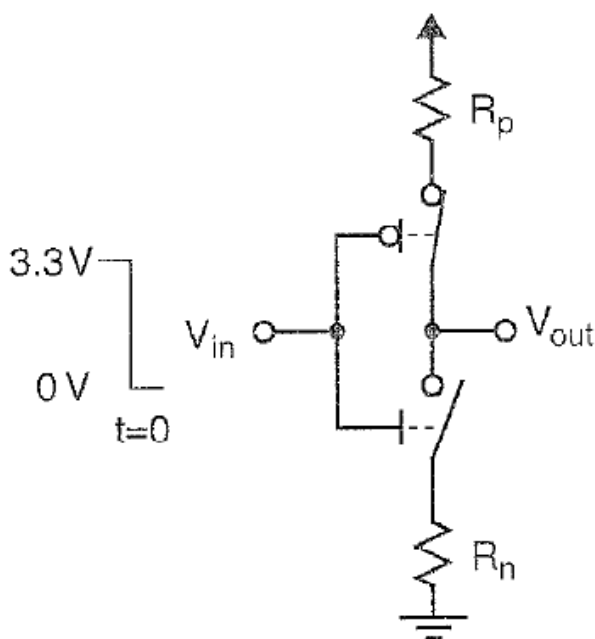
در خلال زمان نزول، داریم R_L موازی با مقاومت معدل ترانزیستور که با R_{eq} نشان داده می شود. بنابراین مقاومت معادل برابر است با $R_L || R_{eq} = 279\Omega$. با فرض اینکه ولتاژ نهایی صفر ولت باشد (از مثال (۱-۲) می دانیم که ولتاژ نهایی 0.23 ولت است اما این اختلاف کوچک باعث نخواهد شد که ترانزیستور را با یک مقاومت تخمین نزیم))، می دانیم یک گذر 70% زمانی رخ می دهد که V_{out} به مقدار $0.99, 0.7(3,3) - 0.3$ ولت رسیده باشد. بنابراین

$$t_{70\%} = (279 \times 5 \times 10^{-14}) \ln\left(\frac{0-3.3}{0-0.99}\right) = 1.4 \times 10^{-11} \times 1.20 = 0.017 \text{ ns} \quad (1.16)$$

توجه داشته باشید که زمان نزول به چه میزان از زمان صعود، سریع تر است. در واقعیت، زمان نزول در اثر زمان صعود سیگنال ورودی که متناهی است بزرگتر خواهد بود اما در اینجا زمان صعود سیگنال ورودی را صفر در نظر گرفتیم.

۲.۶ تخمین RC برای پاسخ گذرای یک معکوس کننده CMOS

همانطور که قبلاً اشاره شد، یک معکوس کننده CMOS می تواند بصورت زوجی از کلیدها که هر کدام دارای امپدانسی سری شده با کلیدها می باشد در نظر گرفته شود. این مطلب در شکل (۲-۲۸) نشان داده شده است. اگر فرض کنیم که ولتاژ اولیه 3.3 ولت بوده است و در $t=0$ به صفر تغییر کند، ولتاژ خروجی که در ابتدا صفر ولت بوده است، در $t=0$ توسط ترانزیستور کانال p شروع به شارژ شدن تا 3.3 ولت می کند. با فرض اینکه ترانزیستور کانال p را بتوان با یک مقاومت R_p مدل نمود، زمانی که طول می کشد خروجی به 2.3 ولت برسد از رابطه (۲-۱۷) بدست می آید.



شکل ۲-۲۸. مدل سازی یک معکوس کننده CMOS با استفاده از کلیدها و مقاومت ها.

$$\Delta t = R_p C_p \ln\left(\frac{3.3-0}{3.3-2.3}\right) = 1.2 R_p C_p \quad (1.17)$$

با فرض اینکه خازن بار 0.5 pF و $\Delta t_{+70\%} = 0.19 \text{ ns}$ (این فرضیات را با توجه به شبیه سازی اسپایس در نظر می گیریم)، آنگاه اگر مقاومت R_p بر اساس فرمول زیر تعیین شود، زمان صعود و نزولش یکسان خواهد بود.

$$R_p = \frac{\Delta t_{-70\%}}{1.2 C_p} = 3.2 \text{ k}\Omega \quad (1.18)$$

باید این نکته را در خاطر داشته باشیم که مقدار مقاومت، زمان صعود یکسانی را برای یک ترانزیستور با عرض 5.5 میکرون ارائه خواهد نمود. اگر ترانزیستور p مورد استفاده قرار می گرفت، امپدانس باید بطور معکوس مقیاس می شد. بطور مشابه، اگر زمان نزول 70% را 0.14 ns نانو ثانیه فرض کنیم، مقاومت معادل برای یک ترانزیستور n با عرض 4 میکرون از رابطه زیر بدست می آید.

$$R_n = \frac{\Delta t_{-70\%}}{1.2 C_p} = 2.3 \text{ k}\Omega \quad (1.19)$$

مجدداً، اگر ترانزیستور 4 میکرونی با یک ترانزیستور با دو برابر عرض جایگزین شود، زمان نزول نصف شده و مقاومت معادل آن برابر 1.15 کیلو اهم خواهد شد. بطور مشابه، یک ترانزیستور با عرض یک میکرون، معادل با مقاومتی با مقدار 9.2 کیلو اهم خواهد بود. بر اساس این روش، می توان یک روش عمومی برای یافتن مقاومت معادل ترانزیستورها با ابعاد دلخواه را بیان نمود. برای یک ترانزیستور NMOS داریم:

$$R_n = \frac{9.2 \text{ k}\Omega}{W} \quad (1.20)$$

و برای یک ترانزیستور PMOS داریم:

$$R_p = \frac{17.6 \text{ k}\Omega}{W} \quad (1.21)$$

این مقادیر تا حدودی زیاد است چراکه فرض کرده ایم مقدار خازن بار فقط 0.5 pF بوده است و خازن های پارازیتیک اتصال ترانزیستور را نادیده گرفته ایم. در برخی مدارها با بارهای بسیار کوچک، این خازن ها می توانند زمان صعود و نزول را تا 2 برابر افزایش دهند. در فصول آینده در این رابطه بیشتر بحث خواهد شد.

مثال ۲-۸

با فرض اینکه $C_L = 110 \text{ fF}$ ، عرض ترانزیستور کانال p مساوی $15 \mu\text{m}$ و عرض ترانزیستور کانال n $10 \mu\text{m}$ باشد، زمان صعود و نزول ۷۰٪ را برای یک معکوس کننده CMOS بیابید.

پاسخ:

با استفاده از رابطه $R_n = \frac{9.2}{W} k\Omega$ بدست می آوریم $R_n = \frac{9.2}{10} = 920 \Omega$ و با استفاده از رابطه $R_p = \frac{17.6}{W} k\Omega$ بدست می آوریم

$$R_p = \frac{17.6}{15} = 1.17 k\Omega \cdot \text{بنابراین زمان نزول } 70\% \text{ از رابطه } \Delta t = 1.2 \cdot R \cdot C_L \text{ بدست می آید.}$$

$$t_{-70\%} = 920 \times 1.1 \times 10^{-13} \times 1.2 = 0.12 \text{ ns}$$

$$\text{و زمان صعود } 70\% \text{ از رابطه } t_{+70\%} = 1173 \times 1.1 \times 10^{-13} \times 1.2 = 0.15 \text{ ns} \text{ بدست می آید.}$$

خلاصه فصل:

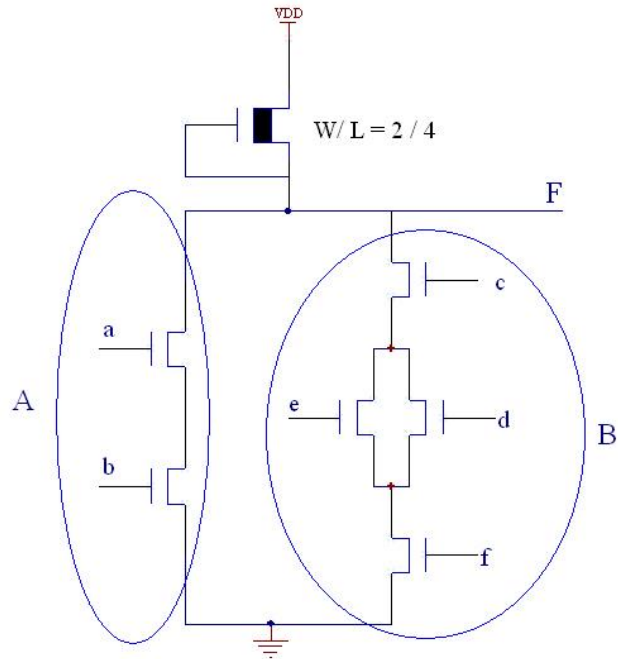
در این فصل بسیاری از مفاهیم پایه ای مدارات دیجیتال MOS را در ساده ترین حالت معرفی نمودیم. این میزان دانش در سطح طراحی ترانزیستوری مدارات ساده که چندان هم عملکرد سریعی نداشتند، تا به اینجا مناسب است. در این فصل بسیاری از تعاریف و همچنین مدل سازی تخمینی RC برای تحلیلی های گذرای مدارات MOS معرفی شد.

مسائل فصل:

۱-۲ گیتی با منطق NMOS طراحی کنید که تابع $f = \overline{ab + c(d + e)}$ را پیاده سازی کند. تلاش کنید تا ساینز مدار مناسب باشد.

پاسخ:

تابع $f = \overline{ab + c(d + e)}$ با استفاده از منطق NMOS به شکل زیر طراحی می گردد:



$$\frac{Z_{pu}}{Z_{pd}} = \frac{4}{1}$$

$$Z = \frac{L}{W}$$

بخش A را در مدار در نظر بگیرید:

$$A \Rightarrow \frac{4}{1} = \frac{Z_{pu}}{Z_{pd}} = \frac{\frac{4}{2}}{x+x} \Rightarrow \frac{4}{1} = \frac{2}{2x} \Rightarrow \frac{4}{1} = \frac{1}{x} \Rightarrow x = \frac{1}{4} = \frac{L}{W}$$

بخش B را در مدار در نظر بگیرید:

$$B \Rightarrow \frac{4}{1} = \frac{Z_{pu}}{Z_{pd}} = \frac{\frac{4}{2}}{x+x+x} \Rightarrow \frac{4}{1} = \frac{2}{3x} \Rightarrow x = \frac{1}{6} = \frac{L}{W}$$

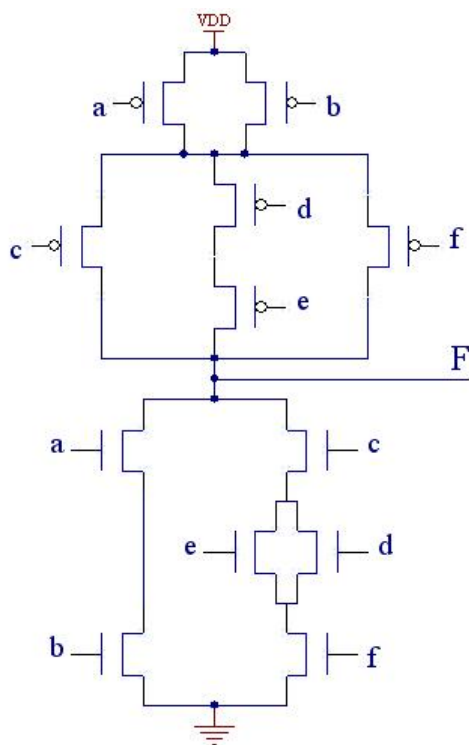
برای بخش A، یکی از دو عبارت x در مخرج کسر مربوط به مسیر ترانزیستور a و x دیگر مربوط به مسیر ترانزیستور b می باشد.

برای بخش B، یکی از سه عبارت X در مخرج کسر مربوط به مسیر ترانزیستور C و X دیگر مربوط به مسیر ترانزیستور f و عبارت X سوم مربوط به یکی از ترانزیستورهای مسیر d یا e می باشد.

۲-۲ مسأله ۱-۲ را با استفاده از منطق CMOS تکرار کنید.

پاسخ :

تابع $f = \overline{ab + c(d + e)}f$ با استفاده از منطق CMOS به شکل زیر طراحی می گردد:



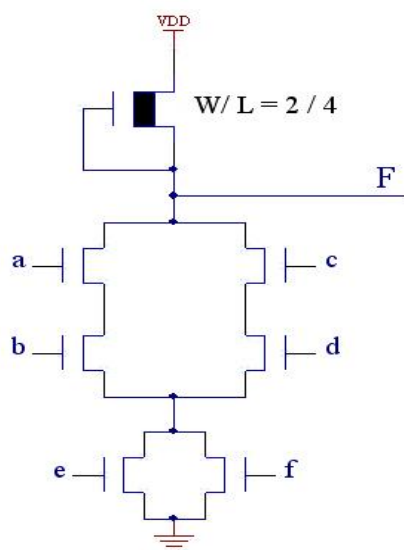
گیت های سنتی CMOS^۱ گیت های بدون مقیاس (ratio less gates) خوانده می شوند. بنابراین گزینه قابل قبول این است که تمام $\frac{W}{L}$ ها را

مساوی در نظر بگیریم.

۳-۲ گیتی با منطق NMOS طراحی کنید که تابع $f = \overline{(ab + cd)}(e + f)$ را پیاده سازی کند. تلاش کنید تا سایز مدار مناسب باشد.

پاسخ:

با توجه به توضیحاتی که در پاسخ به سوال ۱-۲ ارائه شد، تابع $f = \overline{(ab + cd)}(e + f)$ با استفاده از منطق NMOS به صورت زیر طراحی می گردد:



$$\frac{Z_{pu}}{Z_{pd}} = \frac{4}{1}$$

$$Z = \frac{L}{W}$$

$$\Rightarrow \frac{4}{1} = \frac{\frac{4}{2}}{x+x+x} \Rightarrow \frac{4}{1} = \frac{2}{3x} \Rightarrow x = \frac{1}{6} = \frac{L}{W}$$

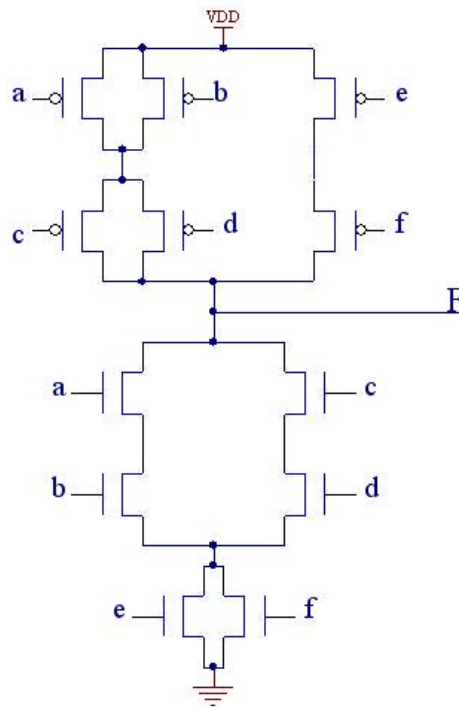
^۱ Traditional CMOS

که در مخرج کسر، سه عبارت x می تواند هر کدام از مسیر های a,b,e یا c,d,f یا a,b,f یا c,d,e باشد.

۴-۲ مسأله ۱-۳ را با استفاده از منطق CMOS تکرار کنید.

پاسخ:

با توجه به توضیحاتی که در سؤال ۱-۲ ارائه شد، تابع $f = \overline{(ab+cd)}(e+f)$ با استفاده از منطق CMOS به صورت زیر طراحی می گردد:

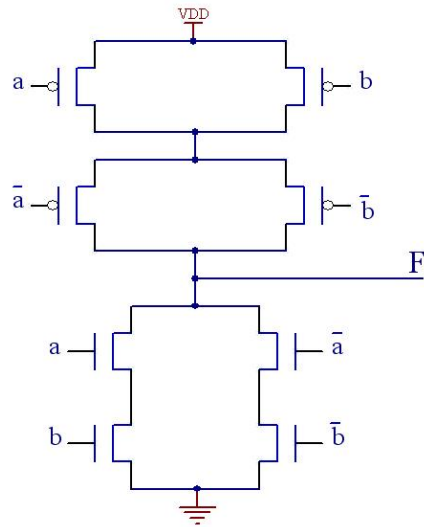


۵-۲ با استفاده از منطق CMOS یک exclusive-or مدار طراحی کنید. یعنی تابع مدار $f = a \oplus b = \overline{a}b + a\overline{b}$ باشد.

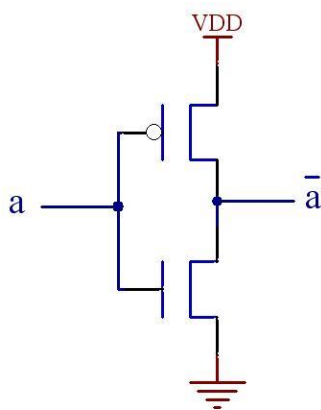
پاسخ:

تابع $f = a \oplus b = \overline{a}b + a\overline{b}$ با استفاده از منطق CMOS به صورت زیر طراحی می گردد:

$$f = \overline{\overline{a \oplus b}} = \overline{\overline{a \otimes b}} = \overline{ab + \overline{a}\overline{b}}$$



لازم به ذکر است به منظور ایجاد سیگنال های \bar{a} و \bar{b} باید از گیت های NOT به شکل زیر استفاده شود.

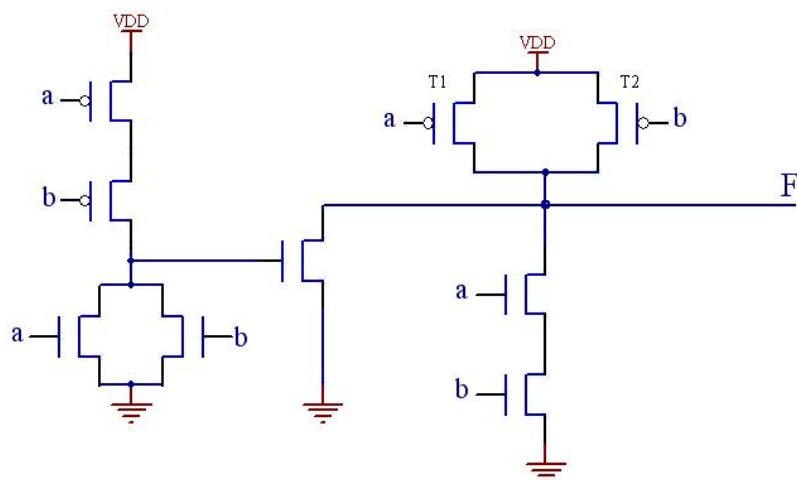


حل این مسئله به روشی دیگر:

$$f = a \oplus b = a\bar{b} + \bar{a}b$$

$$\Rightarrow \bar{f} = ab + \bar{a}\bar{b} = ab + \overline{(a+b)}$$

$$\Rightarrow f = \overline{ab + \overline{(a+b)}}$$



$$a = '0'$$

$$b = '0'$$

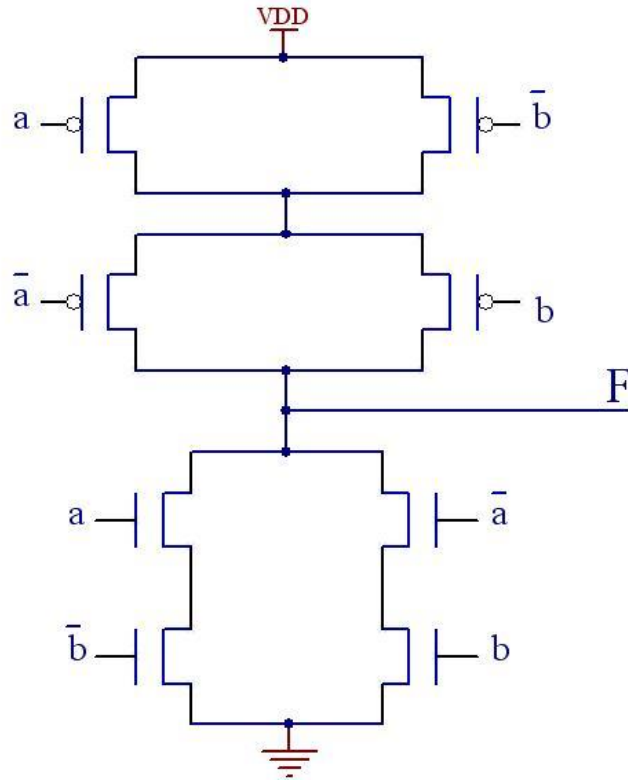
$$V_{out} = \frac{V_{DD} \times Z_{T3}}{(Z_{T1} \parallel Z_{T2}) + Z_{T3}}$$

$$V_{out} \approx 0 \text{ اگر } (Z_{T1} \parallel Z_{T2}) \gg Z_{T3}$$

۶-۲ با استفاده از منطق CMOS یک exclusive-nor طراحی کنید. یعنی تابع مدار $f = a \oplus b = ab + \bar{a}\bar{b}$ باشد.

پاسخ:

تابع $f = a \oplus b = ab + \bar{a}\bar{b} = \overline{ab} + \overline{\bar{a}\bar{b}}$ با استفاده از منطق CMOS به شکل زیر طراحی می گردد:



۷-۲ یک تمام جمع کننده^۱ تک بیتی بر اساس ۳ ورودی a , b , c_{in} به دو تابع نیاز دارد که عبارتند از یک تابع تولید حاصل جمع و یک تابع تولید carry. خروجی تابع تولید حاصل جمع S زمانی '1' خواهد بود که تعداد فردی از ورودی ها '1' باشد. تابع منطقی آن بصورت $S = a \oplus b \oplus c_{in}$ می باشد. با استفاده از منطق CMOS این تابع را پیاده سازی کنید.

پاسخ:

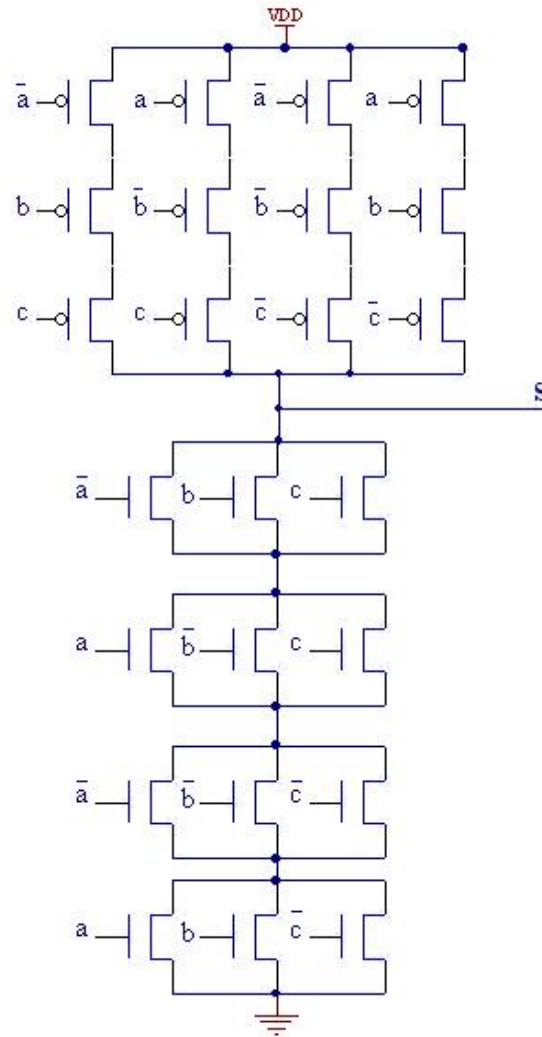
در یک تمام جمع کننده داریم:

$$S = a \oplus b \oplus c_{in}$$

$$S = (a\bar{b} + \bar{a}b) \oplus c_{in} = (a\bar{b} + \bar{a}b)\overline{c_{in}} + (a\bar{b} + \bar{a}b)c_{in} = \overline{a\bar{b}c_{in}} + \overline{\bar{a}bc_{in}} + abc_{in} + \bar{a}\bar{b}c_{in}$$

$$\bar{S} = (\bar{a} + b + c_{in})(a + \bar{b} + c_{in})(\bar{a} + \bar{b} + \bar{c}_{in})(a + b + \bar{c}_{in})$$

^۱ Full adder



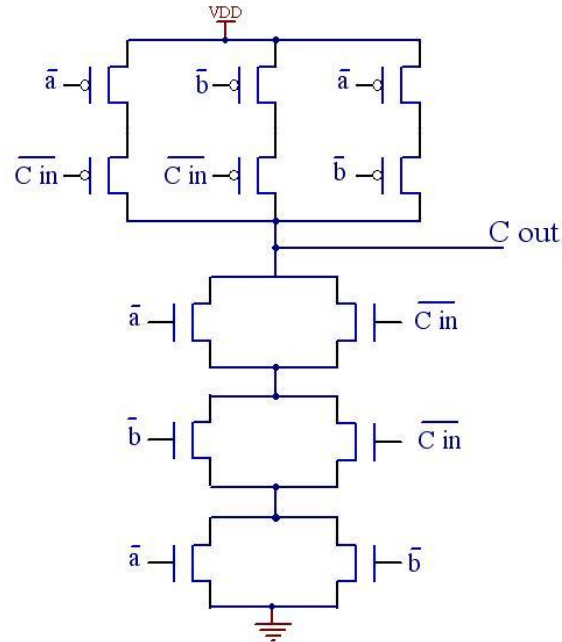
۸-۲ خروجی تابع تولید carry یا C_{out} زمانی '1' است که دو ورودی و یا بیش از دو ورودی آن '1' باشد. تابع منطقی آن بصورت

$$C_{out} = C_{in}(a+b)+ab \text{ است. با استفاده از منطق CMOS این تابع را پیاده سازی کنید.}$$

پاسخ :

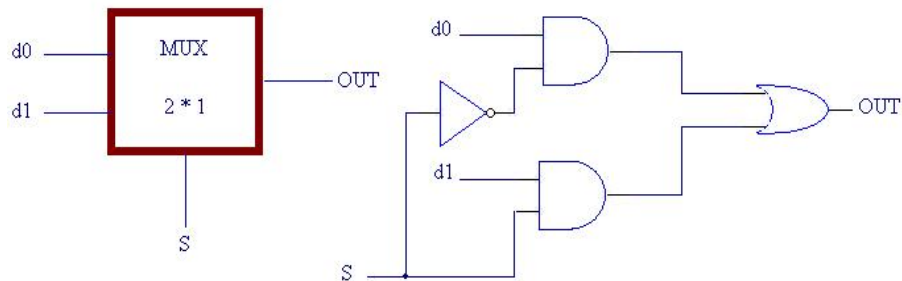
$$F = C_{out} = C_{in}(a+b)+ab \Rightarrow C_{out} = aC_{in} + bC_{in} + ab$$

$$\overline{F} = (\overline{a} + \overline{C_{in}})(\overline{b} + \overline{C_{in}})(\overline{a} + \overline{b})$$



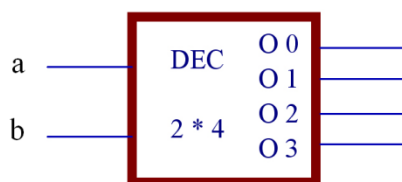
۹-۲ یک مالتی پلکسر 2×1 ، یک ورودی انتخاب S و دو ورودی داده d_0 و d_1 را دارد. اگر $S=0$ باشد خروجی آن مساوی d_0 است در غیر این صورت اگر $S=1$ باشد، خروجی مساوی d_1 است. با استفاده از منطق CMOS این تابع را پیاده سازی کنید.

پاسخ:



$$F = OUT = \bar{s}d_0 + sd_1$$

$$\bar{F} = \overline{\bar{s}d_0 + sd_1} = (s + \bar{d}_0)(\bar{s} + \bar{d}_1)$$



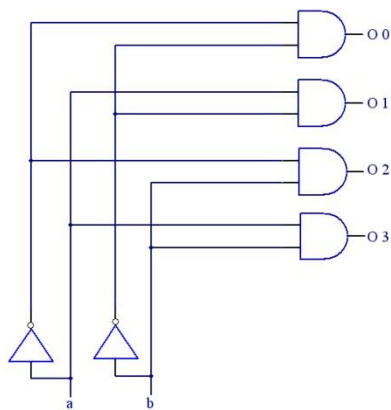
b	a	output
0	0	O_0
0	1	O_1
1	0	O_2
1	1	O_3

$$O_0 = \bar{a}\bar{b}$$

$$O_1 = a\bar{b}$$

$$O_2 = \bar{a}b$$

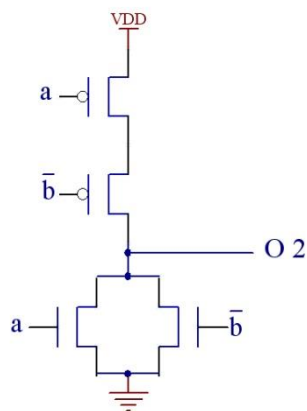
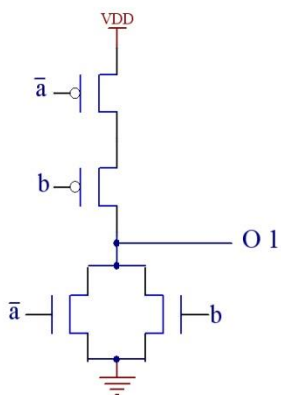
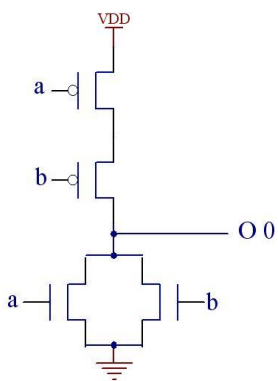
$$O_3 = ab$$



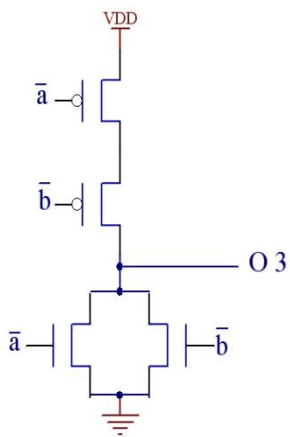
$$\overline{O_0} = a + b$$

$$\overline{O_2} = a + \bar{b}$$

$$\overline{O_1} = \bar{a} + b$$



$$\overline{O_3} = \bar{a} + \bar{b}$$



۱۱-۲ با استفاده از نرم افزار شبیه سازی SPICE ولتاژ ترشلد گیت و حاشیه نویز یک معکوس کننده^۱ NMOS که ترانزیستور Load یا pull-up

آن یک ترانزیستور تهی^۲ با ابعاد $\frac{W}{L} = \frac{1/6\mu m}{1/6\mu m}$ و همچنین یک ترانزیستور load افزایشی^۳ با ابعاد $\frac{W}{L} = \frac{3.2\mu m}{0.8\mu m}$ می باشد را بیابید. از

^۱ inverter

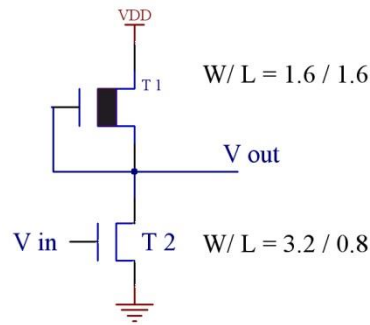
^۲ depletion transistor

^۳ enhancement

پارامترهای بخش SPICE در ضمیمه (الف) استفاده کنید بجز اینکه برای ترانزیستور تهی از $V_{td} = -2.5v$ استفاده کنید. این مسأله را زمانی

که ابعاد ترانزیستور Load افزایشی برابر $\frac{W}{L} = \frac{1/6\mu m}{0/8\mu m}$ و همچنین $\frac{W}{L} = \frac{6.4\mu m}{0.8\mu m}$ است تکرار کنید.

پاسخ:



$$V_{th} = ?$$

$$NM_H = ?$$

$$NM_L = ?$$

با استفاده از SPICE بدست می آوریم:

$$T_1: \frac{W}{L} = \frac{1.6}{1.6}$$

$$V_{td} = -2.5v$$

$$T_2: \frac{W}{L} = \frac{3.2}{0.8}$$

برای محاسبه V_{th} باید قرار دهیم $V_{in} = V_{out}$. بنابراین داریم $V_{th} = 2.7319v$.

$$NM_H = V_{OH} - V_{IH} = 4.7698 - 3.0304 = 1.7394v$$

$$NM_L = V_{IL} - V_{OL} = 0.80578 - 1.9735 = 1.16772v$$

$$T_1: \frac{W}{L} = \frac{1.6}{0.8}$$

$$T_2: \frac{W}{L} = \frac{6.4}{0.8}$$

\Rightarrow

$$V_{th} = 2.7319v$$

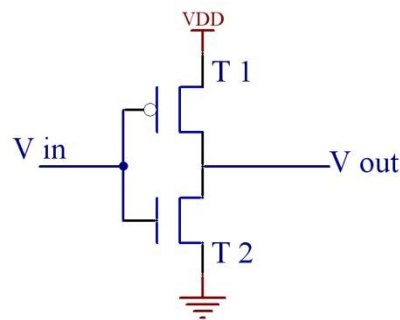
$$NM_H = 1.7394v$$

$$NM_L = 1.16774v$$

۱۲-۲ مسأله ۱۱-۲ را برای یک معکوس کننده CMOS که سایز ترانزیستور کانال p آن $\frac{W}{L} = \frac{5\mu m}{0.8\mu m}$ و سایز ترانزیستور کانال n آن به طور

مجزا برابر $\frac{W}{L} = \frac{5}{0.8}, \frac{7.5}{0.8}, \frac{10}{0.8}$ می باشد را تکرار کنید. همه ابعاد در واحد μm است.

پاسخ:



پارامتر های دو مدل PMOS و NMOS معرفی شده در کتاب به شرح زیر می باشد:

$$V_{tp} = 0.9v$$

$$\mu_p = 44.5 \frac{\mu A}{v^2}$$

$$V_{tn} = 0.8v$$

$$\mu_n = 188 \frac{\mu A}{v^2}$$

با استفاده از مقادیر این پارامتر ها داریم:

$$\left(\frac{W}{L}\right)_1 = \frac{5}{0.8}$$

$$\left(\frac{W}{L}\right)_2 = \frac{5}{0.8} \Rightarrow V_{th} = 1.8995v$$

$$\left(\frac{W}{L}\right)_2 = \frac{7.5}{0.8} \Rightarrow V_{th} = 1.7604v$$

$$\left(\frac{W}{L}\right)_2 = \frac{10}{0.8} \Rightarrow V_{th} = 1.6681v$$

مثال ۲-۸ موجود در کتاب را با فرض اینکه $C_L = 50fF$, $W_p = 10\mu m$, $W_n = 5\mu m$, باشد تکرار نمایید. (البته مثال مربوطه به طور کامل

در زیر آمده است):

پاسخ:

$$C_L = 50fF = 50 \times 10^{-15} F$$

$$W_p = 10\mu m$$

$$W_n = 5\mu m$$

طبق روابط موجود داریم:

$$\Delta t_{+70\%} = R_p \times C_L \times 1.2$$

$$R_p = \frac{17.6}{W_p} k\Omega = \frac{17.6}{10} k\Omega = 1.76 k\Omega$$

بدترین حالت در نسبت $\frac{W}{L} = \frac{1\mu m}{8\mu m}$ برای pull-up در CMOS عبارت است از $2 \times R_p$. در نتیجه برای شارژ C_L داریم:

$$R_{p\text{total}} = 2 \times 1.76 k\Omega$$

بنابراین :

$$\Delta t_{+70\%} = 2 \times 1.76 \times 10^{-3} \times 50 \times 10^{-15} \times 1.2 = 211.2 ps$$

بدترین حالت در نسبت $\frac{W}{L} = \frac{1\mu m}{8\mu m}$ برای pull-down در CMOS عبارت است از $3 \times R_p$. در نتیجه برای دشارژ C_L داریم:

$$R_n = \frac{9.2}{W_n} k\Omega = \frac{9.2}{5} k\Omega = 1.84 k\Omega$$

بنابراین :

$$R_{n\text{total}} = 3 \times 1.84 k\Omega = 5.52 k\Omega$$

$$\Delta t_{-70\%} = R_{n\text{total}} \times C_L \times 1.2 = 5.52 \times 10^3 \times 50 \times 10^{-15} \times 1.2 = 33.2 ps$$

۱۴-۲ بیشترین مقدار زمان صعود^۱ برای یک گیت NOR با منطق CMOS که دارای $W_p = 15\mu m$ و $W_n = 5\mu m$ باشد را بدست آورید.

ترانزیستورهای سری شده ی کانال p را می توان با دو ترانزیستور که سایز هر کدام از رابطه ی $R_p = \frac{17.6}{W} k\Omega$ بدست می آید تخمین زد.

پاسخ :

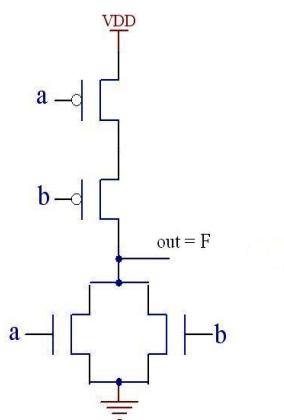
$$F = \overline{a + b}$$

$$W_p = 15\mu m$$

$$W_n = 5\mu m$$

^۱ rise time

$$C_L = 50 fF = 50 \times 10^{-15} F$$



داریم:

$$R_p = \frac{17.6}{W_p} k\Omega = \frac{17.6}{15} k\Omega = 1.173 k\Omega$$

$$R_{p\text{total}} = 2 \times R_p = 2 \times 1.173 k\Omega$$

$$t_r = \Delta t_{+70\%} = R_{n\text{total}} \times C_L \times 1.2$$

$$\Rightarrow t_r = 2 \times 1.173 \times 10^3 \times 50 \times 10^{-15} \times 1.2 = 140.76 \times 10^{-12} s = 140.76 ps$$

۱۵-۲ برای مدار نشان داده شده در شکل زیر بیشترین زمان صعود و زمان نزول^۱ را برای زمانی که یک خازن load با ظرفیت 1 pF درایو می شود

محاسبه کنید. فرض کنید یک ترانزیستور کانال n را می توان با یک مقاومت که اندازه آن با استفاده از رابطه $R_n = \frac{17.5}{W} k\Omega$ که W بر حسب

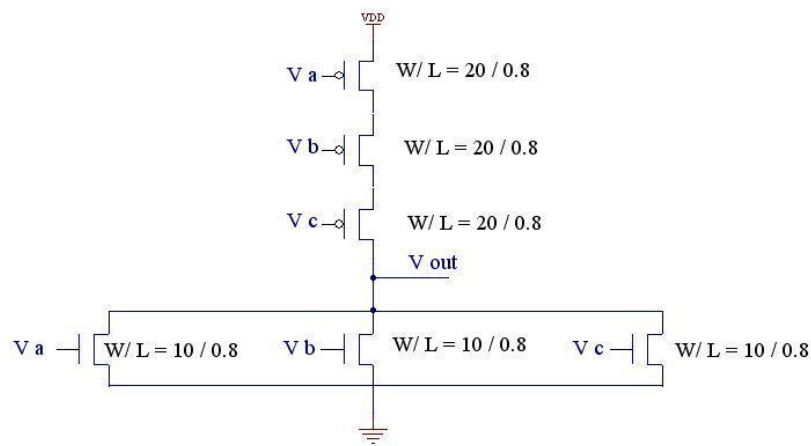
μm می باشد تخمین زد و همچنین یک ترانزیستور کانال p با یک مقاومت که اندازه آن با استفاده از رابطه $R_p = \frac{48.75}{W} k\Omega$ تخمین زده می

^۱ fall time

شود. همچنین زمان نزول را زمانی که تمام ورودی ها همزمان با هم از '0' به '1' تغییر وضعیت بدهند تخمین بزنید. کلیه ابعاد در واحد میکرو متر می باشند.

پاسخ :

$$C_L = 1pF = 1 \times 10^{-12} F$$



$$R_p = \frac{48.75}{W_p} k\Omega = \frac{48.75}{20} k\Omega = 2.4375 k\Omega$$

برای محاسبه زمان صعود در بدترین حالت داریم:

$$t_r = 3 \times 2.4375 k\Omega \times C_L \times 1.2 = 7.3125 \times 10^3 \times 1 \times 10^{-12} \times 1.2 = 8.775 \times 10^{-9} s = 8.775 ns$$

$$R_n = \frac{17.5}{W_n} k\Omega = \frac{17.5}{10} k\Omega = 1.75 k\Omega$$

$$t_f = 1.75 \times 10^3 \times 1 \times 10^{-12} \times 1.2 = 2.1 ns$$

اگر $abc = '000'$ به $abc = '111'$ تغییر یابد داریم:

$$t_f = \left(\frac{1}{3}\right) \times 1.75 \times 10^3 \times 1 \times 10^{-12} \times 1.2 = 0.7ns$$

۱۶-۲ پاسخ های خود را با آنچه که با شبیه سازی در SPICE بدست می آورید مقایسه کنید. از همان پارامتر هائی که در سؤال ۱۱-۲ آمده است استفاده نمائید.

پاسخ :

بازاء تمام ورودی ها اگر همگی از '0' به '1' تغییر کنند داریم:

$$t_f = 346.45ns$$

بازاء تنها یک ورودی که از '0' به '1' تغییر کند داریم:

$$t_f = 468ns$$

۱۷-۲ با استفاده از SPICE ولتاژ ترشلد گیت نشان داده شده در مسئله ی ۱۵-۱ را زمانی که تنها یک ورودی از '0' به '1' تغییر می کند بیابید. این کار را برای زمانی که تمام ورودی ها از '0' به '1' تغییر می کنند تکرار کنید.

پاسخ :

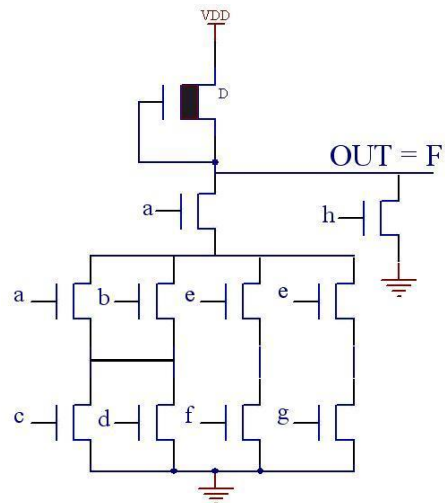
بازاء تمام ورودی ها اگر همگی از '0' به '1' تغییر کنند داریم:

$$V_{th} = 1.4134v$$

بازاء تنها یک ورودی که از '0' به '1' تغییر کند داریم:

$$V_{th} = 2.0567v$$

۱۸-۲ در شکل زیر چه تابع منطقی با استفاده از گیت های NMOS پیاده سازی شده است؟ شماتیک معادل آن را رسم کنید. ابعاد مناسب را برای ترانزیستور ها بیابید.



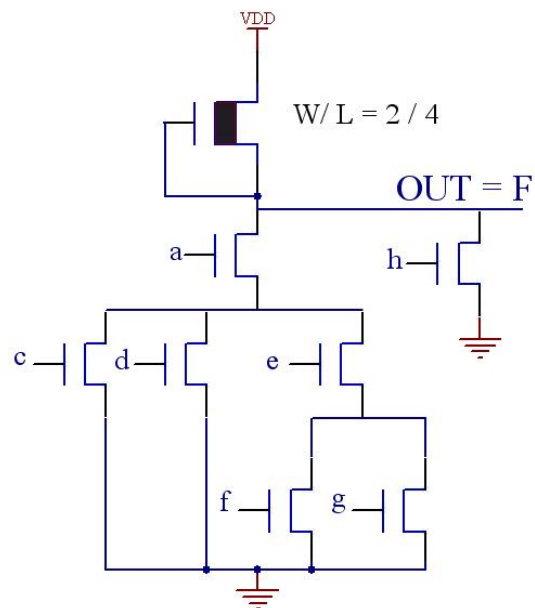
پاسخ:

$$F = \overline{a((a+b)(c+d) + ef + eg) + h}$$

$$\overline{F} = a(a+b)(c+d) + ae(f+g) + h$$

$$= (a+ab)(c+d) + ae(f+g) + h$$

$$= a((c+d) + e(f+g)) + h$$



برای ترانزیستور h:

$$h \rightarrow \frac{Z_{pu}}{Z_{pd}} = \frac{4}{1}$$

$$\Rightarrow Z_{pu} = \frac{4}{2} = \frac{L}{W} \Rightarrow \frac{4}{1} = \frac{\frac{4}{2}}{x} \Rightarrow x = \frac{1}{2} = \frac{L}{W} \Rightarrow \frac{W}{L} = \frac{2}{1}$$

در بدترین حالت برای مسیر a,e,g یا a,e,f:

$$\frac{4}{1} = \frac{\frac{4}{2}}{3x} \Rightarrow x = \frac{1}{6} = \frac{L}{W} \Rightarrow \frac{W}{L} = \frac{6}{1}$$

و برای مسیر d یا c:

$$\frac{4}{1} = \frac{\frac{4}{2}}{x + \frac{1}{6}} \Rightarrow x = \frac{1}{3} = \frac{L}{W} \Rightarrow \frac{W}{L} = \frac{3}{1}$$

۱۹-۲ برای مدار شکل مسئله قبل مدار معادل با منطق CMOS را ارائه دهید. در صورت امکان تلاش کنید تا از تعداد ترانزیستورهای کانال p سری

شده بکاهید.

پاسخ:

