

МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)
Кафедра вычислительной техники

ОТЧЕТ
по лабораторной работе №1
по дисциплине «Элементная база цифровых систем»
Тема: Знакомство с системой проектирования QUARTUS II, реализация
комбинационной схемы

Студенты гр. 0305 _____

Иванов А. Н.

Осипцов Н. А.

Преподаватель _____

Бондаренко П. Н.

Санкт-Петербург

2023

Цель работы: освоение процесса проектирования цифровой схемы в системе автоматизированного проектирования Quartus II, включающего в себя этапы создания цифровой схемы в графическом редакторе, моделирования работы схемы, загрузки результатов проектирования в программируемую логическую интегральную схему и проведение макетного эксперимента. В процессе работы выполняется проектирование простой комбинационной схемы.

Задание: спроектировать комбинационную схему, реализующую функцию от четырех переменных, заданную набором входных данных, на которых она принимает единичные значения. Необходимо составить таблицу истинности функции, выполнить минимизацию функции с использованием карт Карно или метода Квайна–Мак-Класки, основанного на применении операций склеивания и поглощения.

Компонент x_4 входного вектора (x_4, x_3, x_2, x_1) следует считать старшим двоичным разрядом.

Необходимо разработать два варианта реализации комбинационной схемы, отличающихся элементным базисом. В первом случае в качестве базиса выбрать примитивы not (НЕ), band^* (*-НЕ-И), nand^* (*-И-НЕ), а во втором – not (НЕ), bor^* (*-НЕ-ИЛИ), nor^* (*-ИЛИ-НЕ), где * – количество входов элемента.

Синтез логической схемы

Была составлена таблица истинности, приведенная на таблице 1.

Таблица 1. Таблица истинности

x_1	x_2	x_3	x_4	y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

Минимизация функции проводилась с помощью карты Карно, представленной на таблице 2.

Таблица 2. Минимизация картами Карно

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	1	0	1	0
01	1	1	1	1
11	0	0	0	1
10	0	0	0	1

Получилась минимизированная функция:

$$y = \neg X_1 X_3 X_4 \vee X_1 X_3 \neg X_4 \vee \neg X_1 X_2 \vee \neg X_1 \neg X_3 \neg X_4$$

Перевод в первый базис (NAND, отрицание конъюнкции):

$$F = (X_3 \uparrow ((\neg X_1 \uparrow X_4) \uparrow (X_1 \uparrow \neg X_4))) \uparrow (X_1 \uparrow (\neg X_2 \uparrow (\neg X_3 \uparrow \neg X_4)))$$

Перевод во второй базис (NOR, отрицание дизъюнкции):

$$\neg F = (\neg X_3 \downarrow ((X_1 \downarrow \neg X_4) \downarrow (\neg X_1 \downarrow X_4))) \downarrow (X_1 \downarrow (X_2 \downarrow (X_3 \downarrow X_4)))$$

В итоге была разработана схема в Quartus, приведенная на рис. 1

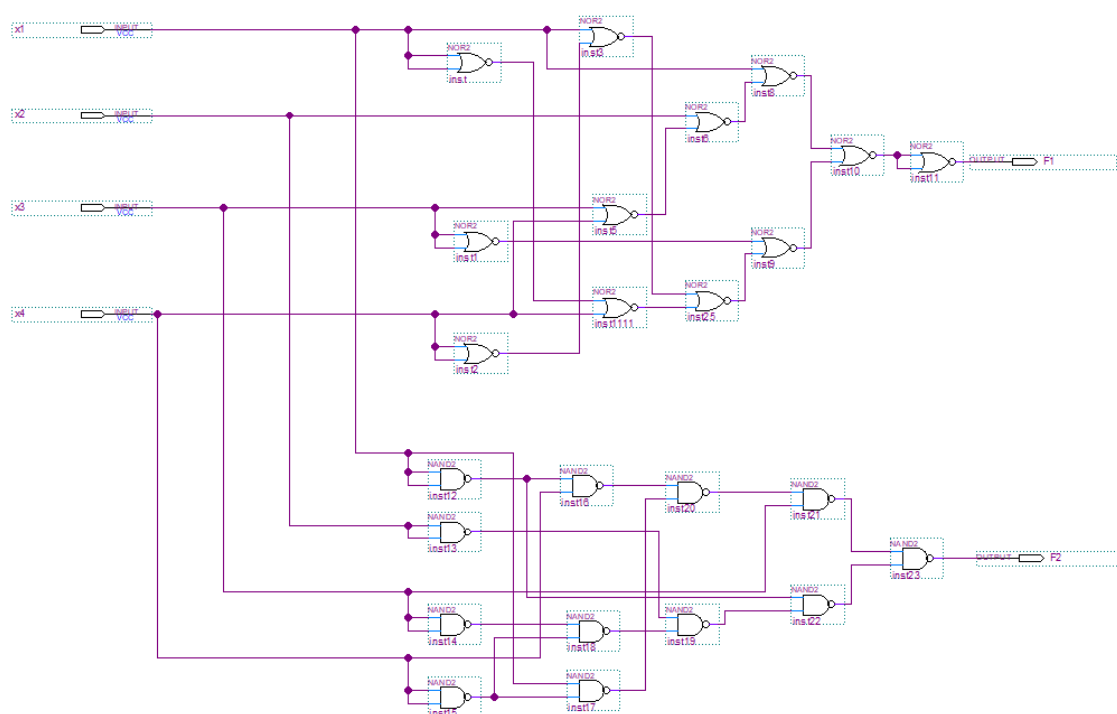
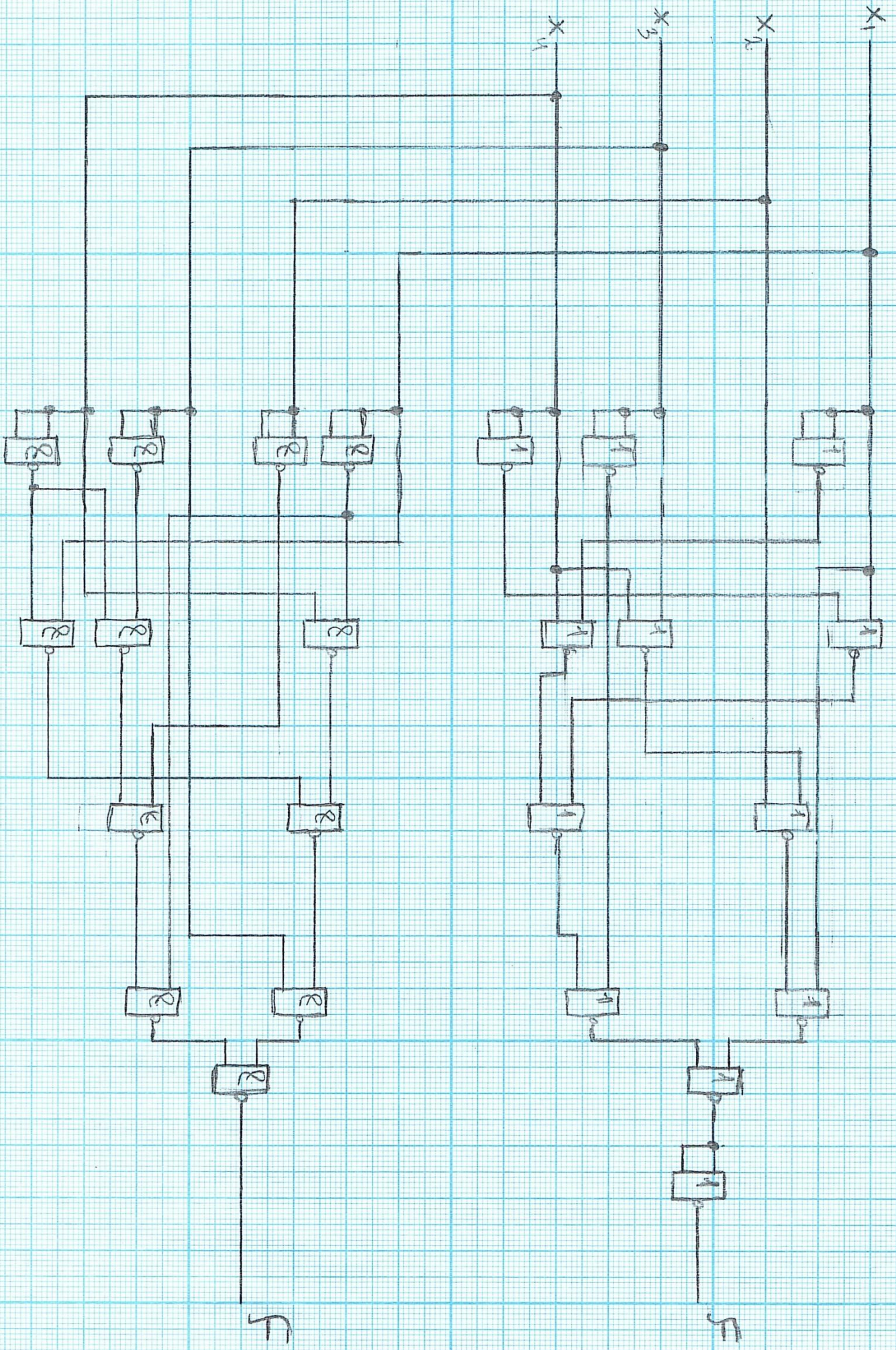


Рисунок 1. Функциональная схема

Схема с рис. 1 в соответствии с ГОСТ приведена на следующей странице.



Результаты функционального моделирования представлены на рис. 2

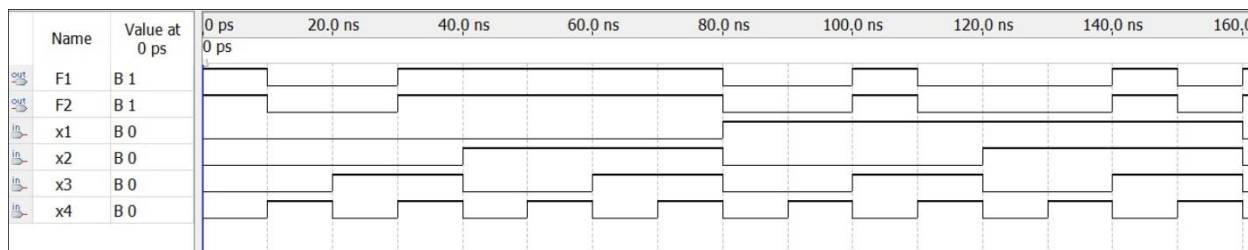


Рисунок 2. Функциональное моделирование

Функциональное моделирование позволяет проверить значение на выходе схемы. Результаты временного моделирования с учетом задержек представлены на рис. 3.

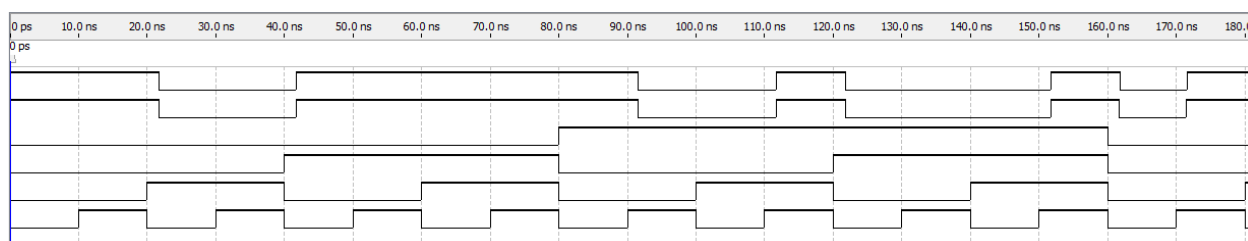


Рисунок 3. Временное моделирование

Временное моделирование учитывает временные задержки по срабатыванию элементов: сигнал на выходе смещен относительно входа чуть больше, чем на один такт.

При помощи инструмента Pin Planner, который продемонстрирован на рисунке 4, было установлено соответствие между контактами платы (столбец location, значения из методички) и входами моделируемой схемы.

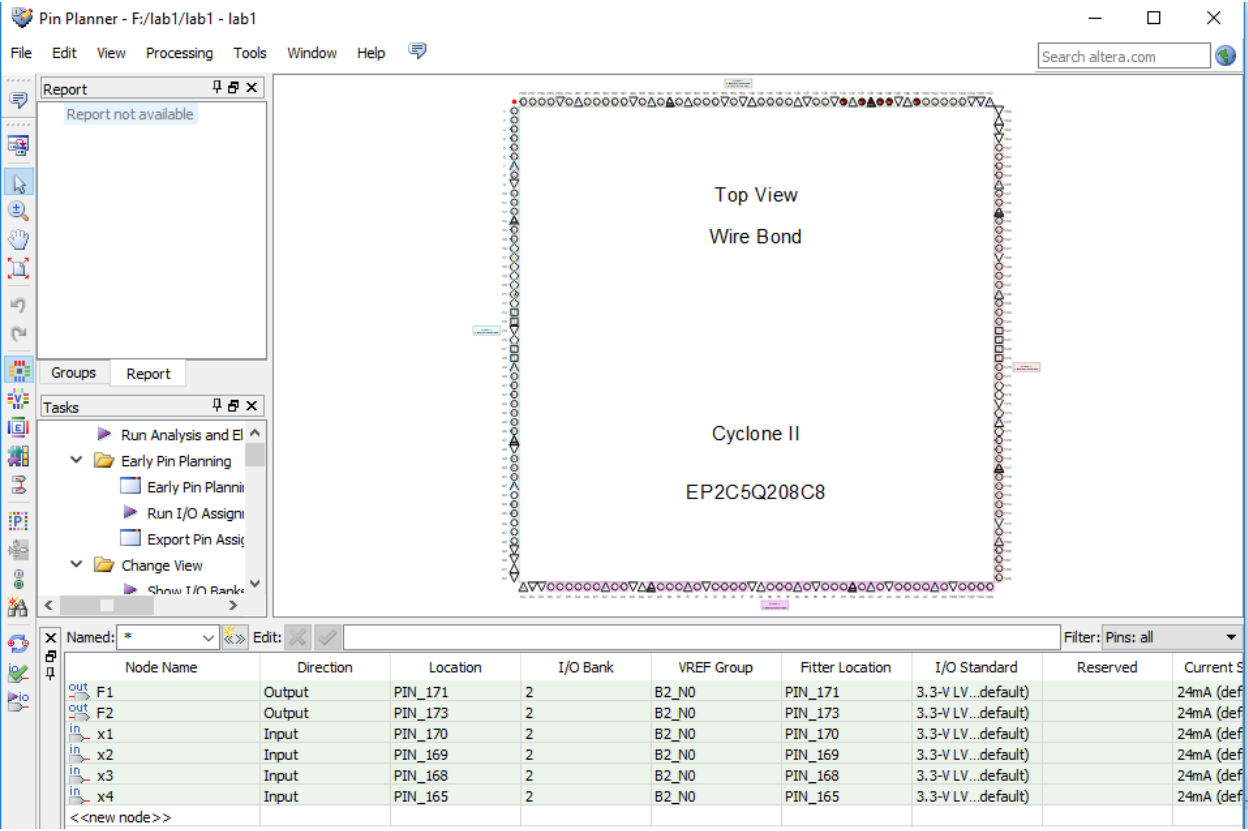


Рисунок 4. Инструмент Pin Planner

Далее мы заменили Device с auto на EPCS1 и скомпилировали схему.

Моделируемая схема была загружена на плату и проверена (рис. 5).

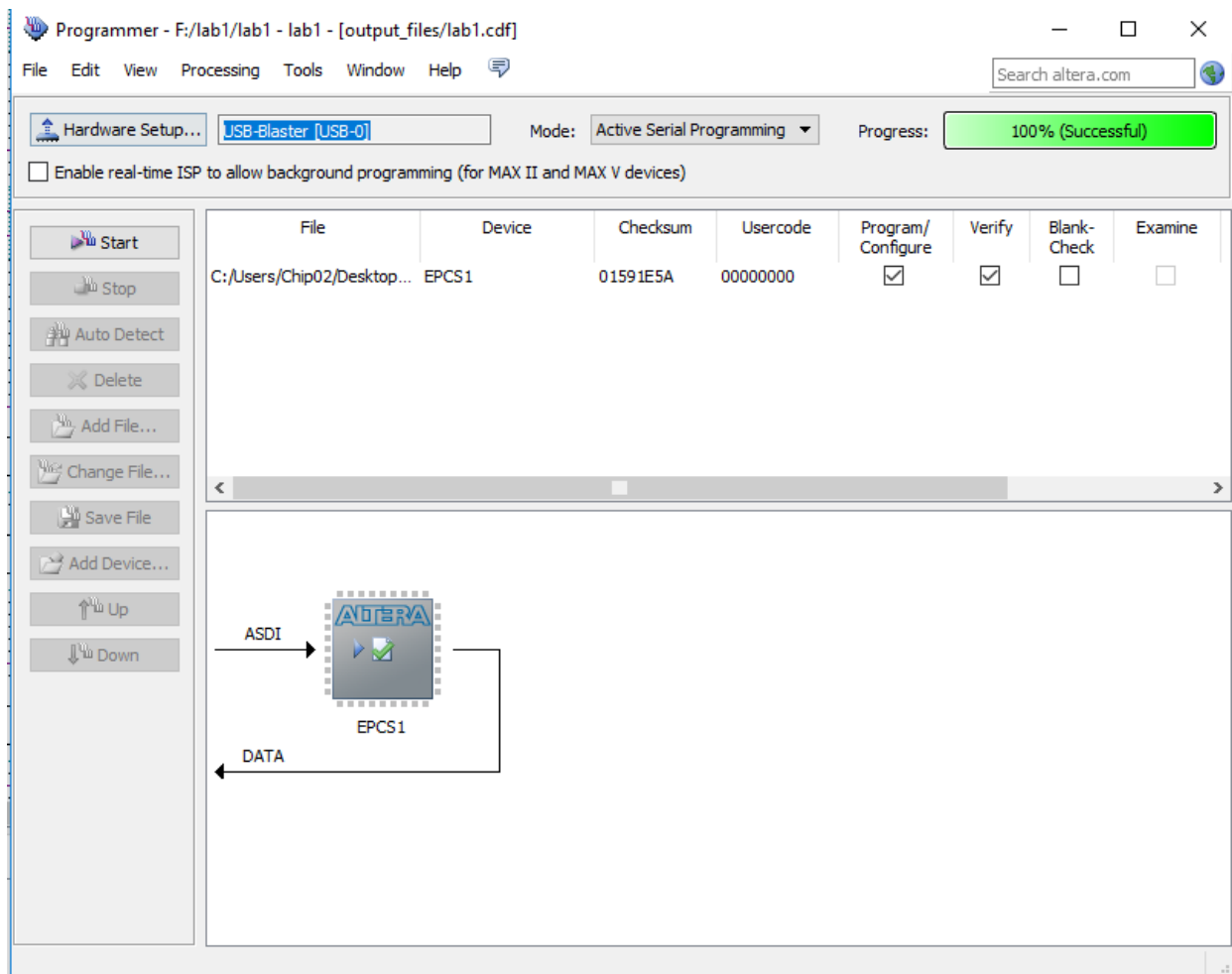


Рисунок 5. Выгрузка схемы на плату

После выгрузки схемы на плату была проверена корректность работы реализуемой логической функции. В результате было получено полное совпадение между таблицей истинности функции и работой модели.

Вывод: в результате выполнения лабораторной работы был освоен процесс проектирования цифровой схемы в системе автоматизированного проектирования Quartus II. Успешно были пройдены следующие этапы: создание цифровой схемы в графическом редакторе, моделирование работы схемы, загрузка результатов проектирования в программируемую логическую интегральную схему и проведение макетного эксперимента.