**МИНОБРНАУКИ РОССИИ  
Санкт-Петербургский государственный  
электротехнический университет  
«ЛЭТИ» им. В.И. Ульянова (Ленина)**

**Факультет компьютерных технологий и информатики**

**Кафедра вычислительной техники**

**Пояснительная записка к курсовому проекту**

**по дисциплине «Элементная база цифровых систем»**

**«Формирователь импульсной последовательности с линейноизменяющимися интервалами между импульсами»**

|  |  |  |
| --- | --- | --- |
| Студент гр. 0305 | \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | Иванов А. Н. |
| Преподаватель | \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | Бондаренко П. Н. |

Санкт-Петербург  
2023

**Содержание**

[1. Задание на проектирование узла 3](#_Toc136433478)

[2. Описание предлагаемых вариантов реализации узла 4](#_Toc136433479)

[2.1 Схема на основе двоичного счётчика с мультиплексором 4](#_Toc136433480)

[2.2. Схема на основе дешифратора 5](#_Toc136433481)

[3. Описание основных элементов библиотеки САПР Quartus II необходимых для реализации вариантов узла 6](#_Toc136433482)

[4. Описание процесса синтеза и моделирования работы предложенных вариантов средствами САПР Quartus II 7](#_Toc136433483)

[4.1 Синтез и моделирование узла на двоичном счётчике 7](#_Toc136433484)

[4.2. Синтез и моделирование узла на дешифраторе 8](#_Toc136433485)

[5. Разработка интерфейса сопряжения схемы узла с процессорной системой 9](#_Toc136433486)

[6. Схемы устройства по ГОСТ 10](#_Toc136433487)

[7. Подробное описание работы устройства 11](#_Toc136433488)

[8. Описание частоты генератора тактовых импульсов 13](#_Toc136433489)

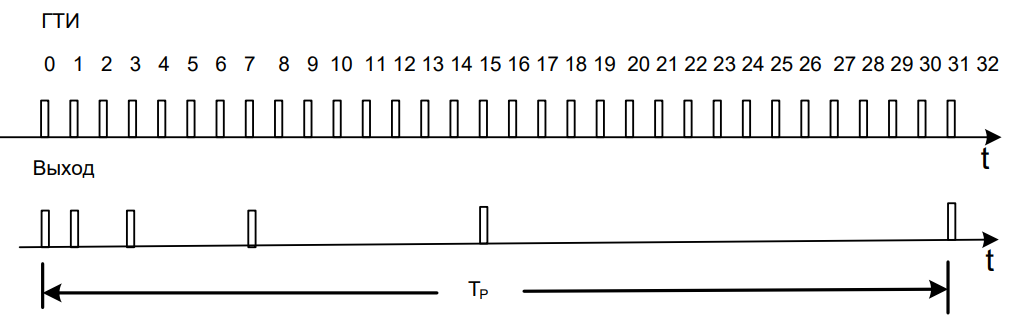
[Заключение по проделанной работе 14](#_Toc136433490)

[Список использованной литературы 15](#_Toc136433491)

1. Задание на проектирование узла

Вариант 2.1.

Разработать узел, формирующий заданную последовательность импульсов. Входные сигналы частоты f = 1/T поступают от генератора ГТИ (генератор разрабатывается). Выходная последовательность периодична с периодом ТР. Узел рассматривается как внешнее устройство процессорной системы. Сигналы пуска и останова поступают из управляющего устройства (процессора), количество периодов работы от пуска до останова фиксируется счетчиком (их максимальное число 100).



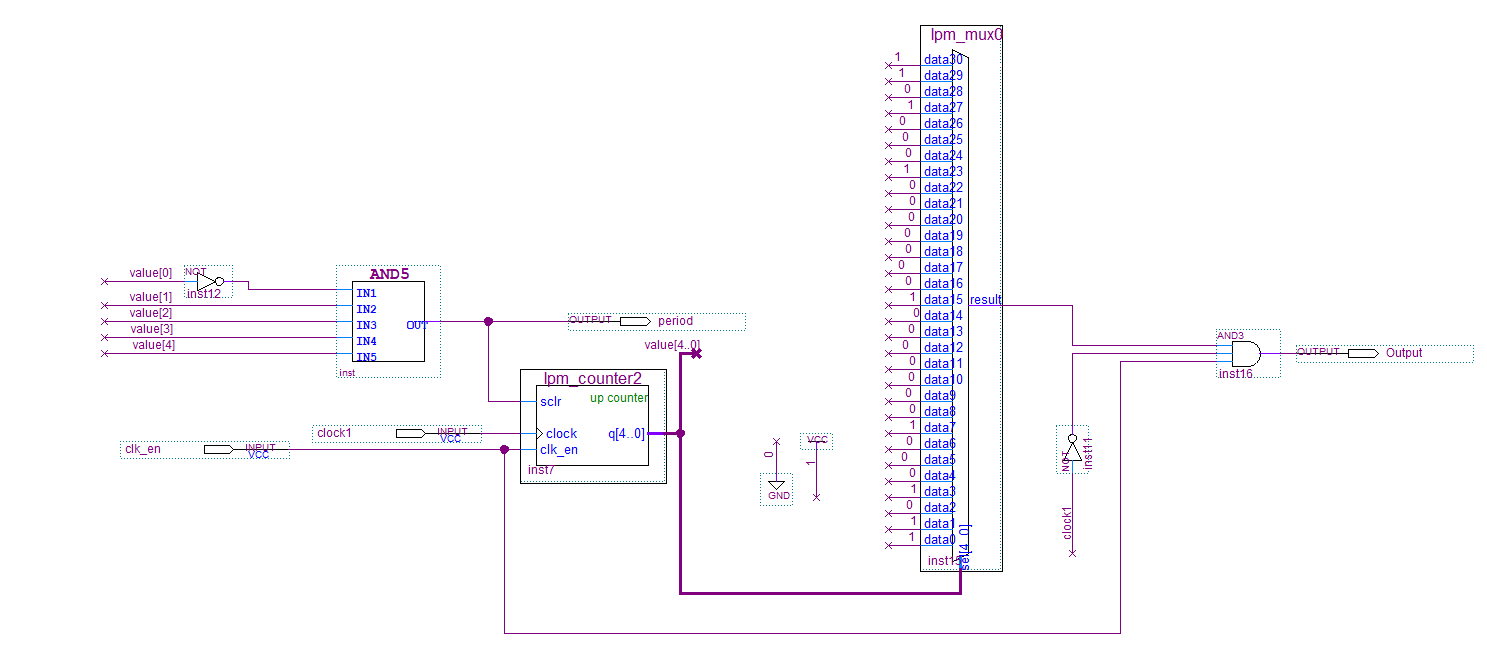
*Таблица 1. Задание*

|  |  |  |  |
| --- | --- | --- | --- |
| Tp | Номера импульсов, проходящих на выход формирователя | Начальный адрес | θ |
| 30 | 0,1,3,7,15,23,27,29,30 | 30h | 4 |

Критерий выбора наилучшего варианта — минимум аппаратных затрат.

2. Описание предлагаемых вариантов реализации узла

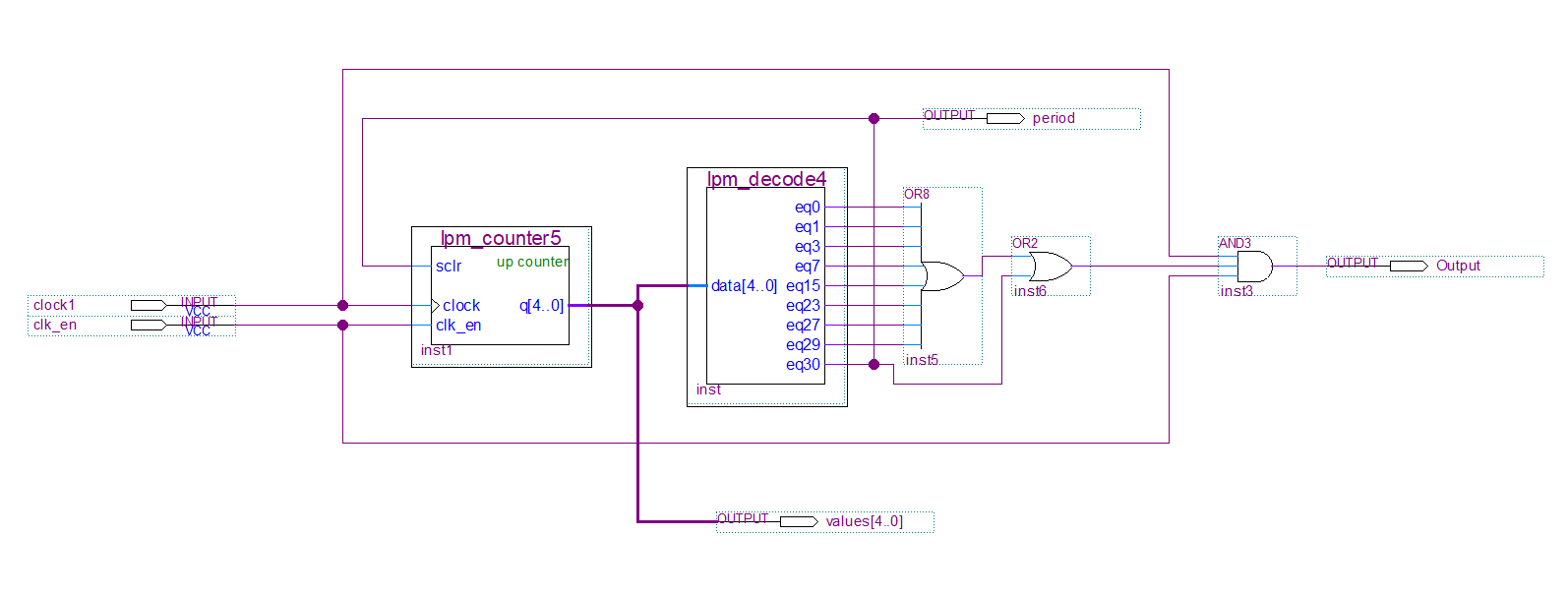
2.1 Схема на основе двоичного счётчика с мультиплексором

**

*Рисунок 1. Схема на основе двоичного счётчика с мультиплексором*

Вход clk принимает импульсы с генератора, эти импульсы подаются на увеличивающий вход 5-разрядного двоичного счётчика. Выходы этого счётчика подаются на вход мультиплексора, который, в зависимости от числа на входе, выдает определенный сигнал («1» или «0») – таким образом мы получаем номер импульса в текущем периоде. Счетчик будет считать от 0 до 30 включительно, после чего сбрасывается и начинает новый период, потому как реализация элемента И5 позволяет это контролировать. Последний же элемент И3 нужен для проверки правильности работы схемы и настройки скважности.

2.2. Схема на основе дешифратора

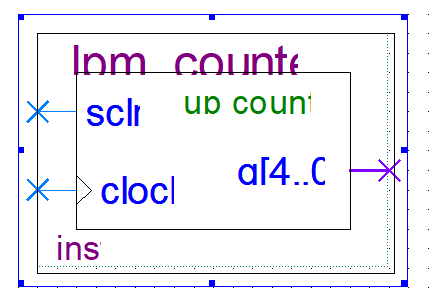


*Рисунок 2. Схема на основе двоичного счётчика с дешифратором*

Вход clk принимает импульсы с генератора, эти импульсы подаются на увеличивающий вход 5-разрядного двоичного счётчика. Выходы этого счётчика подаются на вход дешифратора, который, в зависимости от числа на входе, выдает определенный сигнал («1» или «0») – таким образом мы получаем номер импульса в текущем периоде. Счетчик будет считать от 0 до 30 включительно, после чего сбрасывается и начинает новый период (в отличии от мультиплексора, логика в таком случае не понадобится, достаточно просто следить за 30 выходом в дешифраторе). Последний же элемент И3 нужен для проверки правильности работы схемы и настройки скважности.

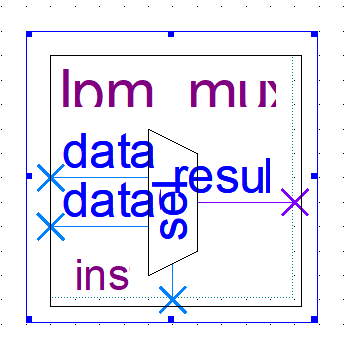
3. Описание основных элементов библиотеки САПР Quartus II необходимых для реализации вариантов узла

Для реализации различных вариантов узла в САПР QUARUS II, помимо логических примитивов, которые не нуждаются в особом описании, использованы элементы библиотеки, которые будут описаны ниже.



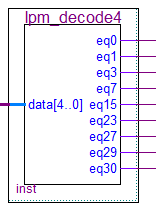
*Рисунок 3. Мегафункция lpm\_counter*

Представляет собой двоичный счётчик. В Quartus доступны различные варианты конфигурации, но в этой работе используется только суммирующий 5-разрядный счётчик с синхронизацией по переднему фронту, синхронным асинхронным сбросом.



*Рисунок 4. Мегафункция lpm\_mux*

Представляет собой мультиплексор. В Quartus доступны различные варианты конфигурации, но в этой работе используется только мультиплексор 30 в 1 для реализации счетчика на основе мультиплексора.



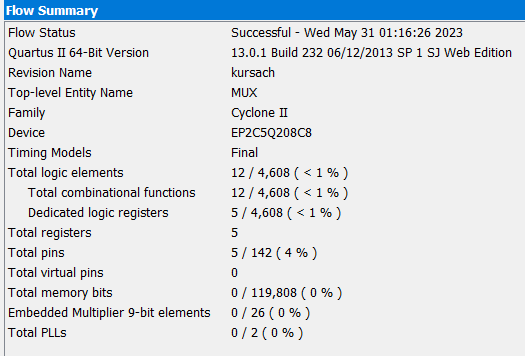
*Рисунок 5. Мегафункция lpm\_decode*

Представляет собой дешифратор. В Quartus доступны различные варианты конфигурации, но в данной работе используется только вариант на 9 входов.

4. Описание процесса синтеза и моделирования работы предложенных вариантов средствами САПР Quartus II

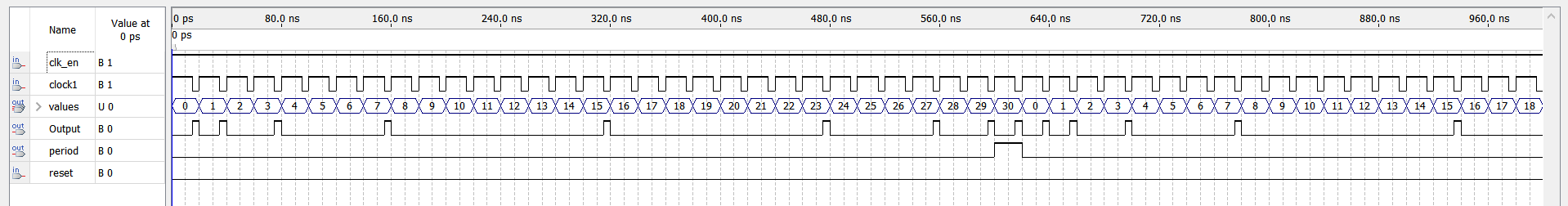
4.1 Синтез и моделирование узла на двоичном счётчике

Основываясь на примитивах, описанных в разделе 3, узел был синтезирован в САПР QUARTUS II. Описание функционирования данного узла дано в разделе 2.1. Результат компиляции данной схемы представлен на рисунке 6.

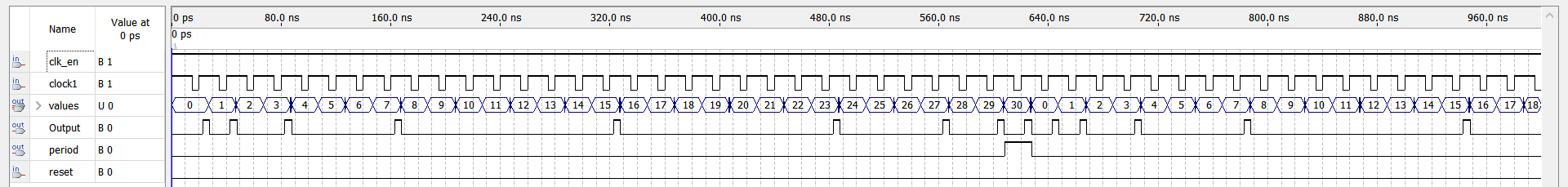


*Рисунок 6. Результаты компиляции схемы*

Было проведено моделирование работы схемы, результаты представлены на следующих рисунках. Функциональное моделирование показывает, что схема работает правильно.



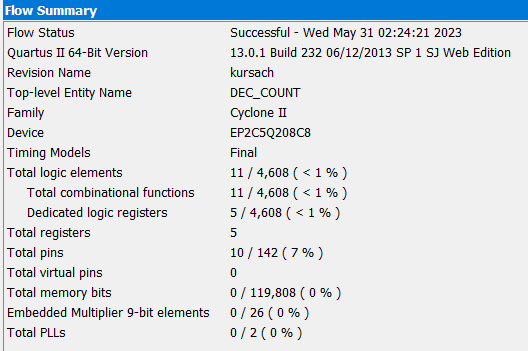
*Рисунок 7. Функциональное моделирование работы*



*Рисунок 8. Временное моделирование работы*

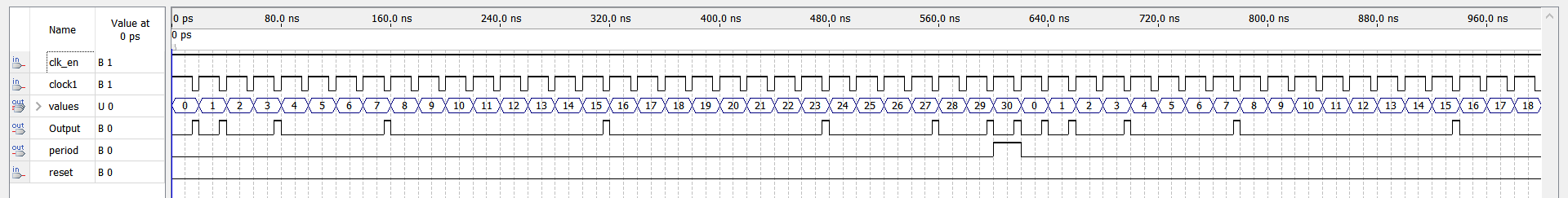
4.2. Синтез и моделирование узла на дешифраторе

Основываясь на примитивах, описанных в разделе 3, узел был синтезирован в САПР QUARTUS II. Описание функционирования данного узла дано в разделе 2.2. Результат компиляции данной схемы представлен на рисунке 9.

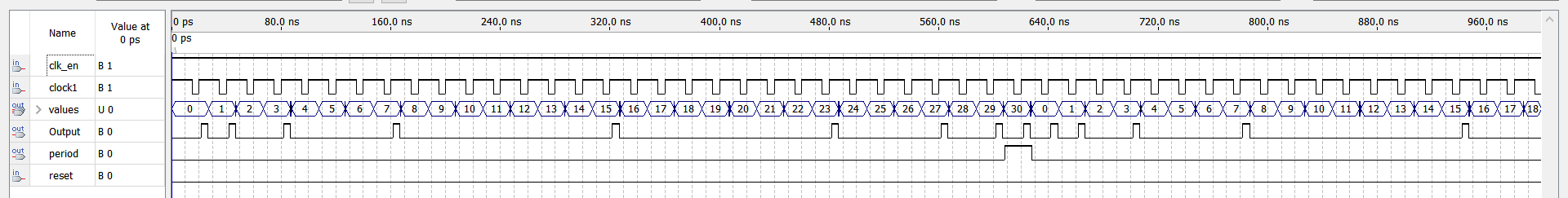


*Рисунок 9. Результаты компиляции схемы*

Было проведено моделирование работы схемы, результаты представлены на следующих рисунках. Функциональное моделирование показывает, что схема работает правильно.



*Рисунок 10. Функциональное моделирование работы*

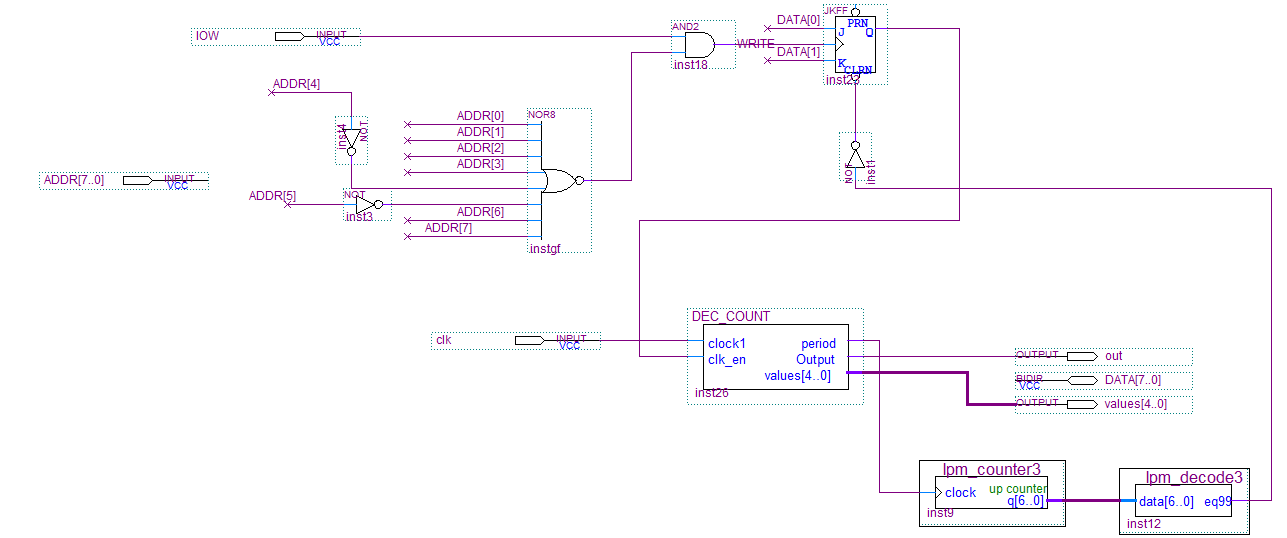


*Рисунок 11. Временное моделирование работы*

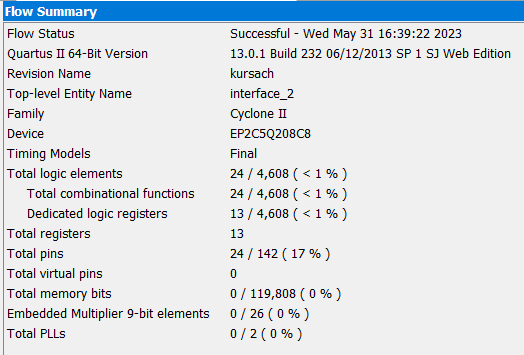
Можно сделать вывод, что вариант реализации на двоичном счётчике и дешифраторе является наилучшим из предложенных, так как он состоит из наименьшего числа элементов.

5. Разработка интерфейса сопряжения схемы узла с процессорной системой

Для дальнейшей реализации устройства был сделан выбор в пользу узла на основе счётчика с дешифратором. Был спроектирован интерфейс, показанный на рис. 12.



*Рисунок 12. Интерфейс для сопряжения с процессорной системой*

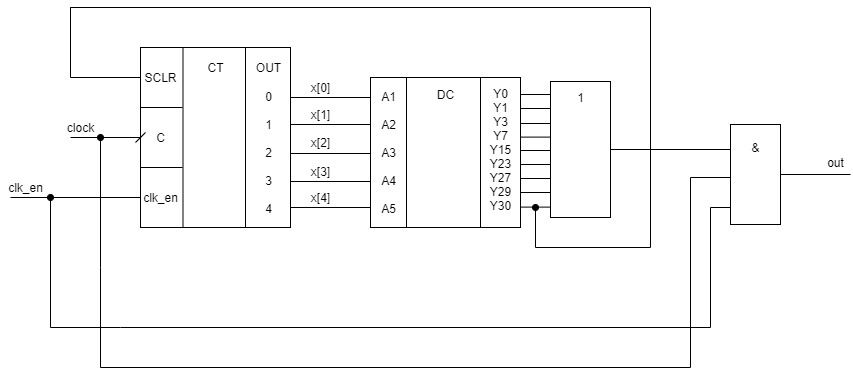


*Рисунок 13. Результаты компиляции*

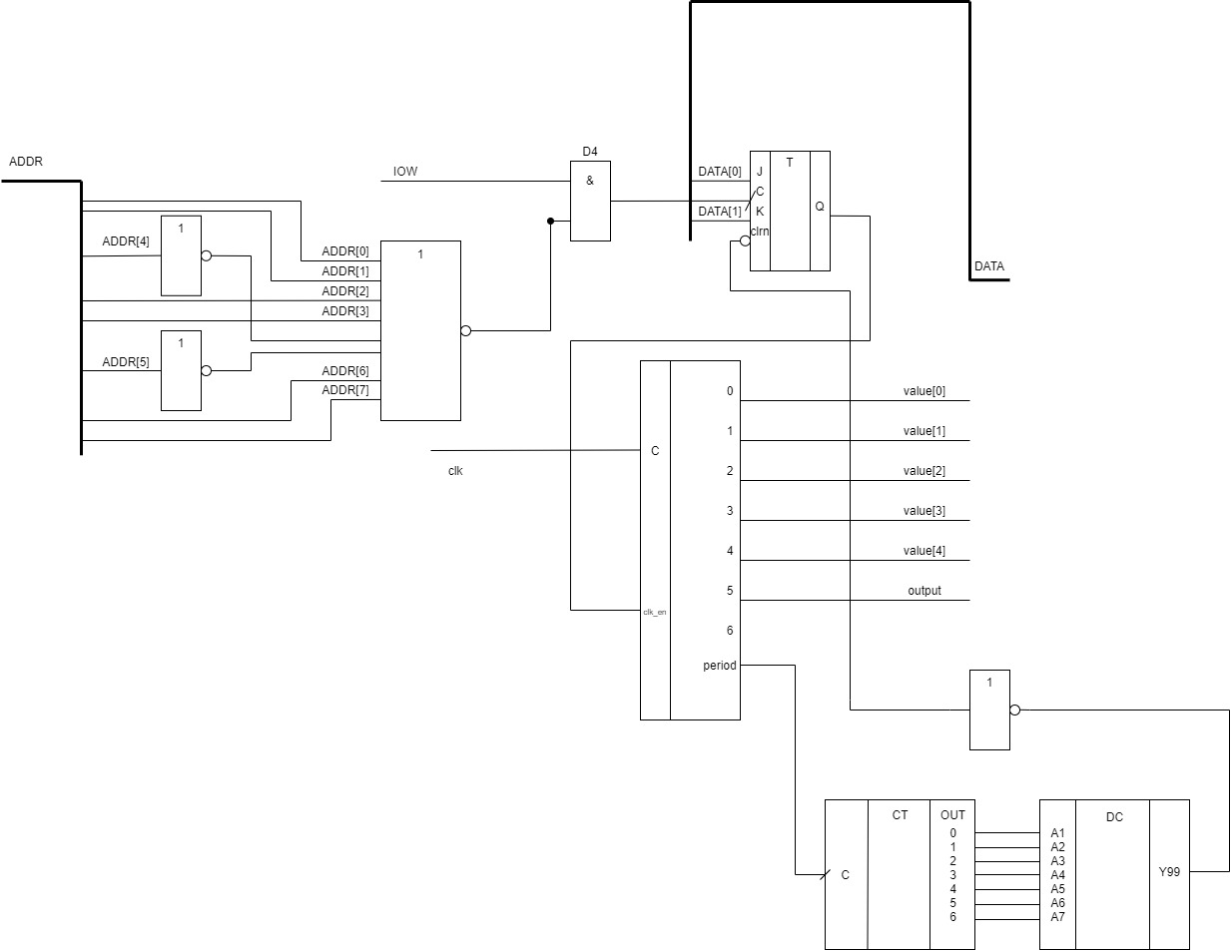
При проектировании интерфейса были поставлены следующие требования: устройство имеет адрес 30h; по сигналу START (подача на шину данных «01») устройство начинает работу, по сигналу STOP (подача на шину данных «10») устройство останавливает работу (активируется при достижении 100 периодов работы).

6. Схемы устройства по ГОСТ

Ниже приводятся схемы элементов устройства с учётом требований ГОСТ:



*Рисунок 14. Схема узла на основе счётчика и дешифратора по ГОСТ*



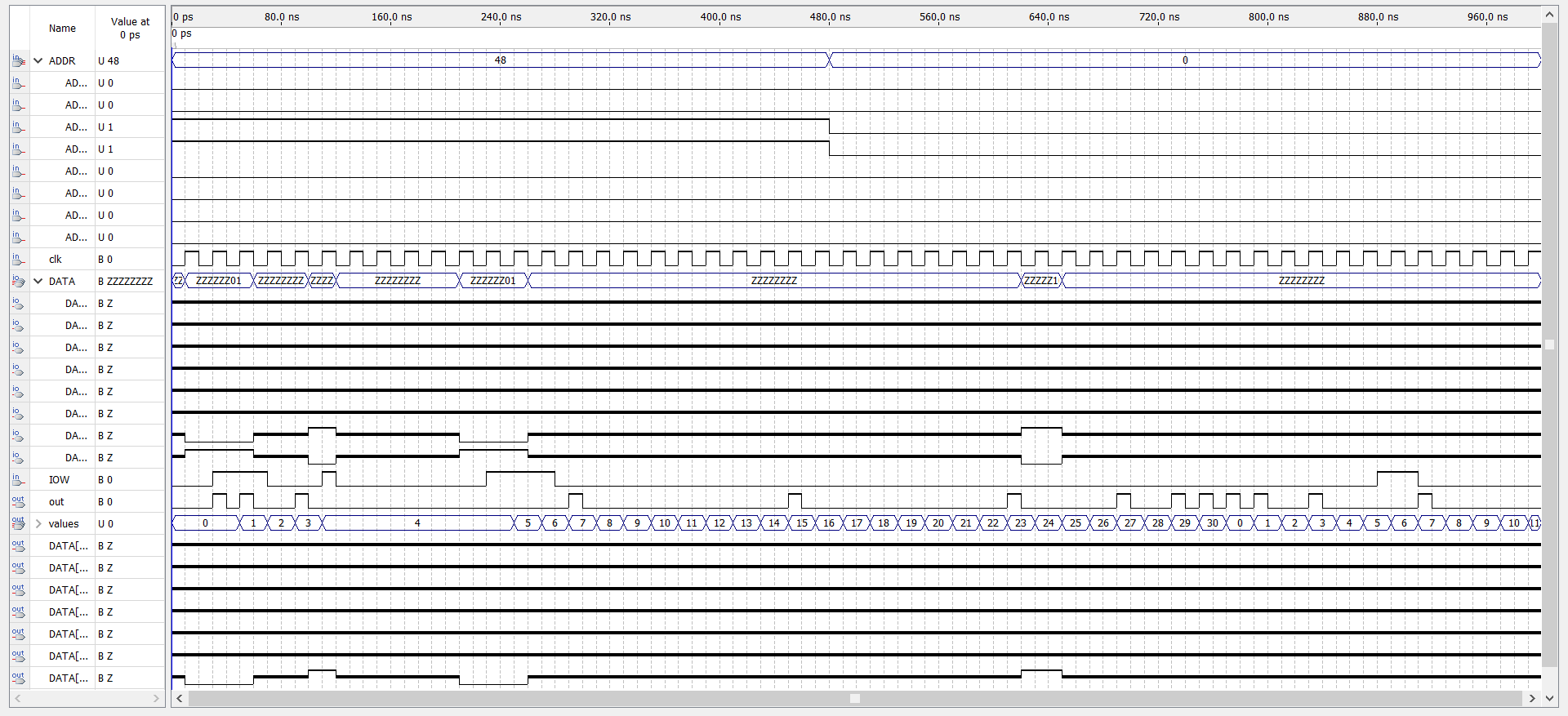
*Рисунок 15. Схема интерфейса по ГОСТ*

7. Подробное описание работы устройства

Хранение последней полученной команды реализовано при помощи JK-триггера, 0 бит шины данных соединён с входом J, 1 бит с входом K; таким образом, комбинация «10» в младших битах шины образует на выходе триггера 1, комбинация «01» образует 0. Поступающие для распределения импульсы распределяются узлом, когда выход триггера равен 1; Когда устройство завершило полный период работы, триггер сбрасывается в 0 и работа приостанавливается.

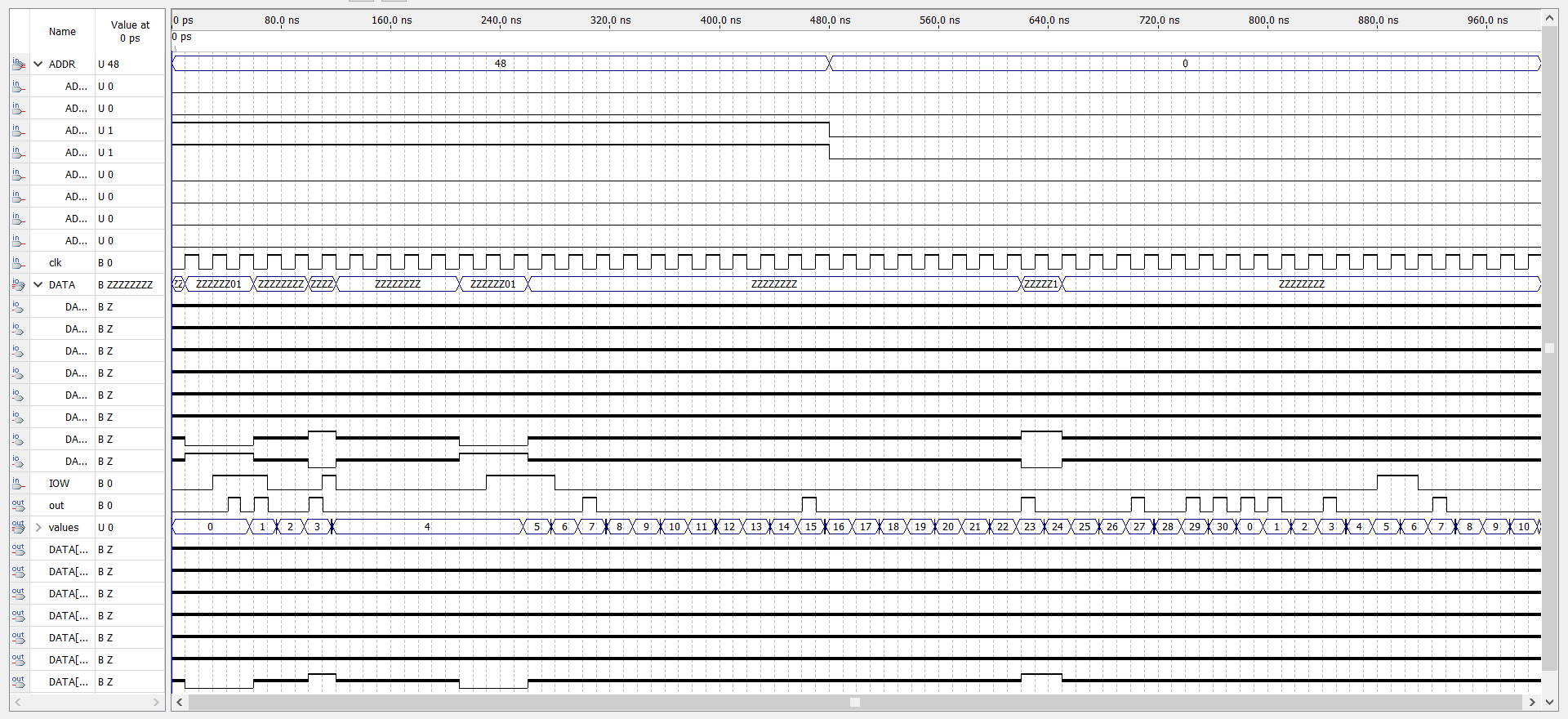
Для определения адреса не нужен полный дешифратор: достаточно только определить, равен ли адрес в шине 30h – единственному адресу устройства.

Ниже приведены результаты моделирования.



*Рисунок 16. Результаты функционального моделирования*

Функциональное моделирование показывает процесс работы устройства. По нему видно, что она соответствует ожиданиям. Видно, что устройство реагирует на команды только, когда в шине адреса записано 30h; видно, как устройство реагирует на команды: если подаётся сигнал IOW, то комбинация «01» в 0 и 1 битах данных заставляет устройство прекратить работу; комбинация «10» запускает устройство. Отработав период, устройство останавливается.

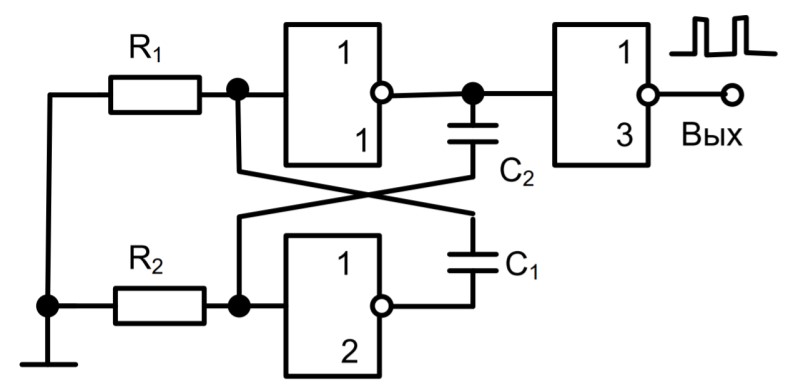


*Рисунок 17. Результаты временного моделирования*

Временное моделирование показывает, что устройство работает стабильно и без помех. Присутствует задержка примерно в два такта на выходах узла.

8. Описание частоты генератора тактовых импульсов

При допустимой нестабильности частоты порядка единиц процентов применяют простые кольцевые генераторы или RC-генераторы, с время задающими элементами в виде цепочек, содержащих конденсаторы и резисторы.



*Рисунок 18. Генератор тактовых импульсов*

Для ГТИ с рисунка 32 длительности импульса и паузы равны соответственно 0,8R1C1 и 0,8R2C2. Тогда частота генератора обратна периоду и равна:

1

ν =

0.8(𝑅1𝐶1 + 𝑅2𝐶2)

Скважность равна отношению периода и длины импульса:

𝑅1𝐶1 + 𝑅2𝐶2

S =

𝑅1𝐶1

По условию скважность S равна 4; устройство корректно работает при импульсе в 8 нс. Для надежности округлим до 10 нс – таковой должна быть минимальная длительность импульса для корректной работы устройства. Тогда минимальный период T составит 40 нс (с учётом скважности), отсюда максимальная частота ν равна 25 МГц. Рассчитав параметры цепи генератора, получаем округленные значения: 𝑅1 = 1.3 Ом, 𝑅2 = 18 Ом, 𝐶1 = 10 нФ, 𝐶2 = 2.2 нФ.

Заключение по проделанной работе

В процессе выполнения курсовой работы был разработан многорежимный формирователь импульсных последовательностей. Были предложены несколько вариантов его реализации: на основе счётчика и дешифратора; на основе счётчика и мультиплексора; из этих вариантов был выбран наилучший.

Выбранный вариант реализации был снабжён интерфейсом для сопряжения с процессорной системой.

Был также выбран подходящий генератор тактовых импульсов.

Устройство было синтезировано в САПР QUARTUS II, после чего, было произведено временное моделирование для подтверждения правильности его работы.

Список использованной литературы

1. Угрюмов Е. П. Цифровая схемотехника: учеб. пособие для вузов. —БХВ-Петербург, 1-еизд.2000г., 2-еизд.2006г., 3-еизд. 2010г.— 797c.

2. Комолов Д. А., Мяльк Р. А., Зобенко А. А., Филиппов А. С. Системы автоматизированного проектирования фирмы Altera MAX+plusII и QuartusII. Краткое описание и самоучитель.– М.: ИП РадиоСофт, 2002– 352с.

3. Артамонов А.Б., Смирнов А.М. Интерфейсные БИС микропроцессорных комплектов: учеб. пособие./ЛЭТИ.— Л.,1990.

4. www.altera.com/literature/catalogs/lpm.pdf (Справочник по элементам LPM)