**МИНОБРНАУКИ РОССИИ  
Санкт-Петербургский государственный  
электротехнический университет  
«ЛЭТИ» им. В.И. Ульянова (Ленина)  
Кафедра вычислительной техники**

отчет  
**по лабораторной работе №5  
по дисциплине «Элементная база цифровых систем»  
Тема**: **Исследование регистров**

|  |  |  |
| --- | --- | --- |
| Студенты гр. 0305 | \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | Иванов А. Н. |
|  | \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | Осипцов Н. А. |
| Преподаватель | \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | Бондаренко П. Н. |

Санкт-Петербург  
2023

Цель работы: исследовать особенности проектирования регистров различного типа, закрепить навыки синтеза и экспериментального исследования узлов в среде Quartus II.

Вариант: 6.

## Теоретические сведения

Регистры – это узлы последовательностного типа, выполняющие операции приёма, выдачи, хранения, сдвига, поразрядные логические операции. Регистры строятся на базе триггеров и логических элементов.

Главным классификационным признаком является способ приёма и выдачи данных. По этому признаку различают:

– параллельные (статические): приём и выдача слов производятся по всем разрядам одновременно);

– последовательные (сдвигающие): слова принимаются и выдаются разряд за разрядом, перемещение слов по разрядной сетке выполняется по тактовому сигналу;

– параллельно-последовательные: имеют входы-выходы последовательного и параллельного типа. Имеются варианты с последовательным входом и параллельным выходом (SIPO, Serial Input – Parallel Output), параллельным входом и последовательным выходом (PISO, Parallel Input – Serial Output), а также варианты с возможностью любого сочетания способов приёма и выдачи слов.

Общими для разрядов регистров обычно являются цепи тактирования, сброса/установки, разрешения выхода или приема, т. е. цепи управления.

Регистр, реализующий функцию сдвига, может быть нереверсивным (с однонаправленным сдвигом) или реверсивным (с возможностью сдвига в обоих направлениях). Направление сдвига в регистре – не геометрическое понятие и определяется сдвигом в сторону старших или младших разрядов. Варианты реализации функции сдвига приведены на рисунке.

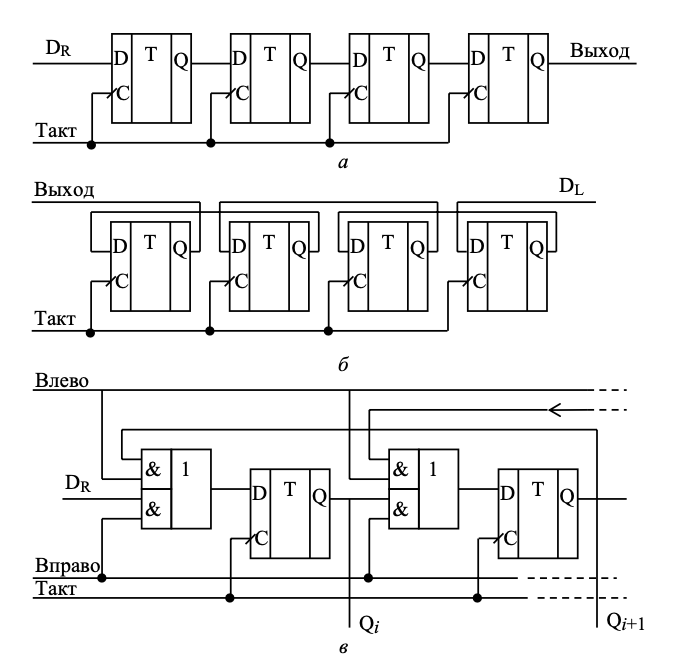


Рисунок 1. Варианты реализации функции сдвига: а – вправо, б – влево, с – реверсивный

В сдвигающих регистрах, не имеющих логических элементов в межразрядных связях, нельзя применять одноступенчатые триггеры, управляемые уровнем, поскольку некоторые триггеры могут за время действия разрешающего уровня синхросигнала переключиться неоднократно, что недопустимо для последовательного соединения: слово или его часть могут сместиться по разрядной сетке не на один разряд, как это требуется, а на большее неконтролируемое число разрядов.

Появление в межразрядных связях логических элементов упрощает выполнение условий работоспособности регистров, при этом иногда становится возможным и применение простейших триггеров. Триггеры с динамическим управлением или двухступенчатые обеспечивают работоспособность регистра.

**Задание на лабораторную работу**

Лабораторная работа состоит из двух частей.

Часть 1. Предполагает разработку 4-разрядного параллельного регистра с использованием триггеров заданного типа. Дополнительно указывается фронт тактового сигнала, по которому происходит срабатывание (↑ – подъём тактового сигнала, ↓ – спад тактового сигнала).

Таблица 1. Варианты заданий



В качестве базовых элементов использовать соответствующие примитивы библиотеки САПР Quartus II.

Часть 2. Предлагается разработать многофункциональный регистр на базе D-триггеров. Условное графическое обозначение (УГО) многофункционального регистра приведено на рисунке.

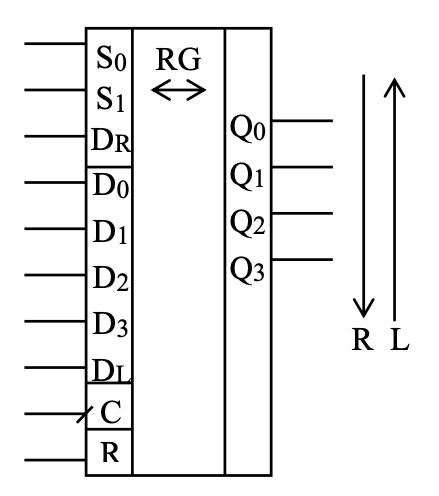


Рисунок 2. УГО многофункционального регистра

В зависимости от реализуемых операций в регистре должны быть предусмотрены следующие входы:

D0 – D3 – разряды входного параллельного кода;

Q0 – Q3 – разряды выходного параллельного кода;

C – синхросигнал приёма параллельного кода, обеспечивающий срабатывание по переднему фронту;

R – асинхронный вход сброса регистра;

S0, S1 – входы задания микроопераций;

DR, DL – последовательные входы при сдвиге вправо и влево соответственно.

Для реализации асинхронного сброса триггера – сброса, не связанного с тактовым сигналом, следует использовать соответствующие входы CLRN примитива D-триггера DFF. Синхронный сброс, который переводит триггер в состояние «сброс» только на активном фронте тактового сигнала, может быть реализован как часть комбинационной логики, генерирующей входные данные на входе D-триггера.

Варианты заданий и выполняемые микрооперации приведены в таблицах ниже.

Таблица 2. Варианты Таблица 3. Микрооперации



В каждом варианте предполагается реализация четырёх микроопераций. Кодирование выполняется самостоятельно, код формируется на входах S0, S1 многофункционального регистра.

Последовательность выполнения работы

Часть 1:

1. Создать проект, с использованием средств графического редактора подготовить схему регистра в соответствии с заданием.

2. Компилировать проект, исправить ошибки, если они есть.

3. Выполнить функциональное моделирование проекта, обеспечив полный перебор возможных значений входных сигналов, убедиться в правильности работы схемы.

4. Выполнить временное моделирование, проанализировать полученную временную диаграмму, оценить максимальную частоту работы регистра на основании временных параметров комбинационной логики.

Часть 2:

1. Разработать схему многофункционального регистра в соответствии с заданием.

2. Создать проект с использованием средств графического редактора, ввести в него подготовленную схему многофункционального регистра. Компилировать проект, исправить ошибки, если они есть.

3. Выполнить функциональное моделирование проекта, обеспечив полный перебор возможных значений входных управляющих сигналов, убедиться в правильности работы схемы.

4. Скорректировать схему проекта, обеспечив понижение частоты входного тактового сигнала с помощью специально добавленного счетчика таким образом, чтобы можно было комфортно наблюдать работу регистра при выполнении сдвигов. Проверить работу схемы на макетной плате. Данные, загружаемые в регистр, и код микрооперации формировать на движковых переключателях. Результаты работы проекта наблюдать на светодиодной линейке.

**Ход работы**

Разработка 4-разрядного параллельного регистра с использованием триггеров заданного типа.

Вариант задания приведён в таблице.

Таблица 4. Таблица с заданием на разработку 4-разрядного параллельного регистра с использованием триггеров заданного типа

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вариант | Тип триггера | Такт | Асинхронный сброс/установка | Разрешение выдачи |
| 6 | JK | ↓ | Сброс | L |

**Функциональная схема**

Функциональная схема для 4-разрядного параллельного регистра с использованием триггеров заданного типа представлена на рисунке 3. На следующей странице эта же схема, оформленная с учетом требований ГОСТ.

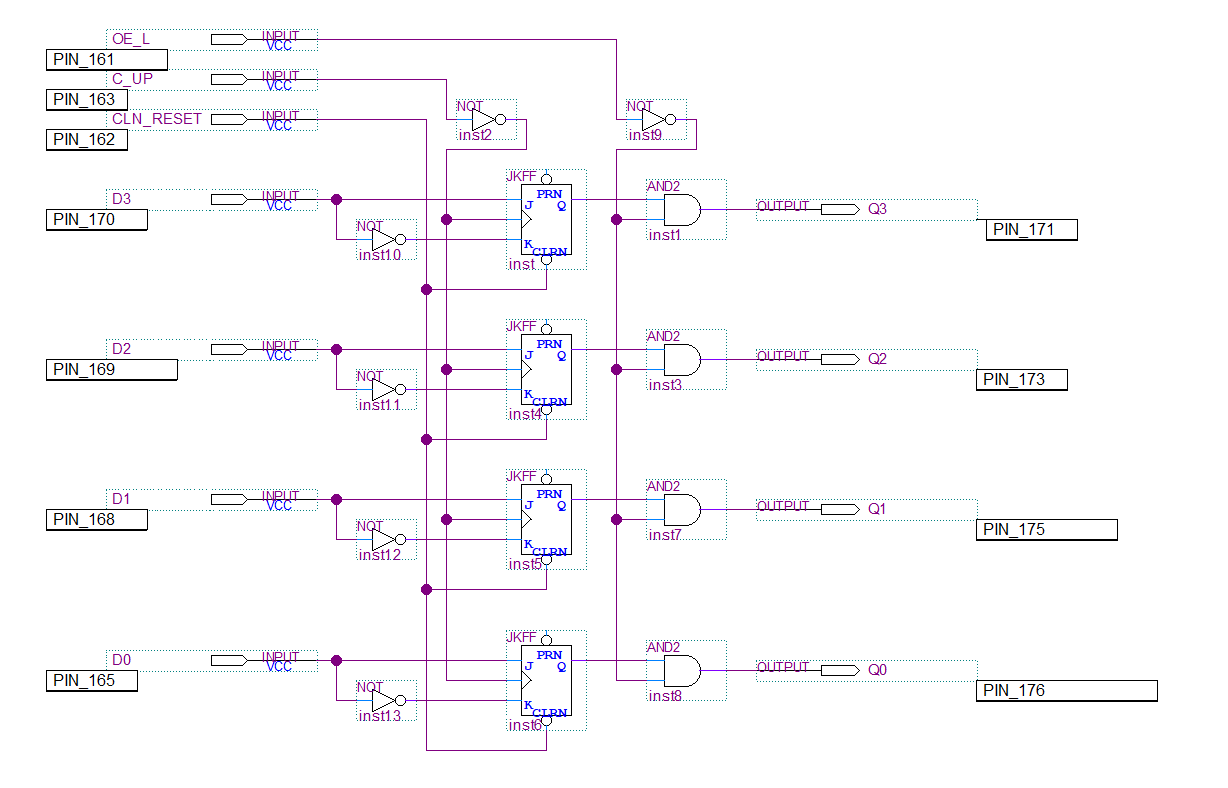
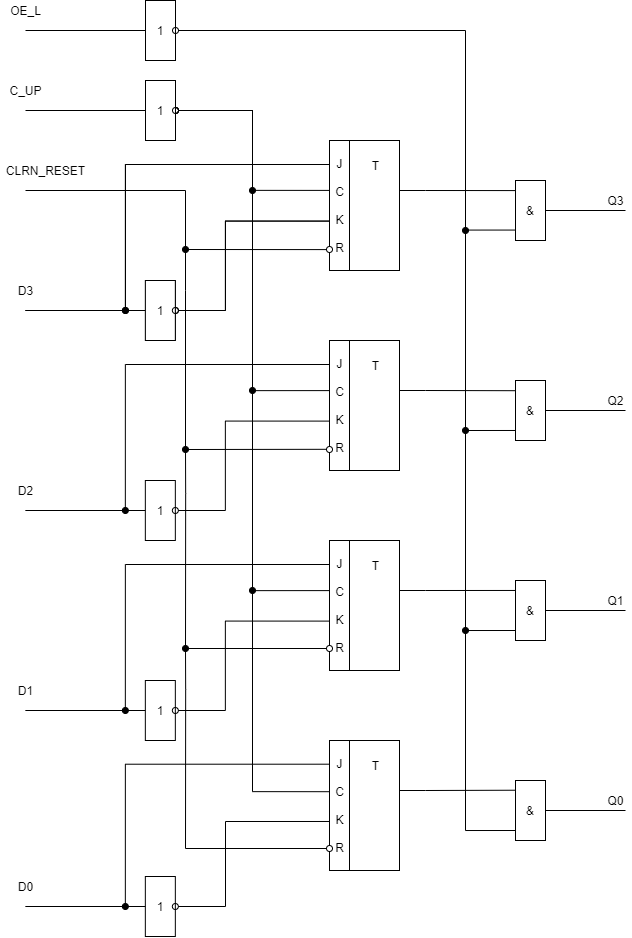


Рисунок 3. Функциональная схема



**Функциональное и временное моделирование**

Функциональные и временные диаграммы для 4-разрядного параллельного регистра с использованием триггеров заданного типа. При составлении диаграмм учтён полный перебор всех возможных комбинаций.

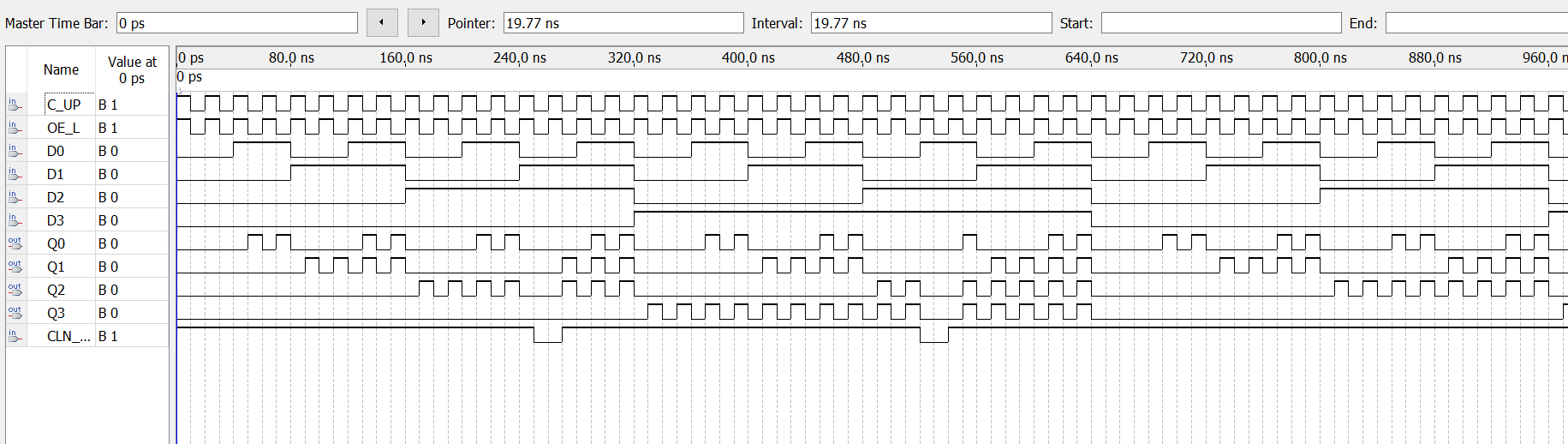


Рисунок 4. Функциональное моделирование

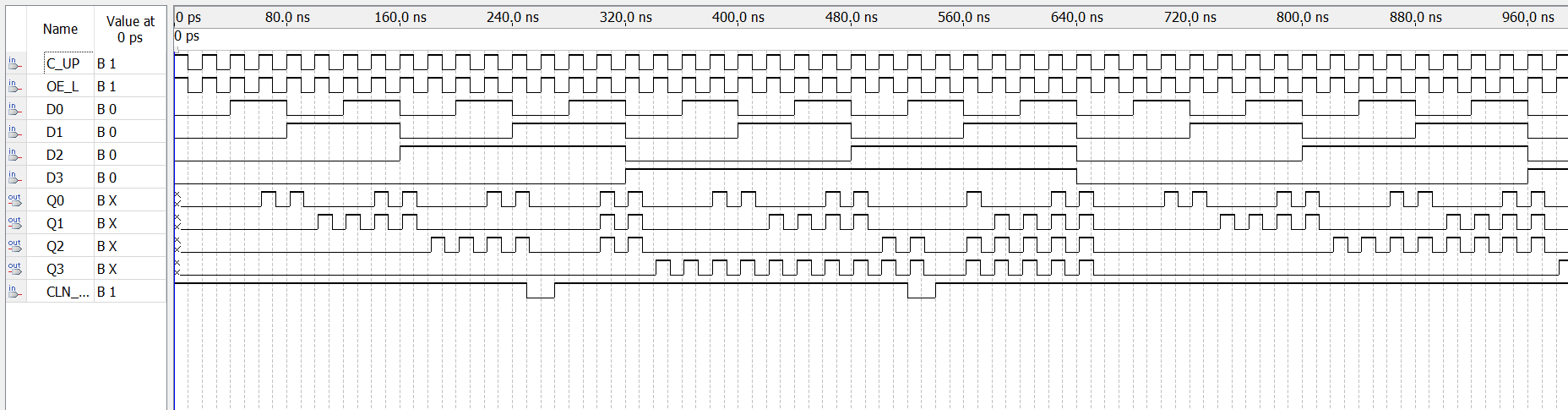


Рисунок 5. Временное моделирование

В результате функционального моделирования видно, что схема работает так, как ожидается. По спаду сигнала синхронизации происходит запись данных в регистр; данные из регистра можно прочитать, когда его разрешение выдачи имеет низкий уровень; очистка регистра тоже работает. Временное моделирование показывает, что схема имеет задержку чуть больше, чем один такт.

**Разработка многофункционального регистра на базе D-триггера.**

В таблицах 3–4 представлены вариант задания и выполняемые микрооперации данного варианта.

Таблица 5. Таблица с заданием на разработку многофункционального регистра на базе D-триггеров 1

|  |  |
| --- | --- |
| Вариант | Выполняемые микрооперации |
| 6 | 1, 4, 6, 12 |

Таблица 6. Таблица с заданием на разработку многофункционального регистра на базе D-триггеров 2

|  |  |
| --- | --- |
| Номер МО | Описание микрооперации |
| 1 | Параллельная загрузка |
| 4 | Установка в 1 всех разрядов |
| 6 | Сдвиг влево циклический |
| 12 | Сдвиг вправо, заполнение – 1 |

**Функциональная схема**

Функциональная схема для многофункционального регистра на базе D-триггеров представлена на рисунке 6. На следующей странице эта же схема, оформленная с учетом требований ГОСТ.

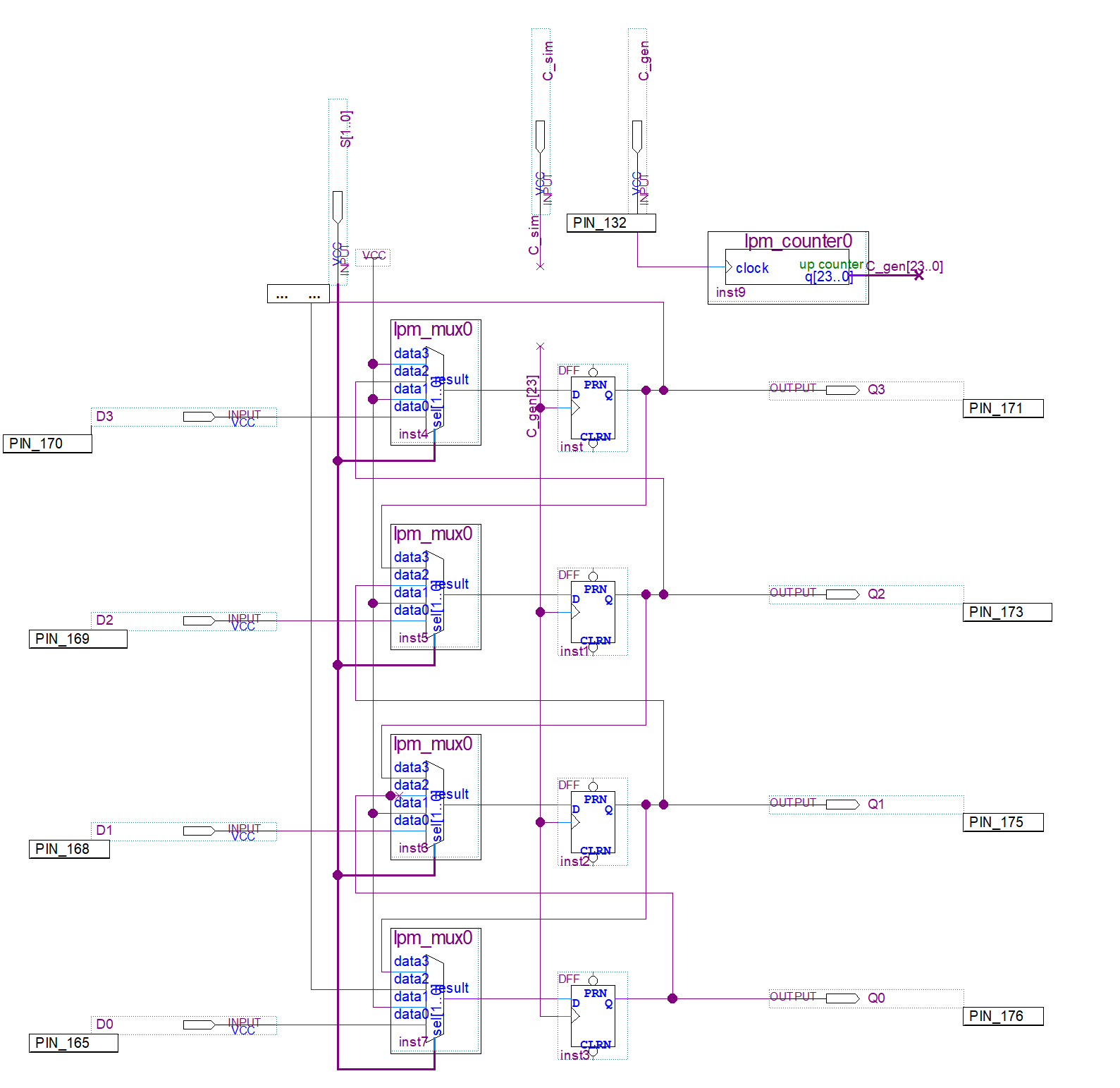
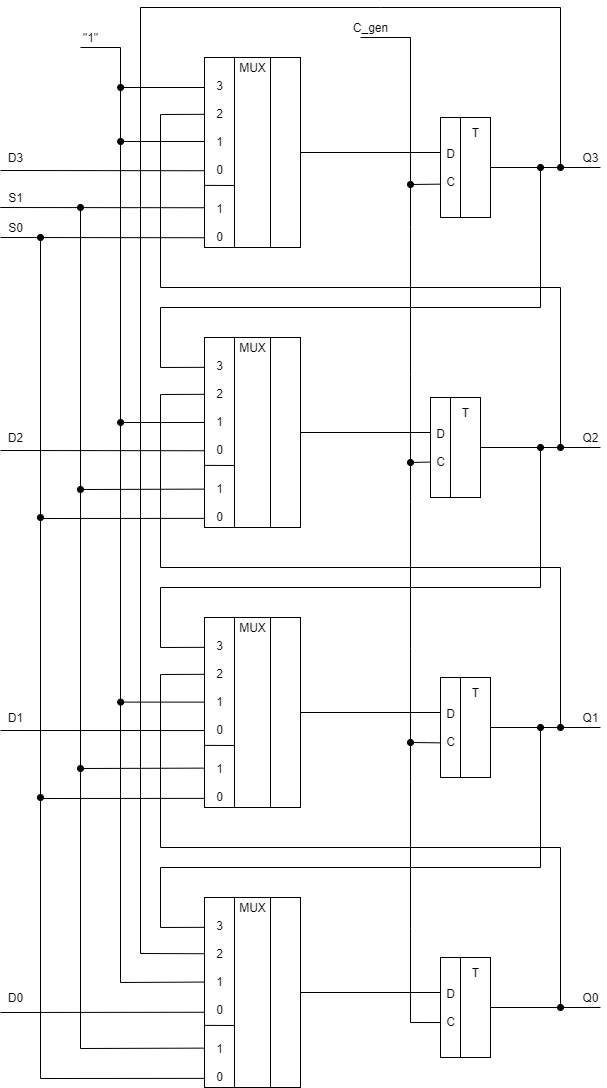


Рисунок 6. Функциональная схема



На рисунке 7 представлено условное графическое обозначение регистра по ГОСТ с учётом реализуемых микроопераций.

Рисунок 7. Условное графическое обозначение

**Функциональное и временное моделирование**

Функциональные и временные диаграммы для многофункционального регистра на базе D-триггеров представлены на рисунках 8 и 9.

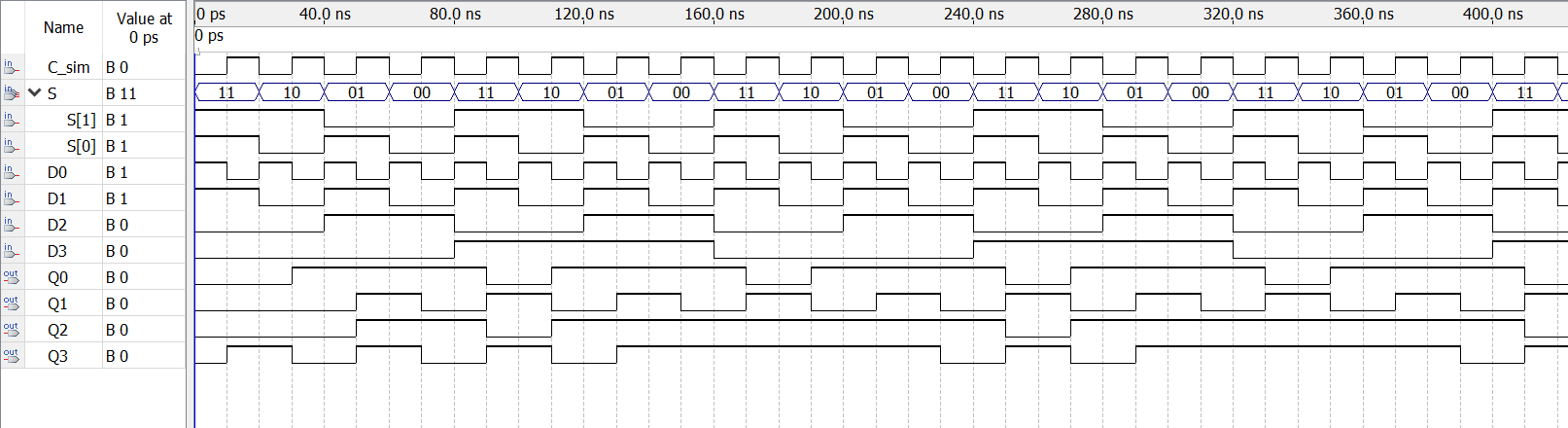


Рисунок 8. Результаты функционального моделирования

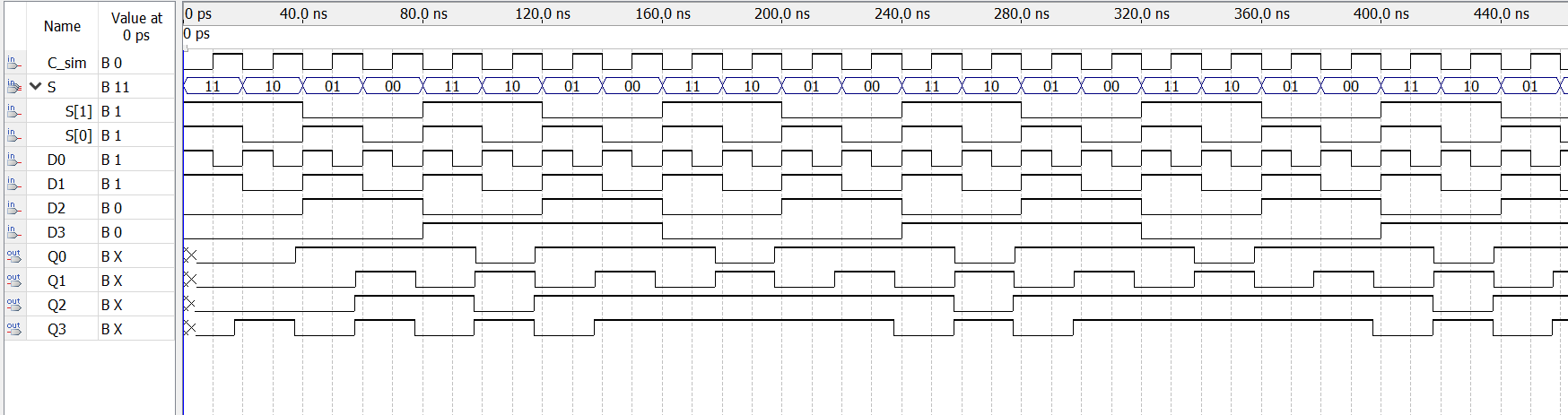


Рисунок 9. Результаты временного моделирования

В результате функционального моделирования видно, что схема работает так, как ожидается. По фронту сигнала синхронизации происходит исполнение заданной микрооперации; видно, что в регистр записываются данные, когда код операции 00; происходит заполнение регистра единицами, когда код 01; выполняется циклический сдвиг влево при коде 10 и сдвиг вправо с заполнением единицами, когда поступающий код равняется 11. Временное моделирование показывает, что схема имеет задержку чуть меньше, чем в два такта.

**Макетное моделирование**

После симуляций при помощи инструмента Pin Planner было установлено соответствие между входами и выходами моделируемой схемы и контактами на плате. Затем схема была выгружена на плату, после чего его работа была исследована при помощи средств, представляемых макетной платой. Наблюдается соответствие работы выгруженной схемы полученной ранее диаграмме функционального моделирования. На рисунке 10 представлен скриншот инструмена Pin Planner, где входам и выходам схемы поставлены в соответствие контакты на плате; Рисунок 11 показывает выгрузку схемы на плату.

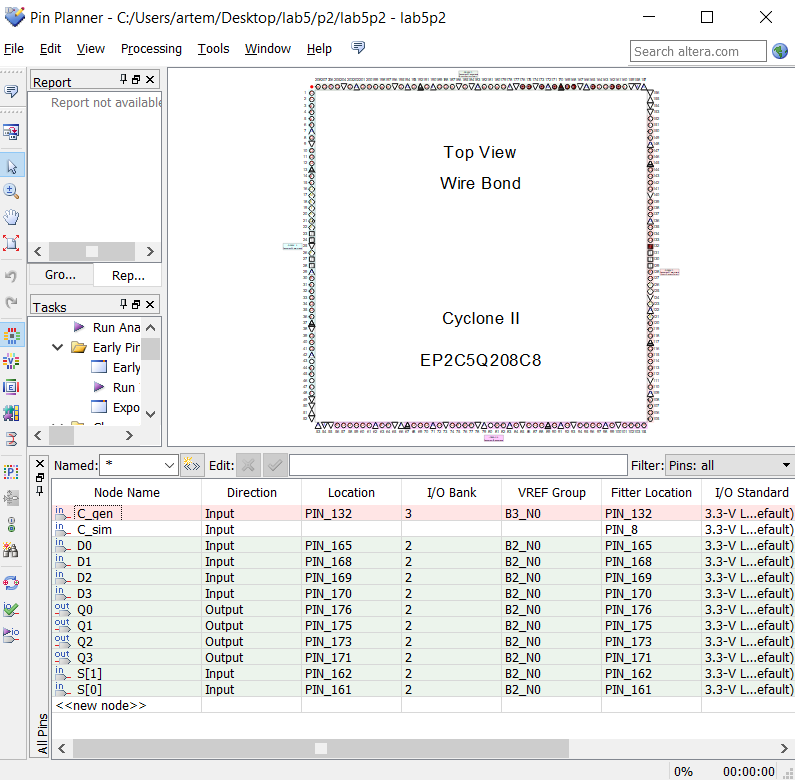


Рисунок 10. Утилита Pin Planner для макетного моделирования

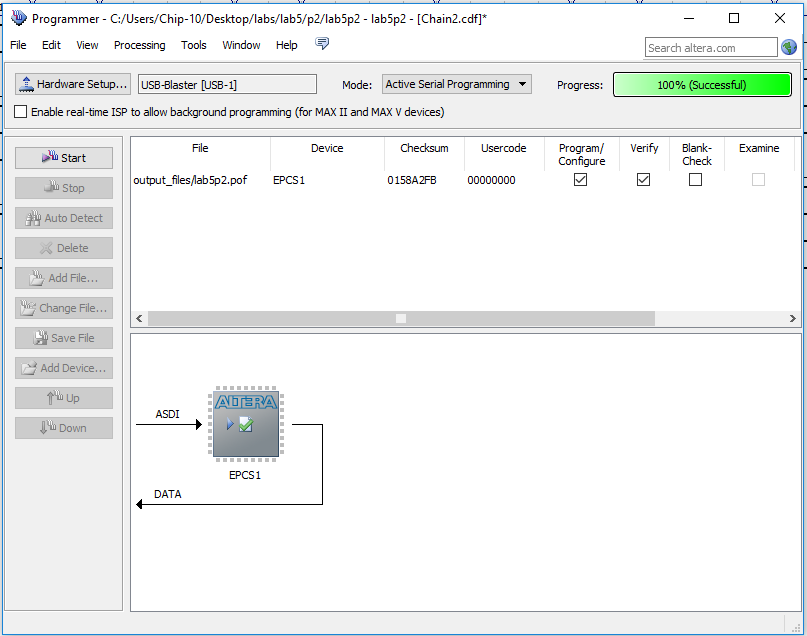


Рисунок 11. Выгрузка схемы на плату

**Вывод**

В ходе выполнения лабораторной работы были исследованы особенности проектирования регистров различного типа (в том числе регистр на базе JK-триггеров и многофункциональный регистр на базе D-триггеров, который выполняет параллельную загрузку, установку всех разрядов в 1, циклический сдвиг влево и сдвиг вправо с заполнением 1), закреплены навыки синтеза и экспериментального исследования узлов в среде Quartus II. В ходе работы были построены функциональные и временные диаграммы, отражающие работу регистров, произведено макетное моделирование регистров и спроектированы указанные в задании регистры. Таким образом и были исследованы особенности проектирования регистров различного типа, закреплены навыки синтеза и экспериментального исследования узлов в среде Quartus II.