

Цель работы:

- Изучение функциональных характеристик основных комбинационных устройств (КУ).
- Освоение построения логических схем с КУ.

Задание №1. Спроектировать и проанализировать четырехразрядный дешифратор.

1. Постройте таблицу истинности для четырехразрядного дешифратора.
2. Составьте логические уравнения для каждого из выходов.
3. Разработайте схему дешифратора.
4. Проанализируйте схему. Возможна ли ее оптимизация с целью уменьшения количества используемых логических элементов?

Таблица истинности для четырёхразрядного дешифратора:

X3	X2	X1	X0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Логические уравнения для каждого из выходов дешифратора:

$$Y_0 = \neg X_3 \cdot \neg X_2 \cdot \neg X_1 \cdot \neg X_0 \qquad Y_1 = \neg X_3 \cdot \neg X_2 \cdot \neg X_1 \cdot X_0$$

$$Y_2 = \neg X_3 \cdot \neg X_2 \cdot X_1 \cdot X_0 \qquad Y_3 = \neg X_3 \cdot \neg X_2 \cdot X_1 \cdot X_0$$

$$Y_4 = \neg X_3 \cdot X_2 \cdot \neg X_1 \cdot \neg X_0 \qquad Y_5 = \neg X_3 \cdot X_2 \cdot \neg X_1 \cdot X_0$$

$$Y_6 = \neg X_3 \cdot X_2 \cdot X_1 \cdot \neg X_0 \qquad Y_7 = \neg X_3 \cdot X_2 \cdot X_1 \cdot X_0$$

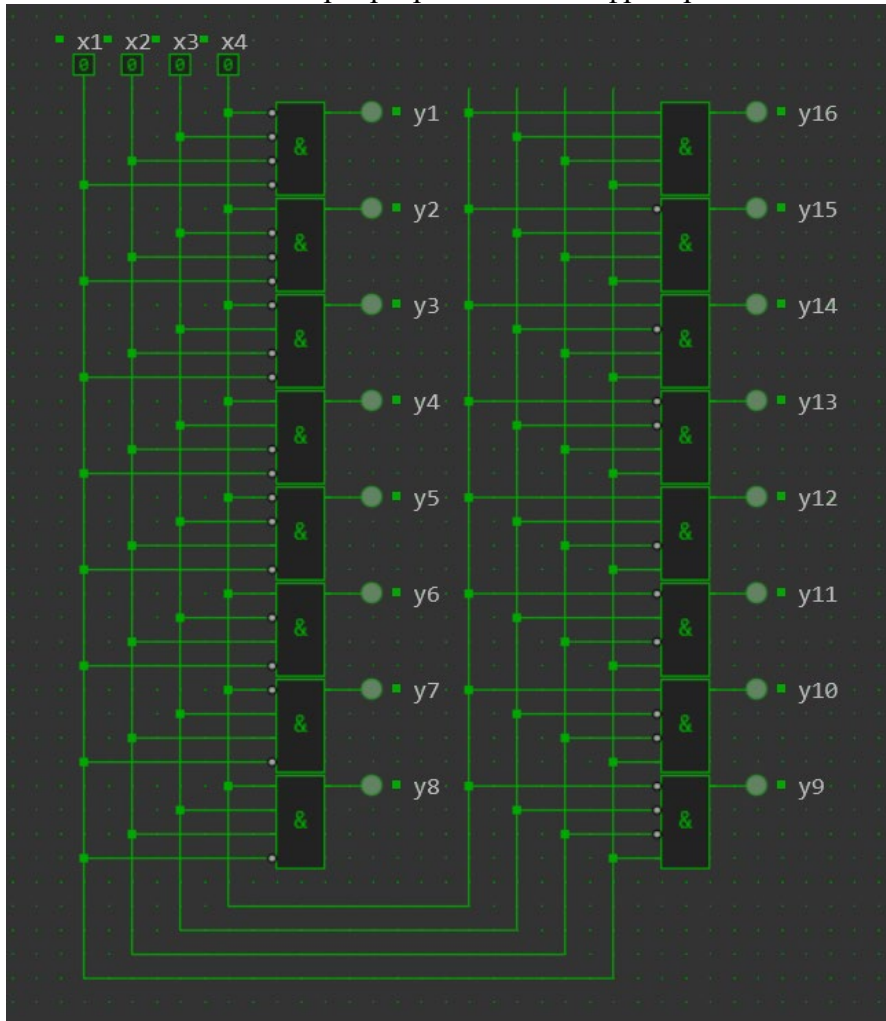
$$Y_8 = X_3 \cdot \neg X_2 \cdot \neg X_1 \cdot \neg X_0 \qquad Y_9 = X_3 \cdot \neg X_2 \cdot \neg X_1 \cdot X_0$$

$$Y_{10} = X_3 \cdot \neg X_2 \cdot X_1 \cdot X_0 \qquad Y_{11} = X_3 \cdot \neg X_2 \cdot X_1 \cdot X_0$$

$$Y_{12} = X_3 \cdot X_2 \cdot \neg X_1 \cdot \neg X_0 \qquad Y_{13} = X_3 \cdot X_2 \cdot \neg X_1 \cdot X_0$$

$$Y_{14} = X_3 \cdot X_2 \cdot X_1 \cdot \neg X_0 \qquad Y_{15} = X_3 \cdot X_2 \cdot X_1 \cdot X_0$$

Логическая схема четырёхразрядного дешифратора:



Анализ схемы:

Уменьшить количество логических элементов невозможно, так как каждый выход Y_i зависит от уникальной комбинации входных сигналов.

Задание №2.

1. Реализовать логику 2-битного демультиплексора с четырьмя выходами на основе базовых логических элементов AND и NOT.

Логические уравнения подобного демультиплексора:

$$Y_0 = D \cdot \overline{X_2} \overline{X_1}$$

$$Y_1 = D \cdot \overline{X_2} X_1$$

$$Y_2 = D \cdot X_2 \overline{X_1}$$

$$Y_3 = D \cdot X_2 X_1$$

2. Представьте результаты в виде схемы и таблицы истинности, подтверждающей правильность работы демультиплексора.

Схема 2-битного демультиплексора:

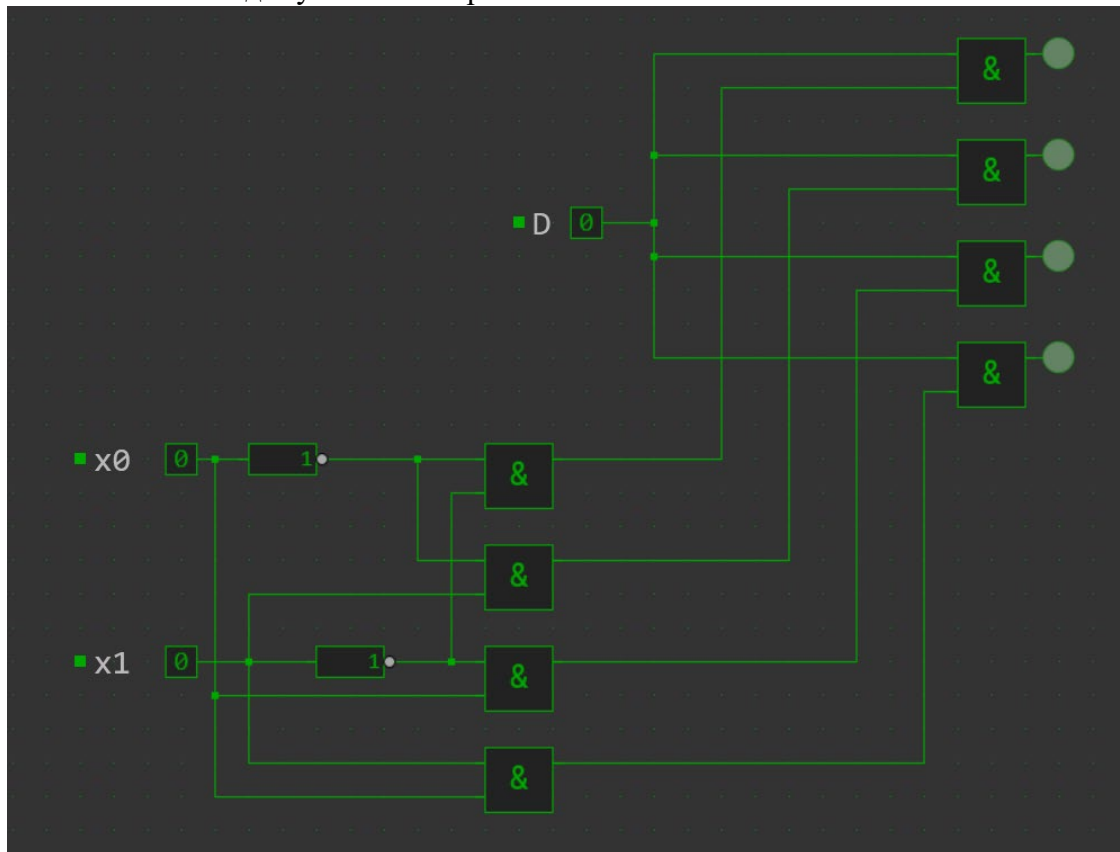


Таблица истинности 2-битного демультиплексора:

X_1	X_2	D	Y_1	Y_2	Y_3	Y_4
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

Задание №3. Реализовать логику одноразрядного сумматора. Для реализации полного одноразрядного сумматора необходимо учесть перенос из младшего разряда (P_0). В отчет включите результаты моделирования, логические уравнения и таблицы истинности.

Логические уравнения одноразрядного сумматора:

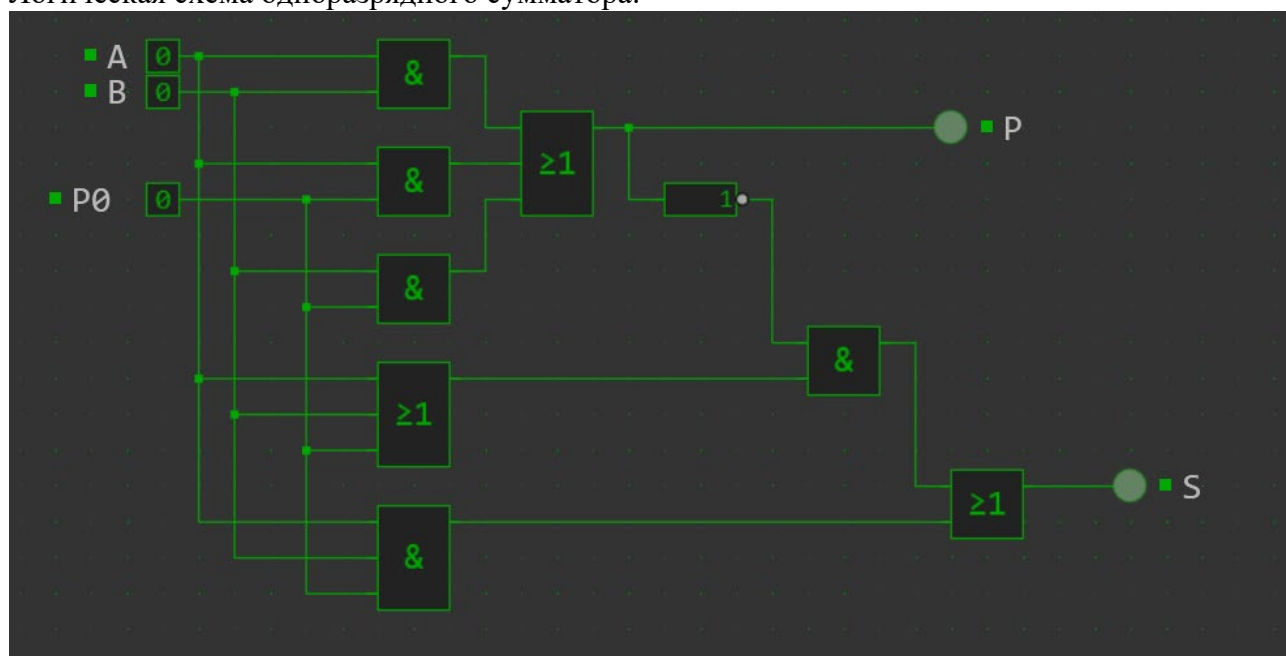
$$S = A \oplus B \oplus P_0$$

$$P = (A \wedge B) \vee (A \wedge P_0) \vee (B \wedge P_0)$$

Таблица истинности одноразрядного сумматора:

A	B	P_0	P	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Логическая схема одноразрядного сумматора:



Вывод: в результате работы были изучены различные логические элементы.