

实验 1：寄存器实验 实验报告

姓名	咸浩洋
学号	2023311323
班级	计算机与电子通信 3 班
学期	2024 秋季学期 大二上
实验项目	实验 1：寄存器实验
上课地点	T2506
实验完成时间	5-6h

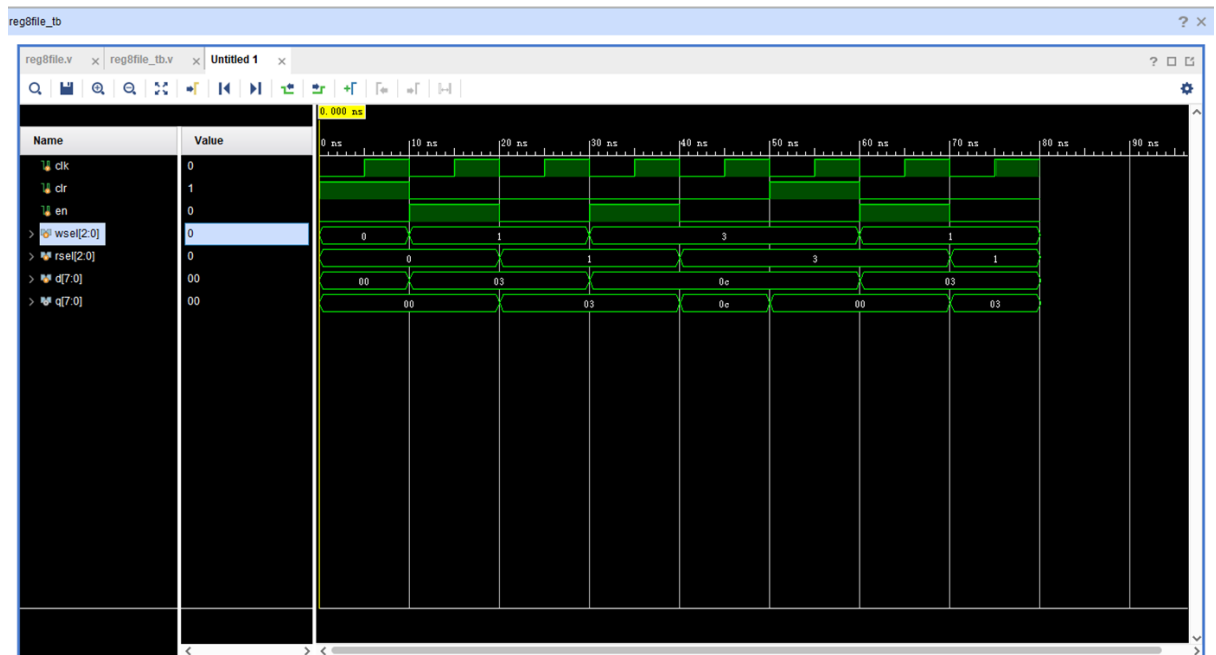
代码文件

reg8file.v

testbench.v

pin.xdc

寄存器文件仿真波形分析



1. 初始化

clr 设置为 0 , en 为 0 , 所有寄存器的选择信号 wsel 和 rsel 被初始化为 3'b000 , 数据 d 初始化为 8'b0。clr 置为 1 , 保持 10ns 后清零信号复位。所有寄存器都清零。

2. 写入操作 1

10ns , en 设置为 1 , d 为 8'b00000011 , wsel 为 3'b001 , 将数据 3 写入寄存器 1。

保持 10ns 后 , 寄存器 1 的值为 3。

3. 读取操作 1 :

20ns , en 设置为 0 , rsel 为 3'b001 , 读取寄存器 1 , 输出 q 应为 8'b00000011 , 即 03 。

4. 写入操作 2 :

30ns , en 设置为 1 , d 为 8'b00001100 , wsel 为 3'b011 , 将数据 12 写入寄存器 3。

保持 10ns 后 , 寄存器 3 的值为 12。

5. 读取操作 2 :

40ns , en 设置为 0 , rsel 设为 3'b011 , 读取寄存器 3 , 输出 q 应为 8'b00001100 , 即 0c (十六进制)。

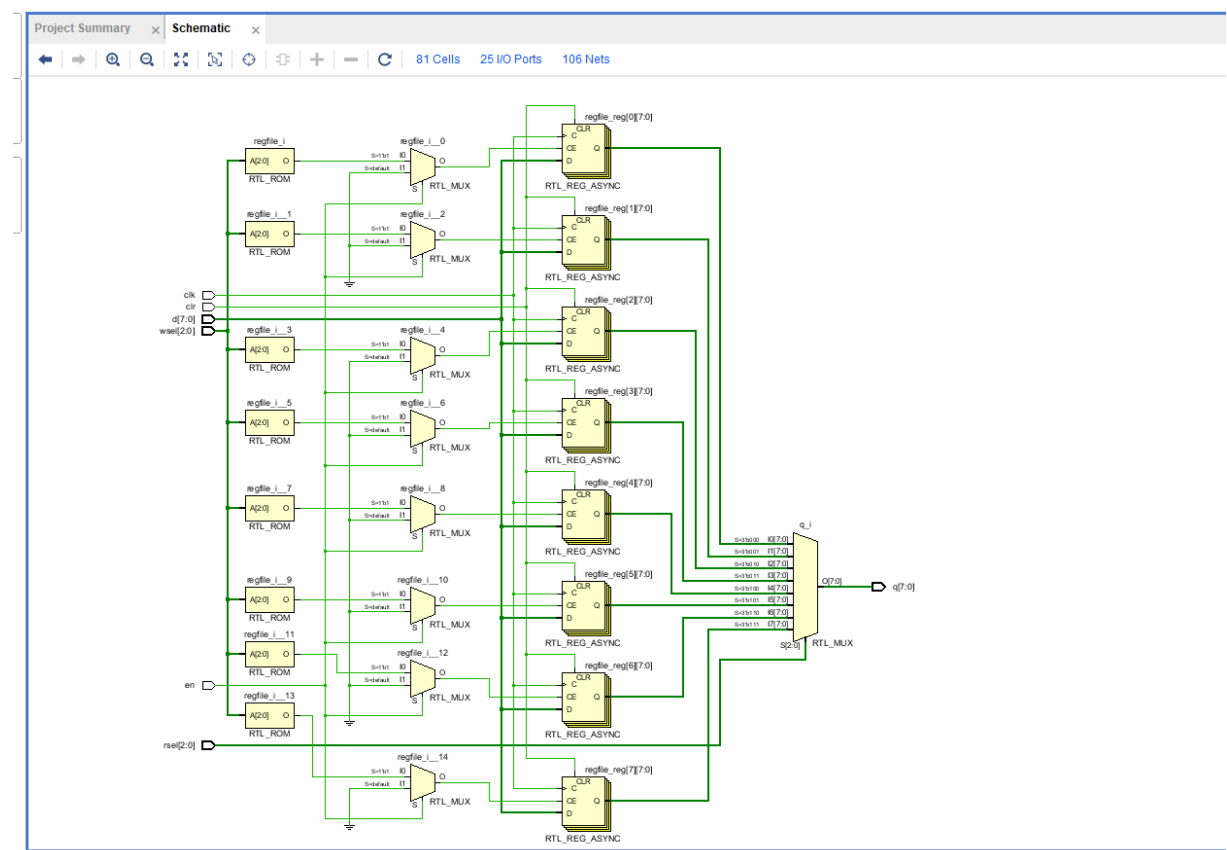
6. 再次进行清零 :

50ns , clr 再次被置为 1 , 保持 10ns , 然后复位。所有寄存器回到 0。

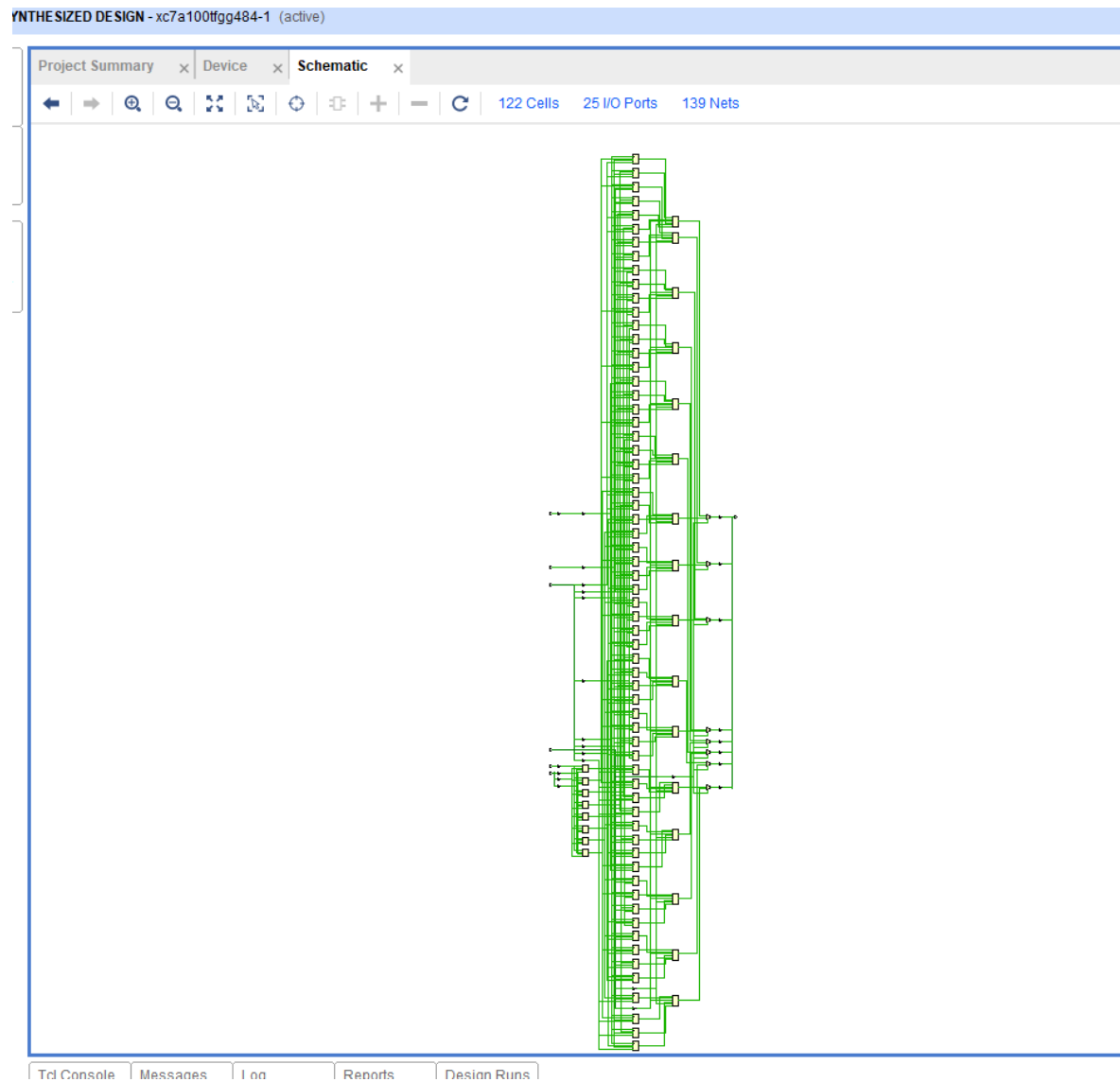
7. 重复写入和读取操作 :

60ns , 再次将 3 写入寄存器 1 , 保持 10ns 后 , 寄存器 1 的值为 3 ; 并读取其值 , 保持 10 ns 后 , 读取寄存器 1 , 输出 q 应为 8'b00000011 , 即 03 。

RTL Analysis 截图



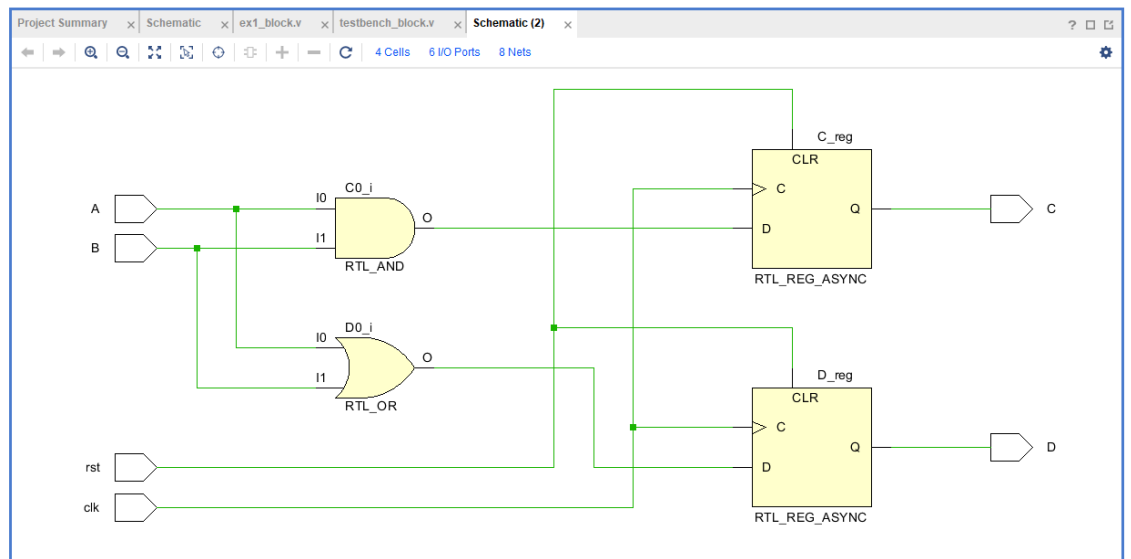
Synthesis schematic 截图



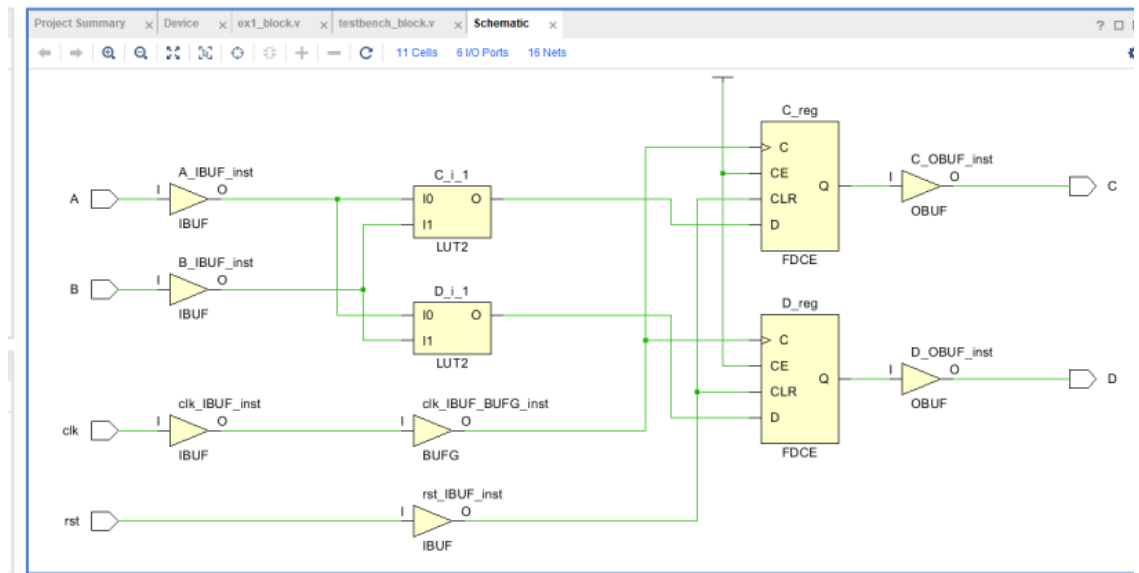
课后作业分析回答

1. 阻塞赋值

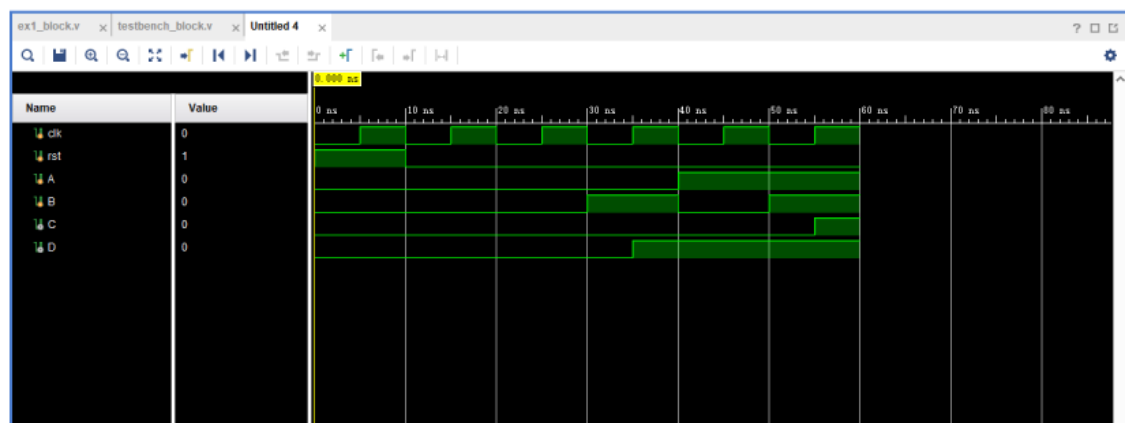
(1) RTL 分析图



(2) 综合后电路图

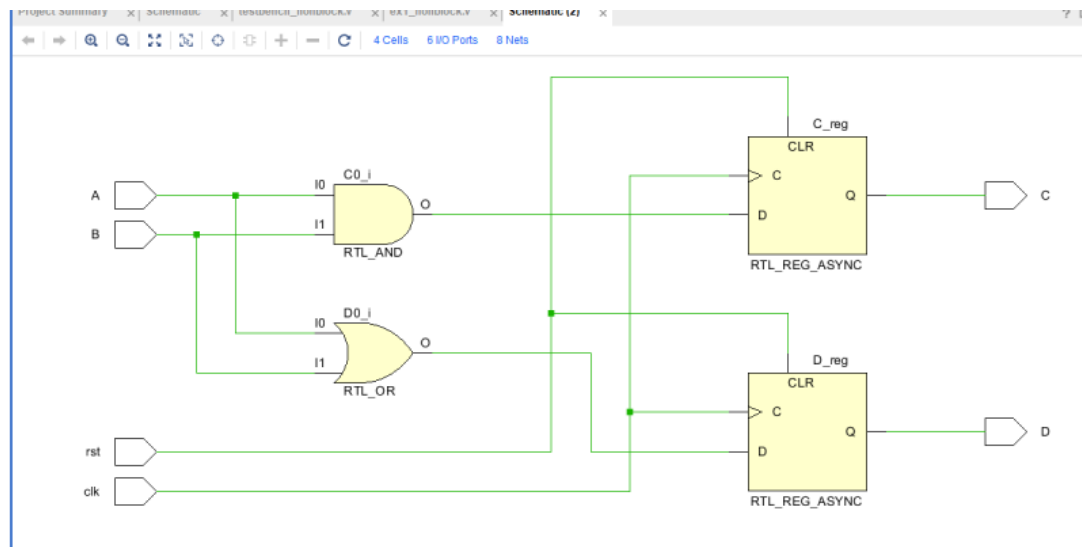


(3) 仿真截图

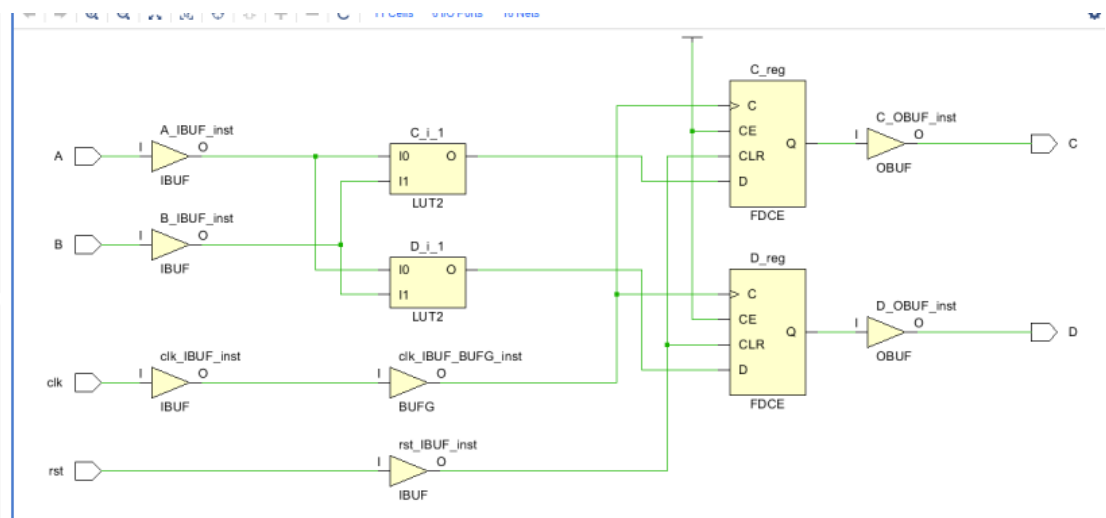


2. 非阻塞赋值

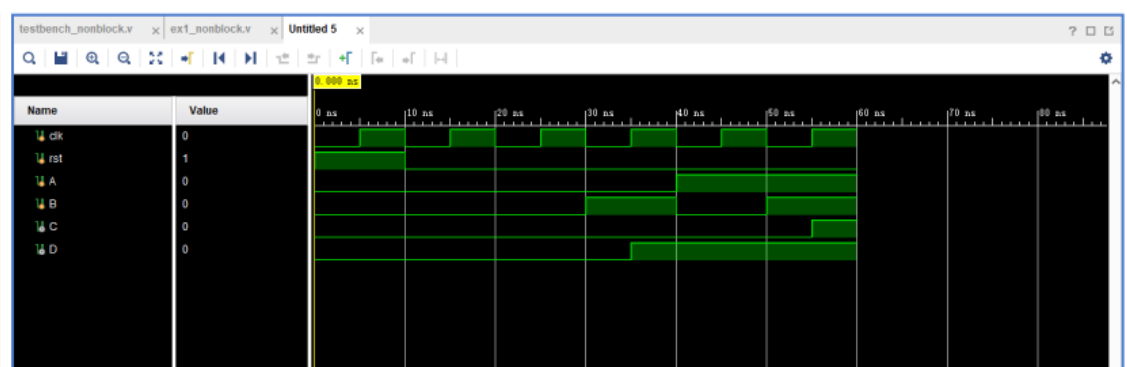
(1) RTL 分析图



(2) 综合后电路图



(3) 仿真截图



3. 比较

(1) RTL 分析图

阻塞赋值，看到信号的更新在同一时钟周期内被考虑到，可能会有更复杂的信号连接。

非阻塞赋值，信号 C 和 D 的变化会在时钟上升沿之后更新，波形更稳定。信号变化在时钟边沿之后才会更新。

(2) 综合后电路图

阻塞赋值，可能导致组合逻辑的增加，综合工具可能会将某些逻辑视为更复杂的组合电路，增加延迟。

非阻塞赋值，生成更稳定的时序逻辑电路，综合工具能更好地优化时序。

(3) 仿真波形

阻塞赋值，仿真波形可能会显示出信号在同一时钟周期内的变化，如果 A 或 B 在同一时钟周期内变化，导致可能的竞态条件，尤其在多个赋值同时执行时。

非阻塞赋值，在每个时钟周期中，输入 A 和 B 的变化不会立即影响输出，只有在下一个时钟周期才会看到结果，信号 C 和 D 的变化会在时钟上升沿之后更新，波形更稳定。信号在下一个时钟边沿更新，避免了在同一时钟周期内信号值的不一致。