

Máquina de Estados Finita para Tranca Digital

Gabriel D. Rebello, Rodrigo S. de Cenço
Faculdade de Informática — PUCRS

28 de março de 2024

Resumo

Este relatório tem como intuito a descrição detalhada da elaboração e implementação da máquina de estados finita desenvolvida para a modelagem de um sistema de tranca digital, fazendo uso de testes automáticos para os casos reais de implementação da tranca digital, usando a linguagem de design de hardware VHDL.

1.0 Introdução

Dentro do escopo da disciplina de Sistemas Digitais, fomos re-introduzidos aos conceitos da linguagem de design de hardware chamada VHDL, sendo assim, seguimos a proposta do primeiro trabalho da disciplina e elaboramos um sistema completo de simulação de uma tranca digital, fazendo uso de uma máquina de estados finita, que terá todo seu processo de concepção e desenvolvimento explanado a seguir.

2.0 Funcionamento da máquina de estados finitos

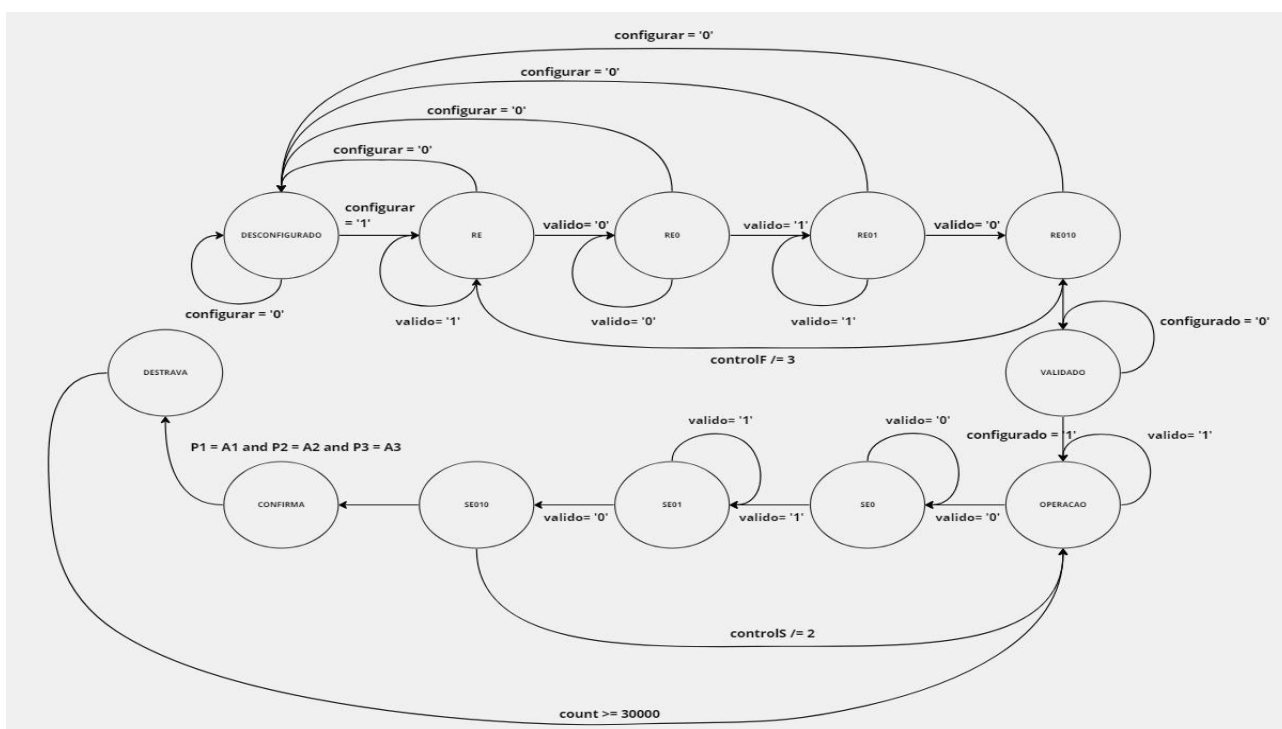


Figura 1 - Máquina de Estados Finitos

A máquina de estados finitos apresentada acima funciona com uma lógica baseada em dois pilares centrais, sendo eles os sinais de controles implementados dentro do programa, juntamente com os ciclos de validação do sinal denominado 'valido', que varia entre '0' e '1'.

A máquina começa no estado DESCONFIGURADO, que é o início do funcionamento do sistema, nele, o sistema aguarda a sinal 'configurar' receber o valor de entrada '1', para que o ciclo de funcionamento do programa comece e entre na área de configuração de tranca digital. Na área de configuração da tranca digital, o sistema deverá sempre permanecer com o sinal 'configurar' em '1', caso contrário, voltará ao estado de DESCONFIGURADO.

O ciclo de configuração funciona com base nos estados RE, RE0, RE01 e RE010, que são dependentes dos sinais 'valido' e 'controlF'. O funcionamento dessa etapa da máquina de estados finitos é inteiramente baseado em intervalos de variações no valor do sinal 'valido', dando uma volta completa entre os estados enquanto acontece um ciclo onde 'valido' é '0', após isso 'valido' é '1' e então 'valido' volta para '0', indicando que o sistema poderá armazenar primeiramente a quantidade de tentativas para inserir a senha, e na sequência os dígitos da senha em si. A lógica de armazenamento dos valores de entrada é controlada pelo sinal 'controlF', que a cada ciclo do sinal 'valido' é incrementado em uma unidade, armazenando as entradas em sinais internos distintos que dependem do valor atual de 'controlF'. O caminho seguido por essa etapa da máquina é RE-RE0-RE01-RE010, podendo ir de RE010 para RE novamente caso ainda não tenham sido recebidos todos os valores necessários, ou passando para o estado VALIDADO quando 'controlF' tem o valor de 3, significando que todos os valores necessários já foram atribuídos.

O estado de VALIDADO age como estado intermediário dentro do funcionamento da máquina de estados finitos e suas etapas de trabalho, nele é esperado o sinal 'configurado' estar em '1', indicando que o sistema terminou sua etapa de configuração e permitindo então passar para a etapa de operação central, onde será aguardado a inserção da senha correta para o desbloqueio da tranca, ou acionamento do alarme caso o número de tentativas incorretas de inserção da senha supera a quantidade de tentativas estipulada na etapa de configuração da tranca digital.

O ciclo de operação funciona com base nos estados OPERACAO, SE0, SE01, SE010 e CONFIRMA, seguindo a sequência OPERACAO-SE0-SE01-SE010 para inserção da senha e o estado CONFIRMA para validação da mesma. O ciclo de operação também trabalha dependente do sinal 'valido', juntamente com o sinal 'controlS', tendo a lógica de funcionamento igual ao ciclo de configuração, dependendo dos ciclos do sinal 'valido' para o armazenamento dos valores de entrada nos sinais internos, mas dessa vez precisando chegar apenas no valor 2 para o 'controlS', visto que não é necessária uma entrada para configuração de tentativas. Enquanto a senha não foi enviada por completo, isto é, 'controlS' é menor que 2, o programa fica no ciclo interno de estados, já quando 'controlS' é igual a 2, significa que toda a senha foi inserida, passando para o estado de CONFIRMA, que verificará se a senha inserida no ciclo de configuração é igual à senha inserida no ciclo atual, se não for, voltará para o ciclo de inserção de senha, até que o número máximo de tentativas possíveis chegue ao número estipulado, neste caso, o alarme da tranca digital será disparado e encerrará apenas quando for inserida a senha correta, mas caso a senha correta tenha sido inserida, o programa irá para seu estado final.

O estado final da máquina de estados finitos chama-se DESTRAVA, que confirmará o desligamento do alarme, caso tenha sido acionado, e irá destrancar a tranca digital por um tempo mínimo de 375µs, para que o usuário possa validar o destrancamento, e em seguida a trancando novamente, voltando para o ciclo de operação e esperando novamente a inserção da senha.

3.0 Descrição dos testes realizados

A bateria de testes automatizados codificada dentro do testbench tem como uso um clock de 80mhz e três testes, sendo o primeiro desenvolvido para testar o correto funcionamento do programa, onde a senha inserida no ciclo de configuração e a senha inserida no ciclo de operação é a mesma, sem falhas para ativar o alarme. O segundo teste age a princípio como o primeiro, mas nesse caso a inserção da senha é feita incorretamente pela quantidade de vezes estipulada, resultado no acionamento do alarme, que fica ativo até a correta inserção da senha, voltando ao funcionamento estipulado e destrancando a tranca digital. O terceiro teste funciona como um teste de erro, onde a senha é inserida incorretamente até o alarme ativar, então o programa deixa de receber valores de entradas, o que acarreta em um alarme ativo até o fim do testbench e uma tranca que nunca destrava. Os testes funcionam dentro de um mesmo 'process', que faz a ativação dos testes em sequência, acontecendo um ciclo rápido de reset entre testes, para que o programa principal volte ao estado inicial a cada teste novo.

3.1 Primeiro teste (funcionamento correto)

O primeiro teste consiste em uma simulação visando acionar corretamente o sistema de tranca digital, nele, recebemos quatro inputs dentro do ciclo de configuração, sendo o primeiro a quantidade de tentativas para a inserção da senha, no valor de "0011" (3), após isso, nos ciclos de 'valido', recebemos a sequência de três dígitos da senha, sendo eles "1010" (A), "0000" (0) e "0111" (7), então esperamos cerca de 120 ciclos de clock para passarmos para o ciclo de operação, onde é inserido os três dígitos da senha de forma correta, na primeira tentativa, chegando no final da máquina de estados finitos e desativando a tranca por 375μs, então voltando para o início do ciclo de operação, enquanto espera nova entrada do usuário.

3.2 Segundo teste (funcionamento correto, com inserção incorreta)

O segundo teste consiste em uma simulação visando acionar corretamente o sistema de tranca digital, porém, inserindo incorretamente a senha, a fim de ativar o alarme, para então inserir a senha correta e desativá-lo, juntamente com a tranca. Neste teste, recebemos também quatro inputs dentro do ciclo de configuração, porém, com a diferença do input de quantidade de erros ser "0001" (1), então, entramos na etapa de operação e inserimos os valores "1000" (8), "0010" (2) e "1100" (C), inserindo a senha errada e ativando o alarme. Após isso, inserimos a senha correta e encerramos o alarme no estado final da máquina de estados, também desativando a tranca por 375μs, e então voltando ao estado inicial do ciclo de operação.

3.3 Segundo teste (funcionamento incorreto)

O terceiro teste consiste em uma simulação visando o comportamento incorreto do sistema de tranca digital, para isso, fizemos a mesma etapa inicial citada no teste anterior, fazendo uso dos mesmos quatro inputs iniciais, porém, na etapa de operação da tranca digital, inserimos a senha incorreta, fazendo com que o alarme ative, e então não inserimos mais nenhuma entrada, permanecendo assim o alarme em '1' até o fim da simulação, acarretando nos valores finais do programa estarem em configurado = '1', alarme = '1' e tranca = '1', fugindo do comportamento esperado, que é terminar a simulação com o alarme estando em '0'.