

Návrh počítačových systémů 2018: Projekt č. 1

Název: Řízení maticového displeje pomocí FPGA

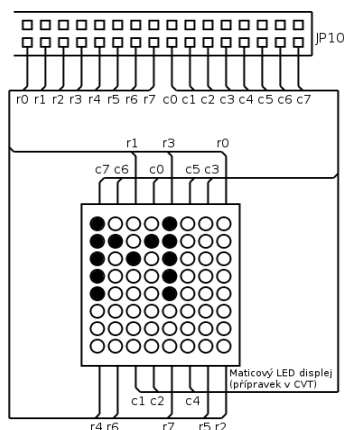
Odevzdání: vizte datum u termínu Projekt 1 v IS FIT

Dotazy: bidlom@fit.vutbr.cz, osobně - M. Bidlo (L330)

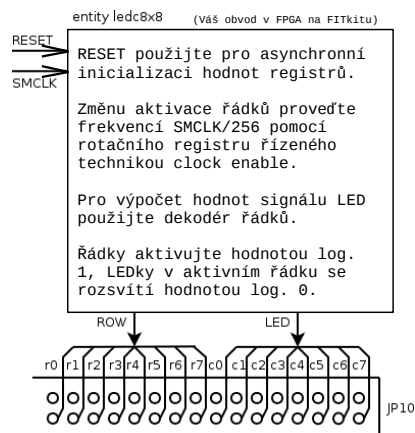
Zadání

Navrhněte obvod a vytvořte jeho korektně syntetizovatelný popis ve VHDL, který na maticovém displeji LED 8x8 externě připojeném k FPGA na FITkitu periodicky přepíná zobrazení iniciálu vašeho jména a příjmení dle schématu J...nic...P...nic...J...nic...P...nic...atd., kde J je iniciál jména, P je iniciál příjmení a „nic“ znamená „všechny LED zhasnuty“. Periodu jednoho kompletního cyklu „J...nic...P...nic“ zajistěte co nejblíže 1 vteřině se stejnou dobou zobrazení jednotlivých stavů displeje (nebude měřeno striktně, ale dodržte tuto specifikaci jako jeden z hodnocených úkolů). Pokud máte znaky iniciálů shodné, umístěte je do různých částí displeje.

Pro ověření řešení je k dispozici několik přípravků dostupných prezenčně v CVT v učebně M105, které lze snadno připojit k FITkitu dle obr. 1. Přípravek bude využit i při hodnocení projektu. Doneste si FITkit, USB kabel a řešení projektu na NB. Nápopěda k řešení a popis rozhraní obvodu jsou na obr. 2 (povinně dodržte pojmenování entity a signálů rozhraní).



Obr. 1



Obr. 2

Charakteristika systému

Maticový displej je standardní zobrazovací součástka, která bude externě připojena k FITkitu prostřednictvím vybraných pinů sběrnice X na rozhraní JP10. Na poskytnutém přípravku je použit displej KINGBRIGHT TC23-11SRWA (zájemci naleznou další podrobnosti o něm např. zde: <http://www.farnell.com/datasheets/1683574.pdf>). Jelikož anody diod v každém řádku displeje sdílejí jediný vodič, je nutné provádět řízení displeje dynamicky v tzv. časovém multiplexu, což znamená, že v každém okamžiku je aktivní právě jeden řádek a periodická aktivace všech řádků v čase s rozumnou frekvencí vytváří dojem celkového obrazu na displeji. Příliš vysoká frekvence snižuje intenzitu LED, příliš nízká však způsobuje viditelné blikání displeje. Na FITkitu můžeme použít frekvenci SMCLK/256, na které bude probíhat přepínání aktivity jednotlivých řádků (tj. každý řádek je aktivní 256 period SMCLK). Podle pozice (indexu) každého řádku pomocí dekodéru určíme, co má řádek zobrazit (které jeho LED rozsvítit).

Pro jednoznačnou orientaci uvažujte, že je-li přípravek připojen k FITkitu v poloze dle obr. 1, jsou řádky displeje indexovány shora dolů (aktivovány signály r0, r1 atd.) a sloupce zleva doprava (signály c0, c1 atd.).

Pokyny k vypracování projektu

Doplňte kód dle výše uvedené specifikace obvodu do souboru ledc8x8.vhd.

Doplňte mapování výstupních signálů ROW a LED do souboru ledc8x8.ucf tak, aby tyto signály byly přivedeny na příslušné bity sběrnice X, jak je uvedeno na obr. 2. Fyzicky budou na všech verzích FITkitu namapovány na spodní řadu 16-ti pinů zcela vpravo na rozhraní JP10. Inspirujte se tím, co je již v tomto souboru uvedeno a ze schématu FITkitu určete mapování zbývajících signálů (viz <http://merlin.fit.vutbr.cz/FITkit/hardware.html>). Ve schématu FITKIT-INPUT/OUTPUT INTERFACE je uvedena struktura rozhraní JP10, kde naleznete, které piny sběrnice X je třeba použít a podle toho pak ze schématu FITKIT-FPGA INTERFACE určíte čísla pinů FPGA, na které je třeba v souboru ledc8x8.ucf namapovat signály ROW a LED z entity obvodu.

Pro ty, kteří si budou chtít obvod odsimulovat v prostředí Xilinx ISIM, byl vytvořen jednoduchý test-bench ledc8x8_tb.vhd, generující hodinový signál SMCLK a inicializační RESET, a skript isim.tcl pro spuštění simulace a sestavení časového diagramu. Oba tyto soubory se nacházejí v adresáři fpga/sim. Zadáním *make isim* z příkazového řádku v kořenovém adresáři projektu (nebo volbou *Spustit simulaci (ISIM)* z kontextového menu projektu v QdevKitu) se spustí simulátor ISIM a zobrazí se průběh sledovaných signálů. Pro potřeby ladění si vhodně přizpůsobte čas simulace u příkazu *run* ve skriptu isim.tcl, případně provizorně upravte frekvenci přepínání iniciálů či aktivity řádků, abyste zjistili, zda obvod korektně realizuje předepsanou činnost. Ačkoliv je možné pomocí simulátoru projekt vyřešit, velmi doporučujeme ověřit jeho funkci na přípravku v CVT.

Odevzdání, hodnocení

Doplněné řešení odevzdejte do IS v jediném archivu .zip nebo .tar.gz se **stejnou strukturou, jak jste si jej stáhli (závisí na tom automatizovaný překlad pro hodnocení)**. Archiv i adresář v něm pojmenujte vaším loginem.

Jednou z podmínek pro získání plného počtu bodů je bezchybná kompilace VHDL kódu i syntéza konfigurace pro FPGA (tj. **žádný warning nebo error!**).

Zkontrolujte si, zda opravdu odevzdáváte všechny správné soubory v archivu s danou strukturou. Bude-li projekt z jakéhokoli důvodu nepřeložitelný, bude **JEDNOU** umožněno zaslání opravené verze a komentáře k opravě mailem do stanoveného data **s možnou bodovou ztrátou úměrnou závažnosti opravy**. **Bude-li projekt i tak nepřeložitelný, bude hodnocen 0 body**, stejně tak jako v případě zjištěného plagiátorství - v takovém případě navíc s případným postihem dle platného Disciplinárního řádu FIT VUT v Brně.