

PATTERSON, David A.; HENNESSY, John L. Organização e Projeto de Computadores: A Interface Hardware/Software. 4 ed. Rio de Janeiro: Elsevier, 2014.

Capítulo 4: O Processador

Exercício 4.12

Neste exercício, examinamos como o pipelining afeta o tempo do ciclo de clock do processador. Os problemas neste exercício consideram que os estágios individuais do caminho de dados têm as seguintes latências:

	IF	ID	EX	MEM	WB
a.	250ps ¹	350ps	150ps	300ps	200ps
b.	200ps	170ps	220ps	210ps	150ps

4.12.1 [5] <4.5> Qual é o tempo do ciclo de clock em um processador com e sem pipeline?

A – Sem pipeline: 1250ps

B – Sem pipeline: 950ps

A – Com pipeline: 350ps

B – Com pipeline: 220ps

4.12.2 [10] <4.5> Qual é a latência total de uma instrução LW em um processador com e sem pipeline?

A – Sem pipeline: 1250ps

B – Sem pipeline: 950ps

A – Com pipeline: 1750ps

B – Com pipeline: 1100ps

Os problemas restantes neste exercício consideram que as instruções executadas pelo processador são desmembradas da seguinte forma:

	ALU	BEQ	LW	SW
a.	45%	20%	20%	15%
b.	55%	15%	15%	15%

4.12.4 [10] <4.5> Supondo que não haja stalls ou hazards, qual é a utilização da memória de dados?

Soma LW e SW

A: $20+15 = 35\%$

B: $15+15 = 30\%$

4.12.5 [10] <4.5> Supondo que não haja stalls ou hazards, qual é a utilização da porta de escrita de registrador da unidade “Registradores”?

Soma ULA e LW

A: $45+20 = 65\%$

B: $55+15 = 70\%$

¹Picosegundo – <https://pt.wikipedia.org/wiki/Picosegundo>.