

Университет ИТМО
Мегафакультет компьютерных технологий и управления
Факультет программной инженерии и компьютерной техники
Кафедра вычислительной техники

Системы ввода/вывода и периферийные устройства

Лабораторная работа № 1
*«Проектирование вычислительной системы с блоками анализа и формирования
цифровых периодических сигналов»*
Вариант 8

Студенты:
Куклина М.Д.
Кириллова А.А.
Преподаватель:
Быковский С.В.

Санкт-Петербург, 2017

1. Задание

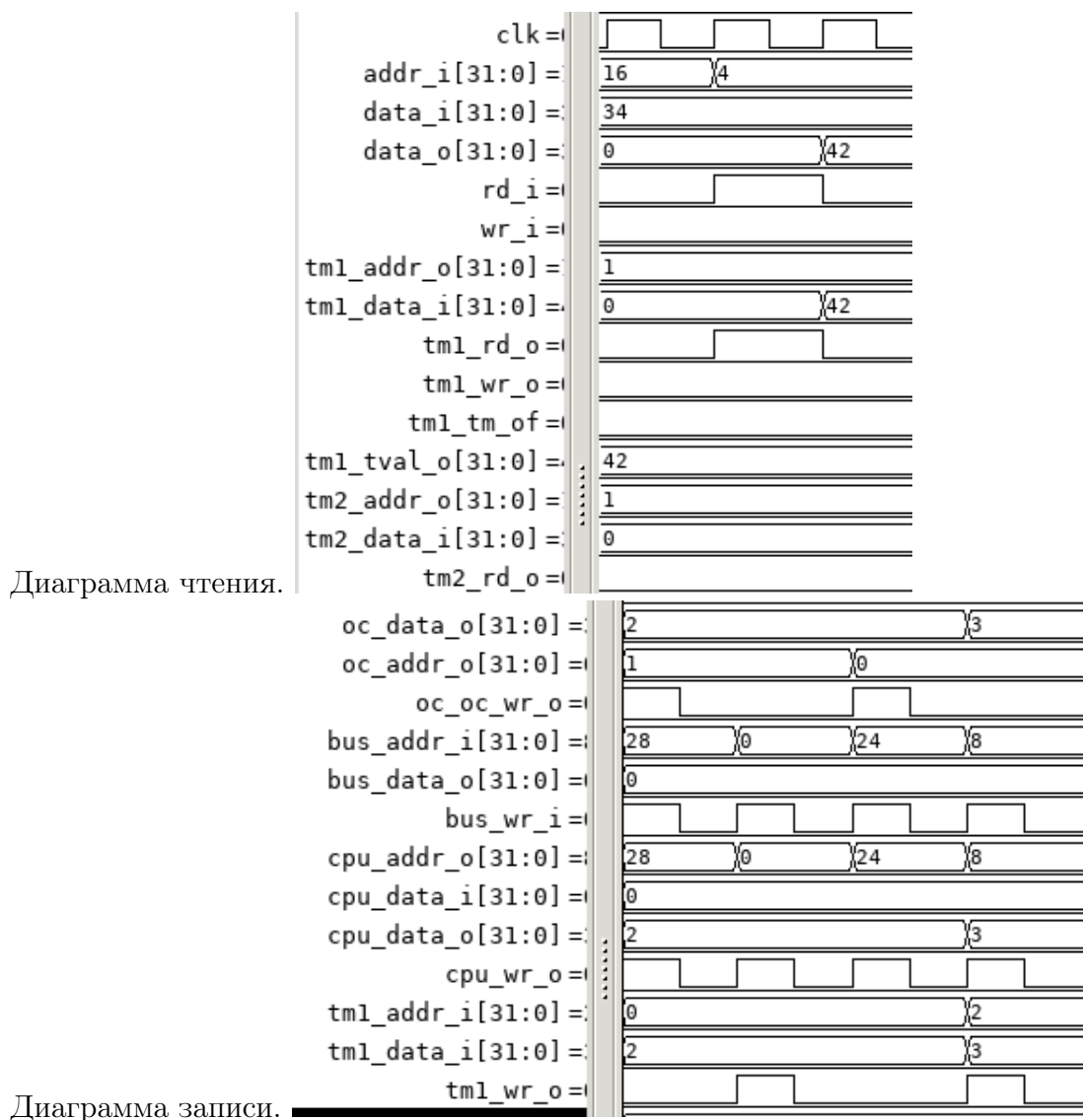
Разработать модель вычислительной системы на языке SystemC. Модель представляет собой ВС с блоком формирования цифрового сигнала (Output Compare). Необходимо с помощью этой ВС сгенерировать последовательность 110 (двоичное число, 3 бита) с заданной длительностью каждого символа. Длительность каждого символа задаётся с помощью аргумента командной строки при вызове модели на исполнение.

2. Блок-схема организации ПО процессора

На «процессоре» выполнятся алгоритм по генерации последовательности 011. При длине от 2 тактов это получается путём запуска двух таймеров с периодом в заданную длительность и тройную длительность соответственно и переключением их в блоке *Output Compare* по высчитанному на основе длительности переключения таймеров в блоке *OC* времени. При длине сигнала в 1 такт *OC* просто переводится в один из его режимов.

Рис. 4.

3. Временные диаграммы обмена данными по шине между блоками схемы



4. Временные диаграммы изменения сигналов выхода *OutputComapre*

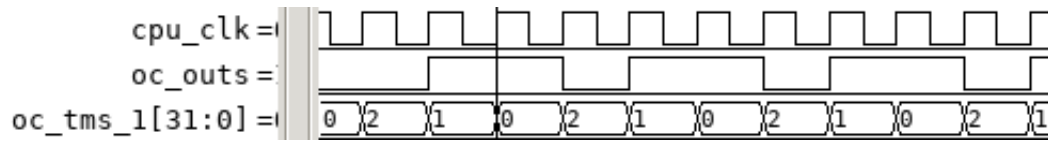


Рис. 1: Диаграмма для длительности = 1.



Рис. 2: Диаграмма для длительности = 2.

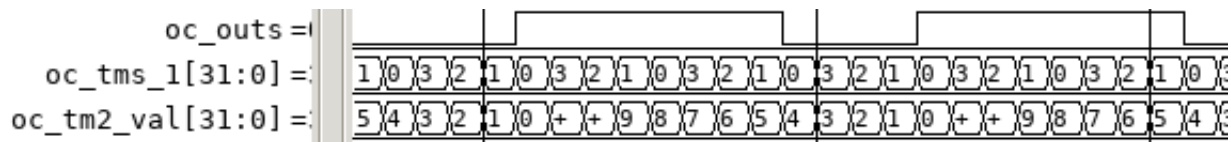


Рис. 3: Диаграмма для длительности = 4.

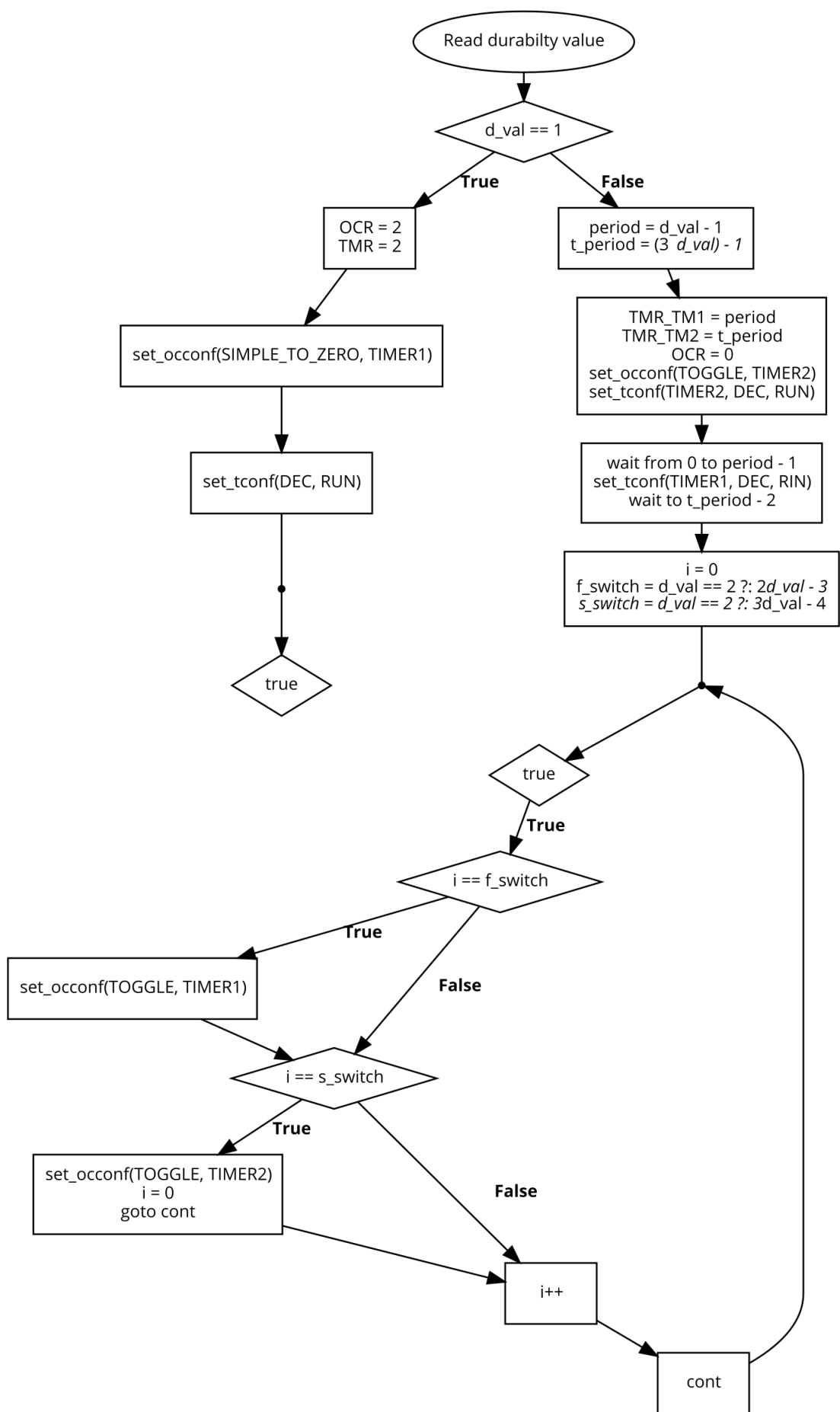


Рис. 4: Блок-схема ПО процессора