САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО

ИНСТИТУТ ЭЛЕКТРОНИКИ И ТЕЛЕКОММУНИКАЦИЙ

ВЫСШАЯ ШКОЛА ПРИКЛАДНОЙ ФИЗИКИ И КОСМИЧЕСКИХ ТЕХНОЛОГИЙ

**Курсовая работа**

«Кодер сверточного параллельного турбокода LTE»

по дисциплине «Цифровые устройства и микропроцессоры»

Выполнил студент гр. 4931102/20101: Солончева И.В.

Суханов С.С.

Преподаватель: Рашич А. В.

Подпись: \_\_\_\_\_\_\_\_\_\_\_\_\_\_

Санкт-Петербург

2024

Оглавление

1. Анализ задания3
   1. Постановка задания3
   2. Исходные данные3
2. Реализация задания3
   1. Описание алгоритма работы3
   2. Результаты проектирования устройства5

2.2.1. Стандартная стратегия5

* + 1. Flow\_AltarnateRoutability (synt) и Area\_ExploreWithRemap (impl) 6
    2. Flow\_AltarnateRoutability (synt) и Performance\_NetDelay\_high (impl) 7
  1. Результат симуляции8
  2. Анализ проекта с помощью tcl-команд9
     1. Стандартная стратегия9
     2. Flow\_AltarnateRoutability (synt) и Area\_ExploreWithRemap (impl) 14
     3. Flow\_AltarnateRoutability (synt) и Performance\_NetDelay\_high (impl) 20
  3. Анализ критических путей26

Заключение27

Приложение 28

1. Код System Verilog – файла 28

2. Код testbench 31

3. Код MATLAB 32

**1. Анализ задания**

1.1 Постановка задания

Разработать архитектуру кодера сверточного параллельного турбокода для системы LTE (Long-Term Evolution), реализовать модель кодера в Matlab, а также реализовать архитектуру в FPGA. Провести анализ с помощью tcl команд, синтез и разводку проекта, используя различные стратегии.

1.2 Исходные данные

Для выполнения поставленных задач нам предоставляются:

- сообщения длиной 2048 бит;

- перемежитель блочный табличный на основе псевдослучайной последовательности;

- скорость кодирования 1/3.

**2. Реализация задания**

2.1 Описание алгоритма работы

Кодер сверточного параллельного турбокода LTE представляет собой параллельное соединение двух 8-состоятельных сверточных кодеров, между которыми расположен перемежитель.

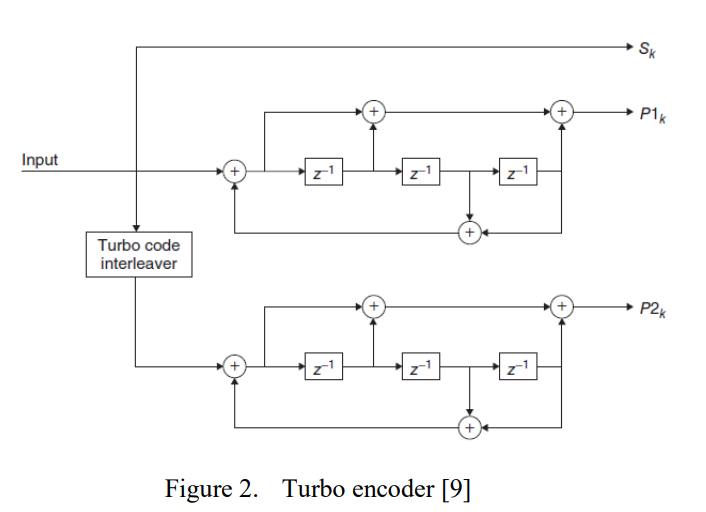
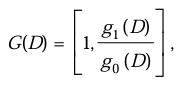
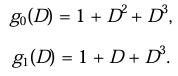


Рис.1. Структура турбокодера

Каждый из 8-состоятельных сверточных кодеров имеет следующую передаточную функцию:



где:



D (Delay) – задержка.

Начальное состояние регистров сдвига обоих кодеров устанавливается в нулевое состояние перед началом кодирования входных битов.

Перемежитель выполняет перестановку входных битов перед подачей их на второй сверточный кодер.

Входные биты c0,c1,c2,c3,...,cK−1​, последовательно подаются на первый сверточный кодер и перемежитель.

Выходные биты первого кодера обозначаются как z0,z1,z2,…, zK−1.

Выходные биты перемежителя обозначаются как c0′,c1′,...,cK−1′*.*

Выходные биты второго кодера обозначаются как z0′,z1′,z2′,z3′,...,zK−1′.

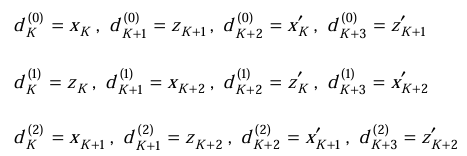
На выходе турбокодера формируются три потока:

𝑑𝑘(0) = 𝑥𝑘 ,𝑑𝑘(1) = 𝑧𝑘, 𝑑𝑘(2) = 𝑧𝑘′.

Завершение решетки выполняется путем добавления хвостовых битов после кодирования всех информационных битов. Хвостовые биты берутся из обратной связи регистров сдвига.

Первые три хвостовых бита используются для завершения первого сверточного кодера, в то время как второй кодер отключен. Последние три хвостовых бита используются для завершения второго сверточного кодера, в то время как первый кодер отключен.

Передаваемые биты для завершения решетки:



Алгоритм работы кодера включает в себя кодирование информационных битов, формирование выходных потоков и завершение решетки с использованием хвостовых битов.

**2.2 Результаты проектирования устройства**

2.2.1 Стандартная стратегия

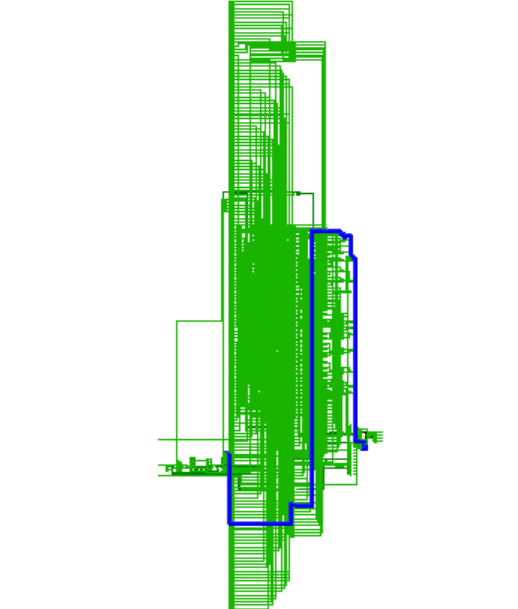


Схема 1. Схема устройства после синтеза

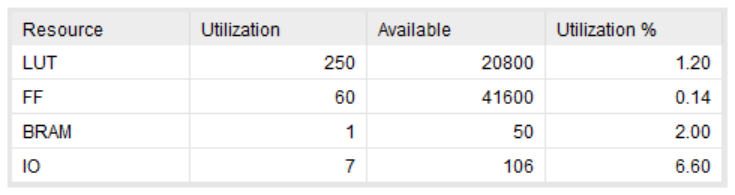


Рис. 2 Количество использованных ресурсов после синтеза

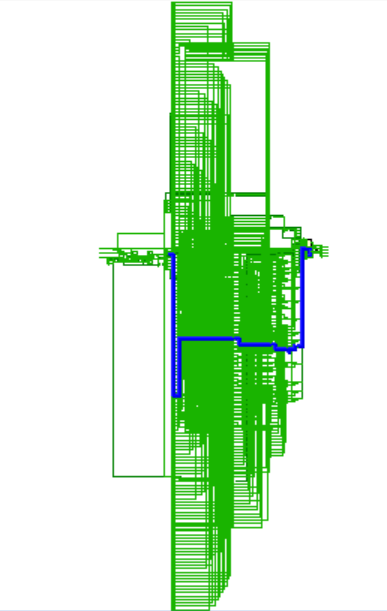


Схема 2. Схема устройства после разводки

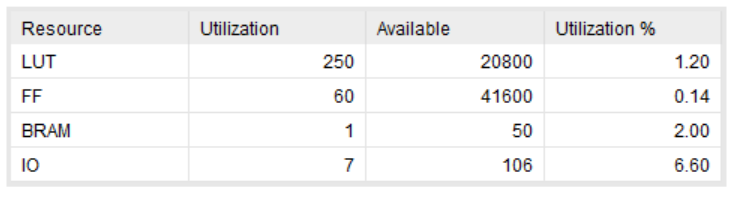


Рис. 3 Количество использованных ресурсов после разводки

Можно заметить, что количество ресурсов после разводки не изменилось.

2.2.2 Flow\_PerfOptimized\_high (синтез) и Performance\_ExploreWithRemap (разводка)

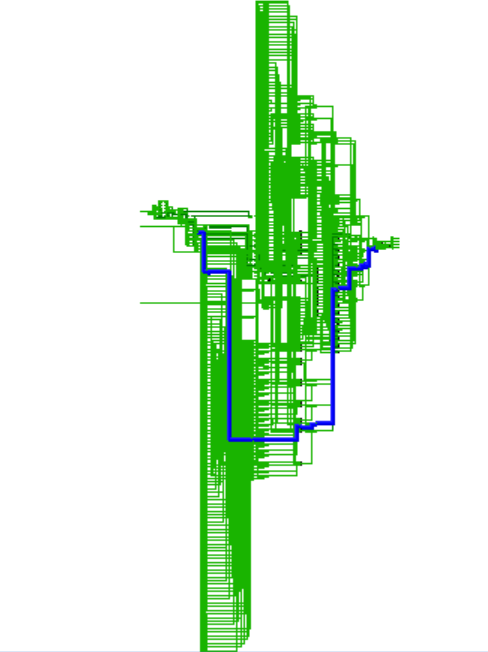


Схема 3. Схема устройства после синтеза

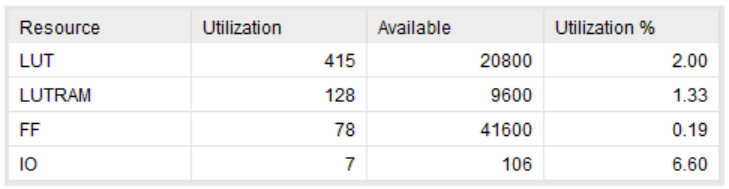


Рис. 4 Количество ресурсов после синтеза

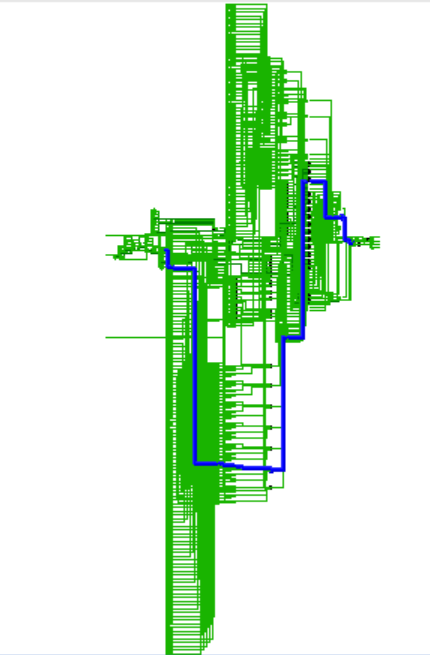


Схема 4. Схема устройства после разводки

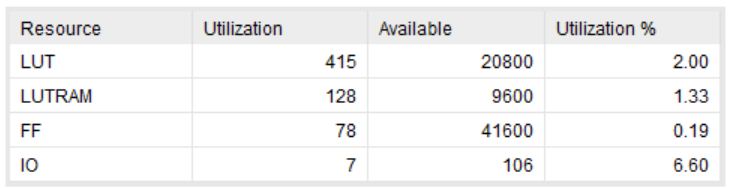


Рис. 5 Количество ресурсов после разводки

Можно заметить, что количество ресурсов после разводки не изменилось.

2.2.3 Flow\_AreaOptimized\_high (синтез) и Area\_ExploreWithRemap (разводка)

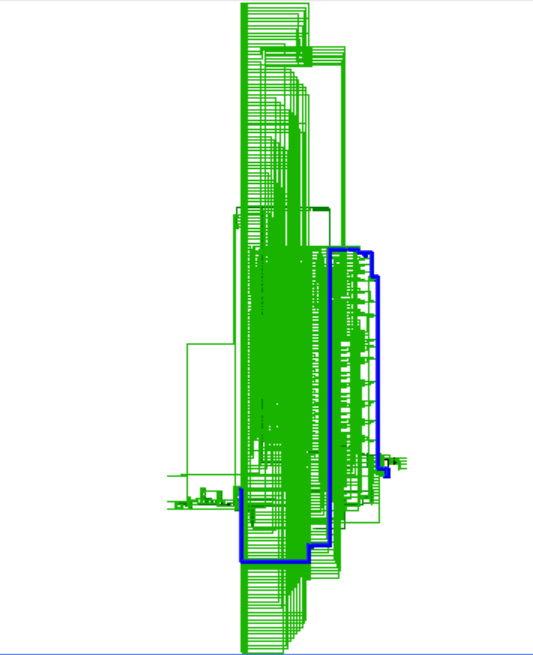


Схема 5. Схема устройства после синтеза

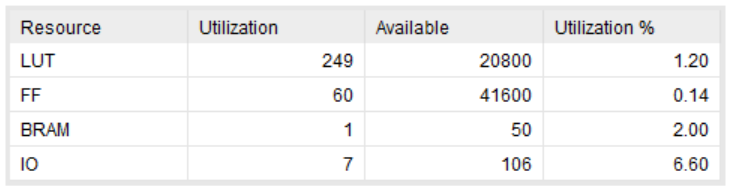


Рис. 6 Количество ресурсов после синтеза

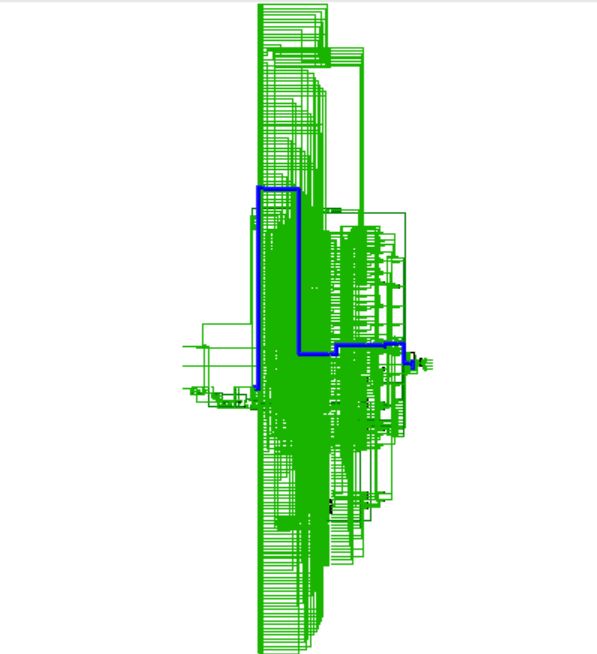


Схема 6. Схема устройства после разводки

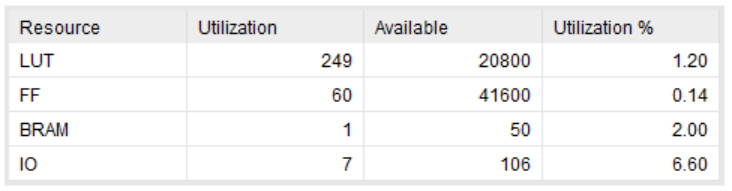
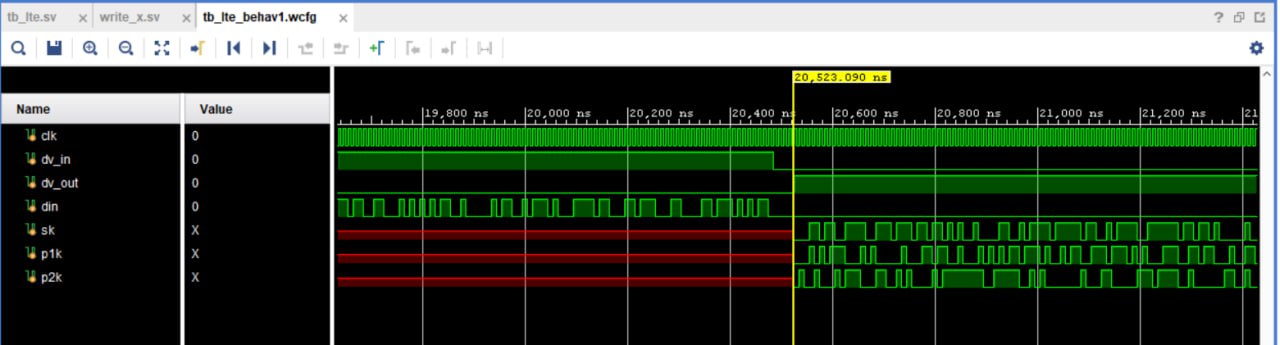


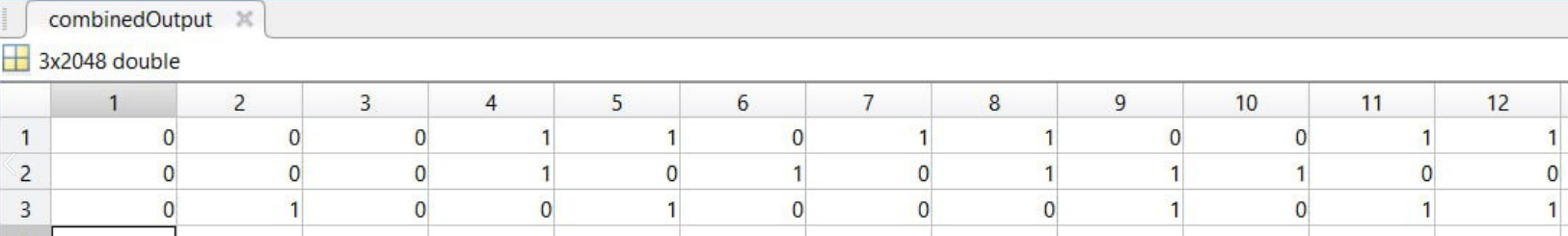
Рис. 7 Количество ресурсов после разводки

Можно заметить, что количество ресурсов после разводки не изменилось.

2.3 Результат симуляции



a)



б)

Рис. 8 Результат симуляции а) Vivado; б) MATLAB

С помощью написанного тестбенча и кода в Matlab мы можем увидеть результаты симуляции устройства. Если сравнить полученные значения выходного сигнала из Vivado и из Matlab, можно заметить, что они совпадают. Следовательно, устройство было реализовано верно.

**2.4 Анализ проекта с помощью tcl-команд**

2.4.1 Стандартная стратегия

* Report\_high\_fanout\_nets (поиск наиболее разветвленных путей с большим количеством связей)

High Fan-out Nets Information

1. Summary

----------

+------------------------+--------+-------------+

| Net Name | Fanout | Driver Type |

+------------------------+--------+-------------+

| cntr\_inter[0] | 221 | FDRE |

| cntr\_inter[1] | 220 | FDRE |

| cntr\_inter[2] | 219 | FDRE |

| cntr\_inter[3] | 216 | FDRE |

| cntr\_inter[5] | 216 | FDRE |

| cntr\_inter[4] | 209 | FDRE |

| cntr\_inter[6] | 109 | FDRE |

| cntr\_inter[7] | 57 | FDRE |

| rom\_data\_reg\_1\_i\_1\_n\_0 | 37 | LUT2 |

| cntr\_inter[8] | 23 | FDRE |

+------------------------+--------+-------------+

report\_high\_fanout\_nets: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.009 . Memory (MB): peak = 2265.105 ; gain = 0.000

cntr\_inter[0] (fanout: 221) имеет самый высокий fanout (нагрузочная способность). Это может привести к проблемам с задержкой и маршрутизацией. Наиболее часто встречается FDRE (D-триггер с синхронной установкой/сбросом), так как в проекте используются регистры для хранения данных. LUT2 показывает, что rom\_data\_reg\_1\_i\_1\_n\_0 управляется логической таблицей. Это указывает, что данный сигнал формируется на основе простой логики с двумя входами.

* Report\_timing\_summary (отчет о времени)

Максимальная тактовая частота:

f\_clk\_max = 1/(T - WNS)= 1 / (10 – 3.392) \*10^-9 = 151 МГц

Timing Summary Report

------------------------------------------------------------------------------------------------

| Timer Settings

| --------------

------------------------------------------------------------------------------------------------

Enable Multi Corner Analysis : Yes

Enable Pessimism Removal : Yes

Pessimism Removal Resolution : Nearest Common Node

Enable Input Delay Default Clock : No

Enable Preset / Clear Arcs : No

Disable Flight Delays : No

Ignore I/O Paths : No

Timing Early Launch at Borrowing Latches : false

Corner Analyze Analyze

Name Max Paths Min Paths

------ --------- ---------

Slow Yes Yes

Fast Yes Yes

check\_timing report

Table of Contents

-----------------

1. checking no\_clock

2. checking constant\_clock

3. checking pulse\_width\_clock

4. checking unconstrained\_internal\_endpoints

5. checking no\_input\_delay

6. checking no\_output\_delay

7. checking multiple\_clock

8. checking generated\_clocks

9. checking loops

10. checking partial\_input\_delay

11. checking partial\_output\_delay

12. checking latch\_loops

1. checking no\_clock

--------------------

There are 0 register/latch pins with no clock.

2. checking constant\_clock

--------------------------

There are 0 register/latch pins with constant\_clock.

3. checking pulse\_width\_clock

-----------------------------

There are 0 register/latch pins which need pulse\_width check

4. checking unconstrained\_internal\_endpoints

--------------------------------------------

There are 0 pins that are not constrained for maximum delay.

There are 0 pins that are not constrained for maximum delay due to constant clock.

5. checking no\_input\_delay

--------------------------

There are 2 input ports with no input delay specified. (HIGH)

There are 0 input ports with no input delay but user has a false path constraint.

6. checking no\_output\_delay

---------------------------

There are 4 ports with no output delay specified. (HIGH)

There are 0 ports with no output delay but user has a false path constraint

There are 0 ports with no output delay but with a timing clock defined on it or propagating through it

7. checking multiple\_clock

--------------------------

There are 0 register/latch pins with multiple clocks.

8. checking generated\_clocks

----------------------------

There are 0 generated clocks that are not connected to a clock source.

9. checking loops

-----------------

There are 0 combinational loops in the design.

10. checking partial\_input\_delay

--------------------------------

There are 0 input ports with partial input delay specified.

11. checking partial\_output\_delay

---------------------------------

There are 0 ports with partial output delay specified.

12. checking latch\_loops

------------------------

There are 0 combinational latch loops in the design through latch input

------------------------------------------------------------------------------------------------

| Design Timing Summary

| ---------------------

------------------------------------------------------------------------------------------------

WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints WPWS(ns) TPWS(ns) TPWS Failing Endpoints TPWS Total Endpoints

------- ------- --------------------- ------------------- ------- ------- --------------------- ------------------- -------- -------- ---------------------- --------------------

3.392 0.000 0 150 0.091 0.000 0 150 4.500 0.000 0 65

All user specified timing constraints are met.

------------------------------------------------------------------------------------------------

| Clock Summary

| -------------

------------------------------------------------------------------------------------------------

Clock Waveform(ns) Period(ns) Frequency(MHz)

----- ------------ ---------- --------------

sys\_clk\_pin {0.000 5.000} 10.000 100.000

------------------------------------------------------------------------------------------------

| Intra Clock Table

| -----------------

------------------------------------------------------------------------------------------------

Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints WPWS(ns) TPWS(ns) TPWS Failing Endpoints TPWS Total Endpoints

----- ------- ------- --------------------- ------------------- ------- ------- --------------------- ------------------- -------- -------- ---------------------- --------------------

sys\_clk\_pin 3.392 0.000 0 150 0.091 0.000 0 150 4.500 0.000 0 65

------------------------------------------------------------------------------------------------

| Inter Clock Table

| -----------------

------------------------------------------------------------------------------------------------

From Clock To Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints

---------- -------- ------- ------- --------------------- ------------------- ------- ------- --------------------- -------------------

------------------------------------------------------------------------------------------------

| Other Path Groups Table

| -----------------------

------------------------------------------------------------------------------------------------

Path Group From Clock To Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints

---------- ---------- -------- ------- ------- --------------------- ------------------- ------- ------- --------------------- -------------------

------------------------------------------------------------------------------------------------

| Timing Details

| --------------

------------------------------------------------------------------------------------------------

---------------------------------------------------------------------------------------------------

From Clock: sys\_clk\_pin

To Clock: sys\_clk\_pin

Setup : 0 Failing Endpoints, Worst Slack 3.392ns, Total Violation 0.000ns

Hold : 0 Failing Endpoints, Worst Slack 0.091ns, Total Violation 0.000ns

PW : 0 Failing Endpoints, Worst Slack 4.500ns, Total Violation 0.000ns

---------------------------------------------------------------------------------------------------

Max Delay Paths

--------------------------------------------------------------------------------------

Slack (MET) : 3.392ns (required time - arrival time)

Source: cntr\_inter\_reg\_rep[1]\_\_0/C

(rising edge-triggered cell FDRE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Destination: rom\_data\_reg\_2/ADDRBWRADDR[7]

(rising edge-triggered cell RAMB18E1 clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Path Group: sys\_clk\_pin

Path Type: Setup (Max at Slow Process Corner)

Requirement: 10.000ns (sys\_clk\_pin rise@10.000ns - sys\_clk\_pin rise@0.000ns)

Data Path Delay: 5.769ns (logic 1.612ns (27.943%) route 4.157ns (72.057%))

Logic Levels: 5 (LUT6=2 MUXF7=2 MUXF8=1)

Clock Path Skew: -0.063ns (DCD - SCD + CPR)

Destination Clock Delay (DCD): 4.257ns = ( 14.257 - 10.000 )

Source Clock Delay (SCD): 4.641ns

Clock Pessimism Removal (CPR): 0.322ns

Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE

Total System Jitter (TSJ): 0.071ns

Total Input Jitter (TIJ): 0.000ns

Discrete Jitter (DJ): 0.000ns

Phase Error (PE): 0.000ns

Location Delay type Incr(ns) Path(ns) Netlist Resource(s)

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.938 0.938 r clk\_IBUF\_inst/O

net (fo=1, routed) 1.972 2.910 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.096 3.006 r clk\_IBUF\_BUFG\_inst/O

net (fo=64, routed) 1.635 4.641 clk\_IBUF\_BUFG

SLICE\_X6Y6 FDRE r cntr\_inter\_reg\_rep[1]\_\_0/C

------------------------------------------------------------------- -------------------

SLICE\_X6Y6 FDRE (Prop\_fdre\_C\_Q) 0.478 5.119 r cntr\_inter\_reg\_rep[1]\_\_0/Q

net (fo=220, routed) 2.597 7.716 cntr\_inter[1]

SLICE\_X4Y3 LUT6 (Prop\_lut6\_I1\_O) 0.295 8.011 r g30\_b4/O

net (fo=1, routed) 0.000 8.011 g30\_b4\_n\_0

SLICE\_X4Y3 MUXF7 (Prop\_muxf7\_I0\_O) 0.212 8.223 r rom\_data\_reg\_2\_i\_139/O

net (fo=1, routed) 0.000 8.223 rom\_data\_reg\_2\_i\_139\_n\_0

SLICE\_X4Y3 MUXF8 (Prop\_muxf8\_I1\_O) 0.094 8.317 r rom\_data\_reg\_2\_i\_70/O

net (fo=1, routed) 0.728 9.044 rom\_data\_reg\_2\_i\_70\_n\_0

SLICE\_X3Y4 LUT6 (Prop\_lut6\_I0\_O) 0.316 9.360 r rom\_data\_reg\_2\_i\_27/O

net (fo=1, routed) 0.000 9.360 rom\_data\_reg\_2\_i\_27\_n\_0

SLICE\_X3Y4 MUXF7 (Prop\_muxf7\_I1\_O) 0.217 9.577 r rom\_data\_reg\_2\_i\_7/O

net (fo=1, routed) 0.832 10.410 p21[4]

RAMB18\_X0Y3 RAMB18E1 r rom\_data\_reg\_2/ADDRBWRADDR[7]

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

10.000 10.000 r

M18 0.000 10.000 r clk (IN)

net (fo=0) 0.000 10.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.805 10.805 r clk\_IBUF\_inst/O

net (fo=1, routed) 1.868 12.673 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.091 12.764 r clk\_IBUF\_BUFG\_inst/O

net (fo=64, routed) 1.493 14.257 clk\_IBUF\_BUFG

RAMB18\_X0Y3 RAMB18E1 r rom\_data\_reg\_2/CLKBWRCLK

clock pessimism 0.322 14.578

clock uncertainty -0.035 14.543

RAMB18\_X0Y3 RAMB18E1 (Setup\_ramb18e1\_CLKBWRCLK\_ADDRBWRADDR[7])

-0.741 13.802 rom\_data\_reg\_2

-------------------------------------------------------------------

required time 13.802

arrival time -10.410

-------------------------------------------------------------------

slack 3.392

Min Delay Paths

--------------------------------------------------------------------------------------

Slack (MET) : 0.091ns (arrival time - required time)

Source: cntr\_data\_reg[7]/C

(rising edge-triggered cell FDRE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Destination: rom\_data\_reg\_1/ADDRARDADDR[10]

(rising edge-triggered cell RAMB18E1 clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Path Group: sys\_clk\_pin

Path Type: Hold (Min at Fast Process Corner)

Requirement: 0.000ns (sys\_clk\_pin rise@0.000ns - sys\_clk\_pin rise@0.000ns)

Data Path Delay: 0.332ns (logic 0.164ns (49.456%) route 0.168ns (50.544%))

Logic Levels: 0

Clock Path Skew: 0.057ns (DCD - SCD - CPR)

Destination Clock Delay (DCD): 1.951ns

Source Clock Delay (SCD): 1.393ns

Clock Pessimism Removal (CPR): 0.500ns

Location Delay type Incr(ns) Path(ns) Netlist Resource(s)

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.167 0.167 r clk\_IBUF\_inst/O

net (fo=1, routed) 0.634 0.801 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.026 0.827 r clk\_IBUF\_BUFG\_inst/O

net (fo=64, routed) 0.566 1.393 clk\_IBUF\_BUFG

SLICE\_X8Y6 FDRE r cntr\_data\_reg[7]/C

------------------------------------------------------------------- -------------------

SLICE\_X8Y6 FDRE (Prop\_fdre\_C\_Q) 0.164 1.557 r cntr\_data\_reg[7]/Q

net (fo=3, routed) 0.168 1.724 cntr\_data\_reg[7]

RAMB18\_X0Y2 RAMB18E1 r rom\_data\_reg\_1/ADDRARDADDR[10]

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.356 0.356 r clk\_IBUF\_inst/O

net (fo=1, routed) 0.689 1.044 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.029 1.073 r clk\_IBUF\_BUFG\_inst/O

net (fo=64, routed) 0.877 1.951 clk\_IBUF\_BUFG

RAMB18\_X0Y2 RAMB18E1 r rom\_data\_reg\_1/CLKARDCLK

clock pessimism -0.500 1.450

RAMB18\_X0Y2 RAMB18E1 (Hold\_ramb18e1\_CLKARDCLK\_ADDRARDADDR[10])

0.183 1.633 rom\_data\_reg\_1

-------------------------------------------------------------------

required time -1.633

arrival time 1.724

-------------------------------------------------------------------

slack 0.091

Pulse Width Checks

--------------------------------------------------------------------------------------

Clock Name: sys\_clk\_pin

Waveform(ns): { 0.000 5.000 }

Period(ns): 10.000

Sources: { clk }

Check Type Corner Lib Pin Reference Pin Required(ns) Actual(ns) Slack(ns) Location Pin

Min Period n/a RAMB18E1/CLKARDCLK n/a 2.944 10.000 7.056 RAMB18\_X0Y3 rom\_data\_reg\_2/CLKARDCLK

Low Pulse Width Fast FDRE/C n/a 0.500 5.000 4.500 SLICE\_X0Y1 dv\_out\_reg/C

High Pulse Width Slow FDRE/C n/a 0.500 5.000 4.500 SLICE\_X8Y5 cntr\_data\_reg[0]/C

Наихудшая задержка данных: Источник: cntr\_data\_reg[7]/C Назначение: rom\_data\_reg\_2/ADDRBWRADDR[7] Общая задержка: 5.769 нс (логика — 27.943% маршрутизация — 72.057%) Slack (запас): 3.392 нс.

Наихудшая минимальная задержка данных: Источник: cntr\_data\_reg[7]/C Назначение: rom\_data\_reg\_1/ADDRARDADDR[10] Задержка данных: 0.332 нс (логика — 49.456%, маршрутизация — 50.544%) Slack (запас): 0.091 нс.

Все проверки ширины импульса для тактового сигнала sys\_clk\_pin пройдены: Минимальная ширина периода: 2.944 нс, фактическое — 10.000 нс, запас 7.056 нс. Минимальная ширина низкого и высокого уровня: требуется 0.500 нс, фактическое 5.000 нс, запас 4.500 нс.

Нарушения по времени установки отсутствуют. Требования по времени удержания выполнены.

* Report\_carry\_chains (цепи переноса)

Carry Chains Information

Table of Contents

-----------------

1. Summary

2. Utilization

1. Summary

----------

+--------------------+----------------------------+-------------------+

| Carry Chains Count | Average Carry Chain Height | Slice Utilization |

+--------------------+----------------------------+-------------------+

| 3 | 3 | 0.11% |

+--------------------+----------------------------+-------------------+

2. Utilization

--------------

+-----------------------+-----------------+--------------------------+

| Starting Instance | Height (Slices) | Carry Height Utilization |

+-----------------------+-----------------+--------------------------+

| cntr\_inter\_reg[0]\_i\_1 | 3 | 2.00% |

+-----------------------+-----------------+--------------------------+

report\_carry\_chains: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.104 . Memory (MB): peak = 2265.105 ; gain = 0.000

Ресурсы используются минимально: Проект задействует небольшое количество цепочек переноса с низкой загрузкой slice. Наибольшая цепочка (cntr\_inter\_reg[0]\_i\_1).

* Report\_control\_sets (управляющие сигналы, такие как сигнал сброса и т.д.)

Control Set Information

Table of Contents

-----------------

1. Summary

2. Histogram

3. Flip-Flop Distribution

1. Summary

----------

+-------------------------------+-------+

| Status | Count |

+-------------------------------+-------+

| Number of unique control sets | 5 |

+-------------------------------+-------+

2. Histogram

------------

+--------+--------------+

| Fanout | Control Sets |

+--------+--------------+

| 6 | 1 |

| 8 | 1 |

| 16+ | 3 |

+--------+--------------+

3. Flip-Flop Distribution

-------------------------

+--------------+-----------------------+------------------------+-----------------+--------------+

| Clock Enable | Synchronous Set/Reset | Asynchronous Set/Reset | Total Registers | Total Slices |

+--------------+-----------------------+------------------------+-----------------+--------------+

| No | No | No | 8 | 4 |

| No | No | Yes | 0 | 0 |

| No | Yes | No | 22 | 3 |

| Yes | No | No | 90 | 10 |

| Yes | No | Yes | 0 | 0 |

| Yes | Yes | No | 0 | 0 |

+--------------+-----------------------+------------------------+-----------------+--------------+

report\_control\_sets: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.027 . Memory (MB): peak = 2265.105 ; gain = 0.000

Небольшое количество уникальных управляющих наборов - 5.

Синхронный Set/Reset: Используется в 22 регистрах.

Оптимизация ресурсов: Всего 17 slices, что говорит о низкой загрузке FPGA.

2.4.2 Flow\_PerfOptimized\_high (синтез) и Performance\_ExploreWithRemap (разводка)

* Report\_high\_fanout\_nets (поиск наиболее разветвленных путей с большим количеством связей)

High Fan-out Nets Information

1. Summary

----------

+----------------------------------+--------+-------------+

| Net Name | Fanout | Driver Type |

+----------------------------------+--------+-------------+

| cntr\_data\_reg\_n\_0\_[0] | 193 | FDRE |

| cntr\_data\_reg\_n\_0\_[1] | 193 | FDRE |

| cntr\_data\_reg\_n\_0\_[2] | 193 | FDRE |

| cntr\_data\_reg\_n\_0\_[3] | 193 | FDRE |

| cntr\_data\_reg\_n\_0\_[4] | 193 | FDRE |

| cntr\_data\_reg\_n\_0\_[5] | 193 | FDRE |

| cntr\_data\_reg\_n\_0\_[6] | 161 | FDRE |

| x\_IBUF | 128 | IBUF |

| cntr\_inter\_reg\_rep[0]\_\_0\_rep\_n\_0 | 127 | FDRE |

| cntr\_inter\_reg\_rep[1]\_\_0\_rep\_n\_0 | 126 | FDRE |

+----------------------------------+--------+-------------+

report\_high\_fanout\_nets: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.028 . Memory (MB): peak = 2265.105 ; gain = 0.000

Наибольший fanout (193) наблюдается у сетей cntr\_data\_reg\_n\_0\_[0-5]. Все они относятся к драйверам типа FDRE, это означает, что данные регистры управляют большим количеством потребителей, что может увеличивать задержки.

Сеть x\_IBUF имеет fanout 128 и драйвер типа IBUF, что указывает на сигнал, поступающий с внешнего интерфейса, используемый в большом количестве логических блоков внутри FPGA.

Остальные сети, такие как cntr\_inter\_reg\_rep[0-1]\_0\_rep\_n\_0, имеют немного меньший fanout (127 и126), но все еще могут создавать дополнительную нагрузку на FPGA.

* Report\_timing\_summary (отчет о времени)

Максимальная тактовая частота:

f\_clk\_max = 1/(T - WNS)= 1 / (10 – 2.075) \*10^-9 = 126 МГц

Timing Summary Report

------------------------------------------------------------------------------------------------

| Timer Settings

| --------------

------------------------------------------------------------------------------------------------

Enable Multi Corner Analysis : Yes

Enable Pessimism Removal : Yes

Pessimism Removal Resolution : Nearest Common Node

Enable Input Delay Default Clock : No

Enable Preset / Clear Arcs : No

Disable Flight Delays : No

Ignore I/O Paths : No

Timing Early Launch at Borrowing Latches : false

Corner Analyze Analyze

Name Max Paths Min Paths

------ --------- ---------

Slow Yes Yes

Fast Yes Yes

check\_timing report

Table of Contents

-----------------

1. checking no\_clock

2. checking constant\_clock

3. checking pulse\_width\_clock

4. checking unconstrained\_internal\_endpoints

5. checking no\_input\_delay

6. checking no\_output\_delay

7. checking multiple\_clock

8. checking generated\_clocks

9. checking loops

10. checking partial\_input\_delay

11. checking partial\_output\_delay

12. checking latch\_loops

1. checking no\_clock

--------------------

There are 0 register/latch pins with no clock.

2. checking constant\_clock

--------------------------

There are 0 register/latch pins with constant\_clock.

3. checking pulse\_width\_clock

-----------------------------

There are 0 register/latch pins which need pulse\_width check

4. checking unconstrained\_internal\_endpoints

--------------------------------------------

There are 0 pins that are not constrained for maximum delay.

There are 0 pins that are not constrained for maximum delay due to constant clock.

5. checking no\_input\_delay

--------------------------

There are 2 input ports with no input delay specified. (HIGH)

There are 0 input ports with no input delay but user has a false path constraint.

6. checking no\_output\_delay

---------------------------

There are 4 ports with no output delay specified. (HIGH)

There are 0 ports with no output delay but user has a false path constraint

There are 0 ports with no output delay but with a timing clock defined on it or propagating through it

7. checking multiple\_clock

--------------------------

There are 0 register/latch pins with multiple clocks.

8. checking generated\_clocks

----------------------------

There are 0 generated clocks that are not connected to a clock source.

9. checking loops

-----------------

There are 0 combinational loops in the design.

10. checking partial\_input\_delay

--------------------------------

There are 0 input ports with partial input delay specified.

11. checking partial\_output\_delay

---------------------------------

There are 0 ports with partial output delay specified.

12. checking latch\_loops

------------------------

There are 0 combinational latch loops in the design through latch input

------------------------------------------------------------------------------------------------

| Design Timing Summary

| ---------------------

------------------------------------------------------------------------------------------------

WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints WPWS(ns) TPWS(ns) TPWS Failing Endpoints TPWS Total Endpoints

------- ------- --------------------- ------------------- ------- ------- --------------------- ------------------- -------- -------- ---------------------- --------------------

2.075 0.000 0 1162 0.071 0.000 0 1162 3.750 0.000 0 207

All user specified timing constraints are met.

------------------------------------------------------------------------------------------------

| Clock Summary

| -------------

------------------------------------------------------------------------------------------------

Clock Waveform(ns) Period(ns) Frequency(MHz)

----- ------------ ---------- --------------

sys\_clk\_pin {0.000 5.000} 10.000 100.000

------------------------------------------------------------------------------------------------

| Intra Clock Table

| -----------------

------------------------------------------------------------------------------------------------

Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints WPWS(ns) TPWS(ns) TPWS Failing Endpoints TPWS Total Endpoints

----- ------- ------- --------------------- ------------------- ------- ------- --------------------- ------------------- -------- -------- ---------------------- --------------------

sys\_clk\_pin 2.075 0.000 0 1162 0.071 0.000 0 1162 3.750 0.000 0 207

------------------------------------------------------------------------------------------------

| Inter Clock Table

| -----------------

------------------------------------------------------------------------------------------------

From Clock To Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints

---------- -------- ------- ------- --------------------- ------------------- ------- ------- --------------------- -------------------

------------------------------------------------------------------------------------------------

| Other Path Groups Table

| -----------------------

------------------------------------------------------------------------------------------------

Path Group From Clock To Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints

---------- ---------- -------- ------- ------- --------------------- ------------------- ------- ------- --------------------- -------------------

------------------------------------------------------------------------------------------------

| Timing Details

| --------------

------------------------------------------------------------------------------------------------

---------------------------------------------------------------------------------------------------

From Clock: sys\_clk\_pin

To Clock: sys\_clk\_pin

Setup : 0 Failing Endpoints, Worst Slack 2.075ns, Total Violation 0.000ns

Hold : 0 Failing Endpoints, Worst Slack 0.071ns, Total Violation 0.000ns

PW : 0 Failing Endpoints, Worst Slack 3.750ns, Total Violation 0.000ns

---------------------------------------------------------------------------------------------------

Max Delay Paths

--------------------------------------------------------------------------------------

Slack (MET) : 2.075ns (required time - arrival time)

Source: cntr\_inter\_reg\_rep[0]\_\_0\_rep/C

(rising edge-triggered cell FDRE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Destination: p2\_reg/D

(rising edge-triggered cell FDRE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Path Group: sys\_clk\_pin

Path Type: Setup (Max at Slow Process Corner)

Requirement: 10.000ns (sys\_clk\_pin rise@10.000ns - sys\_clk\_pin rise@0.000ns)

Data Path Delay: 7.928ns (logic 2.607ns (32.883%) route 5.321ns (67.117%))

Logic Levels: 10 (LUT5=1 LUT6=3 MUXF7=4 MUXF8=1 RAMD64E=1)

Clock Path Skew: -0.025ns (DCD - SCD + CPR)

Destination Clock Delay (DCD): 4.214ns = ( 14.214 - 10.000 )

Source Clock Delay (SCD): 4.575ns

Clock Pessimism Removal (CPR): 0.336ns

Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE

Total System Jitter (TSJ): 0.071ns

Total Input Jitter (TIJ): 0.000ns

Discrete Jitter (DJ): 0.000ns

Phase Error (PE): 0.000ns

Location Delay type Incr(ns) Path(ns) Netlist Resource(s)

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.938 0.938 r clk\_IBUF\_inst/O

net (fo=1, routed) 1.972 2.910 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.096 3.006 r clk\_IBUF\_BUFG\_inst/O

net (fo=206, routed) 1.569 4.575 clk\_IBUF\_BUFG

SLICE\_X9Y4 FDRE r cntr\_inter\_reg\_rep[0]\_\_0\_rep/C

------------------------------------------------------------------- -------------------

SLICE\_X9Y4 FDRE (Prop\_fdre\_C\_Q) 0.456 5.031 r cntr\_inter\_reg\_rep[0]\_\_0\_rep/Q

net (fo=127, routed) 1.517 6.548 cntr\_inter\_reg\_rep[0]\_\_0\_rep\_n\_0

SLICE\_X6Y12 LUT6 (Prop\_lut6\_I0\_O) 0.124 6.672 r g29\_b1/O

net (fo=1, routed) 0.000 6.672 g29\_b1\_n\_0

SLICE\_X6Y12 MUXF7 (Prop\_muxf7\_I1\_O) 0.247 6.919 r rom\_data\_reg\_r2\_0\_127\_0\_0\_i\_91/O

net (fo=1, routed) 0.000 6.919 rom\_data\_reg\_r2\_0\_127\_0\_0\_i\_91\_n\_0

SLICE\_X6Y12 MUXF8 (Prop\_muxf8\_I0\_O) 0.098 7.017 r rom\_data\_reg\_r2\_0\_127\_0\_0\_i\_43/O

net (fo=1, routed) 0.849 7.866 rom\_data\_reg\_r2\_0\_127\_0\_0\_i\_43\_n\_0

SLICE\_X7Y12 LUT6 (Prop\_lut6\_I0\_O) 0.319 8.185 r rom\_data\_reg\_r2\_0\_127\_0\_0\_i\_19/O

net (fo=1, routed) 0.000 8.185 rom\_data\_reg\_r2\_0\_127\_0\_0\_i\_19\_n\_0

SLICE\_X7Y12 MUXF7 (Prop\_muxf7\_I1\_O) 0.217 8.402 r rom\_data\_reg\_r2\_0\_127\_0\_0\_i\_6/O

net (fo=32, routed) 1.418 9.819 rom\_data\_reg\_r2\_384\_511\_0\_0/DPRA1

SLICE\_X8Y7 RAMD64E (Prop\_ramd64e\_RADR1\_O)

0.299 10.118 r rom\_data\_reg\_r2\_384\_511\_0\_0/DP.HIGH/O

net (fo=1, routed) 0.000 10.118 rom\_data\_reg\_r2\_384\_511\_0\_0/DPO1

SLICE\_X8Y7 MUXF7 (Prop\_muxf7\_I1\_O) 0.214 10.332 r rom\_data\_reg\_r2\_384\_511\_0\_0/F7.DP/O

net (fo=1, routed) 0.740 11.072 rom\_data\_reg\_r2\_384\_511\_0\_0\_n\_0

SLICE\_X9Y4 LUT5 (Prop\_lut5\_I0\_O) 0.297 11.369 r p2\_i\_11/O

net (fo=1, routed) 0.798 12.167 p2\_i\_11\_n\_0

SLICE\_X9Y3 LUT6 (Prop\_lut6\_I3\_O) 0.124 12.291 r p2\_i\_3/O

net (fo=1, routed) 0.000 12.291 p2\_i\_3\_n\_0

SLICE\_X9Y3 MUXF7 (Prop\_muxf7\_I0\_O) 0.212 12.503 r p2\_reg\_i\_1/O

net (fo=1, routed) 0.000 12.503 p20

SLICE\_X9Y3 FDRE r p2\_reg/D

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

10.000 10.000 r

M18 0.000 10.000 r clk (IN)

net (fo=0) 0.000 10.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.805 10.805 r clk\_IBUF\_inst/O

net (fo=1, routed) 1.868 12.673 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.091 12.764 r clk\_IBUF\_BUFG\_inst/O

net (fo=206, routed) 1.450 14.214 clk\_IBUF\_BUFG

SLICE\_X9Y3 FDRE r p2\_reg/C

clock pessimism 0.336 14.550

clock uncertainty -0.035 14.515

SLICE\_X9Y3 FDRE (Setup\_fdre\_C\_D) 0.064 14.579 p2\_reg

-------------------------------------------------------------------

required time 14.579

arrival time -12.503

-------------------------------------------------------------------

slack 2.075

Min Delay Paths

--------------------------------------------------------------------------------------

Slack (MET) : 0.071ns (arrival time - required time)

Source: cntr\_data\_reg[0]/C

(rising edge-triggered cell FDRE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Destination: rom\_data\_reg\_r1\_1408\_1535\_0\_0/DP.HIGH/WADR0

(rising edge-triggered cell RAMD64E clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Path Group: sys\_clk\_pin

Path Type: Hold (Min at Fast Process Corner)

Requirement: 0.000ns (sys\_clk\_pin rise@0.000ns - sys\_clk\_pin rise@0.000ns)

Data Path Delay: 0.394ns (logic 0.141ns (35.813%) route 0.253ns (64.187%))

Logic Levels: 0

Clock Path Skew: 0.013ns (DCD - SCD - CPR)

Destination Clock Delay (DCD): 1.939ns

Source Clock Delay (SCD): 1.422ns

Clock Pessimism Removal (CPR): 0.504ns

Location Delay type Incr(ns) Path(ns) Netlist Resource(s)

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.167 0.167 r clk\_IBUF\_inst/O

net (fo=1, routed) 0.634 0.801 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.026 0.827 r clk\_IBUF\_BUFG\_inst/O

net (fo=206, routed) 0.595 1.422 clk\_IBUF\_BUFG

SLICE\_X3Y4 FDRE r cntr\_data\_reg[0]/C

------------------------------------------------------------------- -------------------

SLICE\_X3Y4 FDRE (Prop\_fdre\_C\_Q) 0.141 1.563 r cntr\_data\_reg[0]/Q

net (fo=193, routed) 0.253 1.816 rom\_data\_reg\_r1\_1408\_1535\_0\_0/A0

SLICE\_X2Y4 RAMD64E r rom\_data\_reg\_r1\_1408\_1535\_0\_0/DP.HIGH/WADR0

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.356 0.356 r clk\_IBUF\_inst/O

net (fo=1, routed) 0.689 1.044 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.029 1.073 r clk\_IBUF\_BUFG\_inst/O

net (fo=206, routed) 0.866 1.939 rom\_data\_reg\_r1\_1408\_1535\_0\_0/WCLK

SLICE\_X2Y4 RAMD64E r rom\_data\_reg\_r1\_1408\_1535\_0\_0/DP.HIGH/CLK

clock pessimism -0.504 1.435

SLICE\_X2Y4 RAMD64E (Hold\_ramd64e\_CLK\_WADR0)

0.310 1.745 rom\_data\_reg\_r1\_1408\_1535\_0\_0/DP.HIGH

-------------------------------------------------------------------

required time -1.745

arrival time 1.816

-------------------------------------------------------------------

slack 0.071

Pulse Width Checks

--------------------------------------------------------------------------------------

Clock Name: sys\_clk\_pin

Waveform(ns): { 0.000 5.000 }

Period(ns): 10.000

Sources: { clk }

Check Type Corner Lib Pin Reference Pin Required(ns) Actual(ns) Slack(ns) Location Pin

Min Period n/a BUFG/I n/a 2.155 10.000 7.845 BUFGCTRL\_X0Y0 clk\_IBUF\_BUFG\_inst/I

Low Pulse Width Fast RAMD64E/CLK n/a 1.250 5.000 3.750 SLICE\_X2Y2 rom\_data\_reg\_r1\_1792\_1919\_0\_0/SP.HIGH/CLK

High Pulse Width Slow RAMD64E/CLK n/a 1.250 5.000 3.750 SLICE\_X2Y2 rom\_data\_reg\_r1\_1792\_1919\_0\_0/SP.HIGH/CLK

Наихудшая задержка данных: Источник: cntr\_inter\_reg\_rep[0]\_\_0\_rep/C Назначение: p2\_reg/D Общая задержка: 7.928 нс (логика — 32.883% маршрутизация — 67.117%) Slack (запас): 2.075 нс.

Наихудшая минимальная задержка данных: Источник: cntr\_data\_reg[0]/C Назначение: rom\_data\_reg\_r1\_1408\_1535\_0\_0/DP.HIGH/WADR0 Задержка данных: 0.394 нс (логика — 35.813%, маршрутизация — 64.187%) Slack (запас): 0.071 нс.

Все проверки ширины импульса для тактового сигнала sys\_clk\_pin пройдены: Минимальная ширина периода: 2.155 нс, фактическое — 10.000 нс, запас 7.845 нс. Минимальная ширина низкого и высокого уровня: требуется 1.250 нс, фактическое 5.000 нс, запас 3.750 нс.

Нарушения по времени установки отсутствуют. Требования по времени удержания выполнены.

* Report\_carry\_chains (цепи переноса)

Carry Chains Information

Table of Contents

-----------------

1. Summary

2. Utilization

1. Summary

----------

+--------------------+----------------------------+-------------------+

| Carry Chains Count | Average Carry Chain Height | Slice Utilization |

+--------------------+----------------------------+-------------------+

| 3 | 3 | 0.11% |

+--------------------+----------------------------+-------------------+

2. Utilization

--------------

+----------------------+-----------------+--------------------------+

| Starting Instance | Height (Slices) | Carry Height Utilization |

+----------------------+-----------------+--------------------------+

| cntr\_data\_reg[0]\_i\_2 | 3 | 2.00% |

+----------------------+-----------------+--------------------------+

report\_carry\_chains: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.054 . Memory (MB): peak = 2265.105 ; gain = 0.000

Ресурсы используются минимально: Проект задействует небольшое количество цепочек переноса с низкой загрузкой slice. Наибольшая цепочка (cntr\_data\_reg[0]\_i\_2).

* Report\_control\_sets (управляющие сигналы, такие как сигнал сброса и т.д.)

Control Set Information

Table of Contents

-----------------

1. Summary

2. Histogram

3. Flip-Flop Distribution

1. Summary

----------

+-------------------------------+-------+

| Status | Count |

+-------------------------------+-------+

| Number of unique control sets | 21 |

+-------------------------------+-------+

2. Histogram

------------

+--------+--------------+

| Fanout | Control Sets |

+--------+--------------+

| 6 | 1 |

| 12 | 1 |

| 16+ | 19 |

+--------+--------------+

3. Flip-Flop Distribution

-------------------------

+--------------+-----------------------+------------------------+-----------------+--------------+

| Clock Enable | Synchronous Set/Reset | Asynchronous Set/Reset | Total Registers | Total Slices |

+--------------+-----------------------+------------------------+-----------------+--------------+

| No | No | No | 12 | 4 |

| No | No | Yes | 0 | 0 |

| No | Yes | No | 22 | 3 |

| Yes | No | No | 122 | 18 |

| Yes | No | Yes | 0 | 0 |

| Yes | Yes | No | 0 | 0 |

+--------------+-----------------------+------------------------+-----------------+--------------+

report\_control\_sets: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.009 . Memory (MB): peak = 2265.105 ; gain = 0.000

Количество уникальных наборов управления – 21, что может увеличить сложность маршрутизации сигналов и повлиять на производительность FPGA.

Синхронный Set/Reset: Используется в 22 регистрах.

Оптимизация ресурсов: Всего 25 slices, что говорит о низкой загрузке FPGA.

2.4.3 Flow\_AreaOptimized\_high (синтез) и Area\_ExploreWithRemap (разводка)

* Report\_high\_fanout\_nets (поиск наиболее разветвленных путей с большим количеством связей)

High Fan-out Nets Information

1. Summary

----------

+------------------------+--------+-------------+

| Net Name | Fanout | Driver Type |

+------------------------+--------+-------------+

| cntr\_inter[0] | 221 | FDRE |

| cntr\_inter[1] | 220 | FDRE |

| cntr\_inter[2] | 219 | FDRE |

| cntr\_inter[3] | 216 | FDRE |

| cntr\_inter[5] | 216 | FDRE |

| cntr\_inter[4] | 209 | FDRE |

| cntr\_inter[6] | 109 | FDRE |

| cntr\_inter[7] | 59 | FDRE |

| rom\_data\_reg\_1\_i\_1\_n\_0 | 37 | LUT2 |

| cntr\_inter[8] | 22 | FDRE |

+------------------------+--------+-------------+

report\_high\_fanout\_nets: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.015 . Memory (MB): peak = 2265.105 ; gain = 0.000

Сеть с наивысшим fanout: cntr\_inter[0] (fanout: 221, драйвер: FDRE). Высокий fanout может привести к задержкам и проблемам с маршрутизацией.

Другие сети с высоким fanout: cntr\_inter[1] (fanout: 220, драйвер: FDRE), cntr\_inter[2] (fanout: 219, драйвер: FDRE). Эти сети также требуют внимания из-за высокой нагрузки.

Самый часто используемый драйвер - FDRE, описанный ранее. LUT2 показывает, что rom\_data\_reg\_1\_i\_1\_n\_0 управляется логической таблицей. Это указывает, что данный сигнал формируется на основе простой логики с двумя входами.

* Report\_timing\_summary (отчет о времени)

Максимальная тактовая частота:

f\_clk\_max = 1/(T - WNS)= 1 / (10 – 3.734) \*10^-9 = 160 МГц

Timing Summary Report

------------------------------------------------------------------------------------------------

| Timer Settings

| --------------

------------------------------------------------------------------------------------------------

Enable Multi Corner Analysis : Yes

Enable Pessimism Removal : Yes

Pessimism Removal Resolution : Nearest Common Node

Enable Input Delay Default Clock : No

Enable Preset / Clear Arcs : No

Disable Flight Delays : No

Ignore I/O Paths : No

Timing Early Launch at Borrowing Latches : false

Corner Analyze Analyze

Name Max Paths Min Paths

------ --------- ---------

Slow Yes Yes

Fast Yes Yes

check\_timing report

Table of Contents

-----------------

1. checking no\_clock

2. checking constant\_clock

3. checking pulse\_width\_clock

4. checking unconstrained\_internal\_endpoints

5. checking no\_input\_delay

6. checking no\_output\_delay

7. checking multiple\_clock

8. checking generated\_clocks

9. checking loops

10. checking partial\_input\_delay

11. checking partial\_output\_delay

12. checking latch\_loops

1. checking no\_clock

--------------------

There are 0 register/latch pins with no clock.

2. checking constant\_clock

--------------------------

There are 0 register/latch pins with constant\_clock.

3. checking pulse\_width\_clock

-----------------------------

There are 0 register/latch pins which need pulse\_width check

4. checking unconstrained\_internal\_endpoints

--------------------------------------------

There are 0 pins that are not constrained for maximum delay.

There are 0 pins that are not constrained for maximum delay due to constant clock.

5. checking no\_input\_delay

--------------------------

There are 2 input ports with no input delay specified. (HIGH)

There are 0 input ports with no input delay but user has a false path constraint.

6. checking no\_output\_delay

---------------------------

There are 4 ports with no output delay specified. (HIGH)

There are 0 ports with no output delay but user has a false path constraint

There are 0 ports with no output delay but with a timing clock defined on it or propagating through it

7. checking multiple\_clock

--------------------------

There are 0 register/latch pins with multiple clocks.

8. checking generated\_clocks

----------------------------

There are 0 generated clocks that are not connected to a clock source.

9. checking loops

-----------------

There are 0 combinational loops in the design.

10. checking partial\_input\_delay

--------------------------------

There are 0 input ports with partial input delay specified.

11. checking partial\_output\_delay

---------------------------------

There are 0 ports with partial output delay specified.

12. checking latch\_loops

------------------------

There are 0 combinational latch loops in the design through latch input

------------------------------------------------------------------------------------------------

| Design Timing Summary

| ---------------------

------------------------------------------------------------------------------------------------

WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints WPWS(ns) TPWS(ns) TPWS Failing Endpoints TPWS Total Endpoints

------- ------- --------------------- ------------------- ------- ------- --------------------- ------------------- -------- -------- ---------------------- --------------------

3.734 0.000 0 150 0.090 0.000 0 150 4.500 0.000 0 65

All user specified timing constraints are met.

------------------------------------------------------------------------------------------------

| Clock Summary

| -------------

------------------------------------------------------------------------------------------------

Clock Waveform(ns) Period(ns) Frequency(MHz)

----- ------------ ---------- --------------

sys\_clk\_pin {0.000 5.000} 10.000 100.000

------------------------------------------------------------------------------------------------

| Intra Clock Table

| -----------------

------------------------------------------------------------------------------------------------

Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints WPWS(ns) TPWS(ns) TPWS Failing Endpoints TPWS Total Endpoints

----- ------- ------- --------------------- ------------------- ------- ------- --------------------- ------------------- -------- -------- ---------------------- --------------------

sys\_clk\_pin 3.734 0.000 0 150 0.090 0.000 0 150 4.500 0.000 0 65

------------------------------------------------------------------------------------------------

| Inter Clock Table

| -----------------

------------------------------------------------------------------------------------------------

From Clock To Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints

---------- -------- ------- ------- --------------------- ------------------- ------- ------- --------------------- -------------------

------------------------------------------------------------------------------------------------

| Other Path Groups Table

| -----------------------

------------------------------------------------------------------------------------------------

Path Group From Clock To Clock WNS(ns) TNS(ns) TNS Failing Endpoints TNS Total Endpoints WHS(ns) THS(ns) THS Failing Endpoints THS Total Endpoints

---------- ---------- -------- ------- ------- --------------------- ------------------- ------- ------- --------------------- -------------------

------------------------------------------------------------------------------------------------

| Timing Details

| --------------

------------------------------------------------------------------------------------------------

---------------------------------------------------------------------------------------------------

From Clock: sys\_clk\_pin

To Clock: sys\_clk\_pin

Setup : 0 Failing Endpoints, Worst Slack 3.734ns, Total Violation 0.000ns

Hold : 0 Failing Endpoints, Worst Slack 0.090ns, Total Violation 0.000ns

PW : 0 Failing Endpoints, Worst Slack 4.500ns, Total Violation 0.000ns

---------------------------------------------------------------------------------------------------

Max Delay Paths

--------------------------------------------------------------------------------------

Slack (MET) : 3.734ns (required time - arrival time)

Source: cntr\_inter\_reg\_rep[0]\_\_0/C

(rising edge-triggered cell FDRE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Destination: rom\_data\_reg\_2/ADDRBWRADDR[7]

(rising edge-triggered cell RAMB18E1 clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Path Group: sys\_clk\_pin

Path Type: Setup (Max at Slow Process Corner)

Requirement: 10.000ns (sys\_clk\_pin rise@10.000ns - sys\_clk\_pin rise@0.000ns)

Data Path Delay: 5.508ns (logic 1.514ns (27.485%) route 3.994ns (72.515%))

Logic Levels: 5 (LUT6=2 MUXF7=2 MUXF8=1)

Clock Path Skew: 0.017ns (DCD - SCD + CPR)

Destination Clock Delay (DCD): 4.257ns = ( 14.257 - 10.000 )

Source Clock Delay (SCD): 4.575ns

Clock Pessimism Removal (CPR): 0.336ns

Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE

Total System Jitter (TSJ): 0.071ns

Total Input Jitter (TIJ): 0.000ns

Discrete Jitter (DJ): 0.000ns

Phase Error (PE): 0.000ns

Location Delay type Incr(ns) Path(ns) Netlist Resource(s)

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.938 0.938 r clk\_IBUF\_inst/O

net (fo=1, routed) 1.972 2.910 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.096 3.006 r clk\_IBUF\_BUFG\_inst/O

net (fo=64, routed) 1.569 4.575 clk\_IBUF\_BUFG

SLICE\_X8Y3 FDRE r cntr\_inter\_reg\_rep[0]\_\_0/C

------------------------------------------------------------------- -------------------

SLICE\_X8Y3 FDRE (Prop\_fdre\_C\_Q) 0.518 5.093 r cntr\_inter\_reg\_rep[0]\_\_0/Q

net (fo=221, routed) 2.841 7.934 cntr\_inter[0]

SLICE\_X4Y7 LUT6 (Prop\_lut6\_I0\_O) 0.124 8.058 r g19\_b4/O

net (fo=1, routed) 0.000 8.058 g19\_b4\_n\_0

SLICE\_X4Y7 MUXF7 (Prop\_muxf7\_I1\_O) 0.217 8.275 r rom\_data\_reg\_2\_i\_147/O

net (fo=1, routed) 0.000 8.275 rom\_data\_reg\_2\_i\_147\_n\_0

SLICE\_X4Y7 MUXF8 (Prop\_muxf8\_I1\_O) 0.094 8.369 r rom\_data\_reg\_2\_i\_75/O

net (fo=1, routed) 0.429 8.798 rom\_data\_reg\_2\_i\_75\_n\_0

SLICE\_X4Y6 LUT6 (Prop\_lut6\_I5\_O) 0.316 9.114 r rom\_data\_reg\_2\_i\_27/O

net (fo=1, routed) 0.000 9.114 rom\_data\_reg\_2\_i\_27\_n\_0

SLICE\_X4Y6 MUXF7 (Prop\_muxf7\_I1\_O) 0.245 9.359 r rom\_data\_reg\_2\_i\_7/O

net (fo=1, routed) 0.725 10.083 p21[4]

RAMB18\_X0Y3 RAMB18E1 r rom\_data\_reg\_2/ADDRBWRADDR[7]

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

10.000 10.000 r

M18 0.000 10.000 r clk (IN)

net (fo=0) 0.000 10.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.805 10.805 r clk\_IBUF\_inst/O

net (fo=1, routed) 1.868 12.673 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.091 12.764 r clk\_IBUF\_BUFG\_inst/O

net (fo=64, routed) 1.493 14.257 clk\_IBUF\_BUFG

RAMB18\_X0Y3 RAMB18E1 r rom\_data\_reg\_2/CLKBWRCLK

clock pessimism 0.336 14.592

clock uncertainty -0.035 14.557

RAMB18\_X0Y3 RAMB18E1 (Setup\_ramb18e1\_CLKBWRCLK\_ADDRBWRADDR[7])

-0.740 13.817 rom\_data\_reg\_2

-------------------------------------------------------------------

required time 13.817

arrival time -10.083

-------------------------------------------------------------------

slack 3.734

Min Delay Paths

--------------------------------------------------------------------------------------

Slack (MET) : 0.090ns (arrival time - required time)

Source: cntr\_data\_reg[5]/C

(rising edge-triggered cell FDRE clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Destination: rom\_data\_reg\_1/ADDRARDADDR[8]

(rising edge-triggered cell RAMB18E1 clocked by sys\_clk\_pin {rise@0.000ns fall@5.000ns period=10.000ns})

Path Group: sys\_clk\_pin

Path Type: Hold (Min at Fast Process Corner)

Requirement: 0.000ns (sys\_clk\_pin rise@0.000ns - sys\_clk\_pin rise@0.000ns)

Data Path Delay: 0.332ns (logic 0.164ns (49.433%) route 0.168ns (50.567%))

Logic Levels: 0

Clock Path Skew: 0.058ns (DCD - SCD - CPR)

Destination Clock Delay (DCD): 1.951ns

Source Clock Delay (SCD): 1.392ns

Clock Pessimism Removal (CPR): 0.500ns

Location Delay type Incr(ns) Path(ns) Netlist Resource(s)

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.167 0.167 r clk\_IBUF\_inst/O

net (fo=1, routed) 0.634 0.801 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.026 0.827 r clk\_IBUF\_BUFG\_inst/O

net (fo=64, routed) 0.565 1.392 clk\_IBUF\_BUFG

SLICE\_X8Y9 FDRE r cntr\_data\_reg[5]/C

------------------------------------------------------------------- -------------------

SLICE\_X8Y9 FDRE (Prop\_fdre\_C\_Q) 0.164 1.556 r cntr\_data\_reg[5]/Q

net (fo=3, routed) 0.168 1.724 cntr\_data\_reg[5]

RAMB18\_X0Y2 RAMB18E1 r rom\_data\_reg\_1/ADDRARDADDR[8]

------------------------------------------------------------------- -------------------

(clock sys\_clk\_pin rise edge)

0.000 0.000 r

M18 0.000 0.000 r clk (IN)

net (fo=0) 0.000 0.000 clk

M18 IBUF (Prop\_ibuf\_I\_O) 0.356 0.356 r clk\_IBUF\_inst/O

net (fo=1, routed) 0.689 1.044 clk\_IBUF

BUFGCTRL\_X0Y0 BUFG (Prop\_bufg\_I\_O) 0.029 1.073 r clk\_IBUF\_BUFG\_inst/O

net (fo=64, routed) 0.877 1.951 clk\_IBUF\_BUFG

RAMB18\_X0Y2 RAMB18E1 r rom\_data\_reg\_1/CLKARDCLK

clock pessimism -0.500 1.450

RAMB18\_X0Y2 RAMB18E1 (Hold\_ramb18e1\_CLKARDCLK\_ADDRARDADDR[8])

0.183 1.633 rom\_data\_reg\_1

-------------------------------------------------------------------

required time -1.633

arrival time 1.724

-------------------------------------------------------------------

slack 0.090

Pulse Width Checks

--------------------------------------------------------------------------------------

Clock Name: sys\_clk\_pin

Waveform(ns): { 0.000 5.000 }

Period(ns): 10.000

Sources: { clk }

Check Type Corner Lib Pin Reference Pin Required(ns) Actual(ns) Slack(ns) Location Pin

Min Period n/a RAMB18E1/CLKARDCLK n/a 2.944 10.000 7.056 RAMB18\_X0Y3 rom\_data\_reg\_2/CLKARDCLK

Low Pulse Width Fast FDRE/C n/a 0.500 5.000 4.500 SLICE\_X8Y8 cntr\_data\_reg[0]/C

High Pulse Width Slow FDRE/C n/a 0.500 5.000 4.500 SLICE\_X8Y10 cntr\_data\_reg[10]/C

Наихудшая задержка данных: Источник: cntr\_inter\_reg\_rep[0]\_\_0/C Назначение: rom\_data\_reg\_2/ADDRBWRADDR[7] Общая задержка: 5.508 нс (логика — 27.485% маршрутизация — 72.515%) Slack (запас): 3.734 нс.

Наихудшая минимальная задержка данных: Источник: cntr\_data\_reg[5]/C Назначение: rom\_data\_reg\_1/ADDRARDADDR[8] Задержка данных: 0.332 нс (логика — 49.433%, маршрутизация — 50.567%) Slack (запас): 0.090 нс.

Все проверки ширины импульса для тактового сигнала sys\_clk\_pin пройдены: Минимальная ширина периода: 2.944 нс, фактическое — 10.000 нс, запас 7.056 нс. Минимальная ширина низкого и высокого уровня: требуется 0.500 нс, фактическое 5.000 нс, запас 4.500 нс.

Нарушения по времени установки отсутствуют. Требования по времени удержания выполнены.

TNS (Total Negative Slack) = 0.000 нс: суммарное отрицательное отклонение по всем путям.

THS (Total Hold Slack) = 0.000 нс: суммарное отклонение по удержанию.

PW (Pulse Width): Для проверки ширины импульса (Min и Max) выполняются требования: минимальная и максимальная ширина импульса для всех проверок составляет 4.500 нс, что значительно превышает минимальные требования (0.500 нс).

* Report\_carry\_chains (цепи переноса)

Carry Chains Information

Table of Contents

-----------------

1. Summary

2. Utilization

1. Summary

----------

+--------------------+----------------------------+-------------------+

| Carry Chains Count | Average Carry Chain Height | Slice Utilization |

+--------------------+----------------------------+-------------------+

| 3 | 3 | 0.11% |

+--------------------+----------------------------+-------------------+

2. Utilization

--------------

+-----------------------+-----------------+--------------------------+

| Starting Instance | Height (Slices) | Carry Height Utilization |

+-----------------------+-----------------+--------------------------+

| cntr\_inter\_reg[0]\_i\_1 | 3 | 2.00% |

+-----------------------+-----------------+--------------------------+

report\_carry\_chains: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.087 . Memory (MB): peak = 2265.105 ; gain = 0.000

Ресурсы используются минимально: Проект задействует небольшое количество цепочек переноса с низкой загрузкой slice. Наибольшая цепочка (cntr\_inter\_reg[0]\_i\_1).

* Report\_control\_sets (управляющие сигналы, такие как сигнал сброса и т.д.)

Control Set Information

Table of Contents

-----------------

1. Summary

2. Histogram

3. Flip-Flop Distribution

1. Summary

----------

+-------------------------------+-------+

| Status | Count |

+-------------------------------+-------+

| Number of unique control sets | 5 |

+-------------------------------+-------+

2. Histogram

------------

+--------+--------------+

| Fanout | Control Sets |

+--------+--------------+

| 6 | 1 |

| 8 | 1 |

| 16+ | 3 |

+--------+--------------+

3. Flip-Flop Distribution

-------------------------

+--------------+-----------------------+------------------------+-----------------+--------------+

| Clock Enable | Synchronous Set/Reset | Asynchronous Set/Reset | Total Registers | Total Slices |

+--------------+-----------------------+------------------------+-----------------+--------------+

| No | No | No | 8 | 4 |

| No | No | Yes | 0 | 0 |

| No | Yes | No | 22 | 3 |

| Yes | No | No | 90 | 13 |

| Yes | No | Yes | 0 | 0 |

| Yes | Yes | No | 0 | 0 |

+--------------+-----------------------+------------------------+-----------------+--------------+

report\_control\_sets: Time (s): cpu = 00:00:00 ; elapsed = 00:00:00.006 . Memory (MB): peak = 2265.105 ; gain = 0.000

Небольшое количество уникальных управляющих наборов – 5.

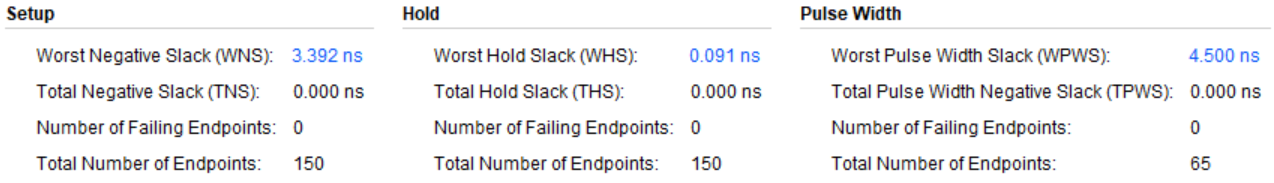
Синхронный Set/Reset: Используется в 22 регистрах.

Оптимизация ресурсов: Всего 20 slices, что говорит о низкой загрузке FPGA.

**2.5 Анализ критических путей**

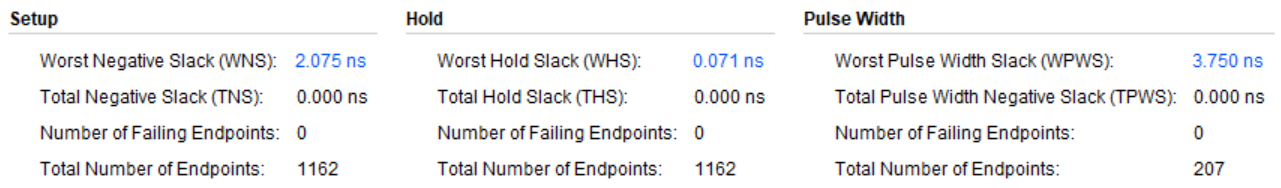
Для повышения максимальной тактовой частоты устройства необходимо уменьшить критический путь. В среде Vivado отмечается минимальный тактовый период CLK\_PERIOD – WNS (Worst Negative Slack).

Для стандартной стратегии:



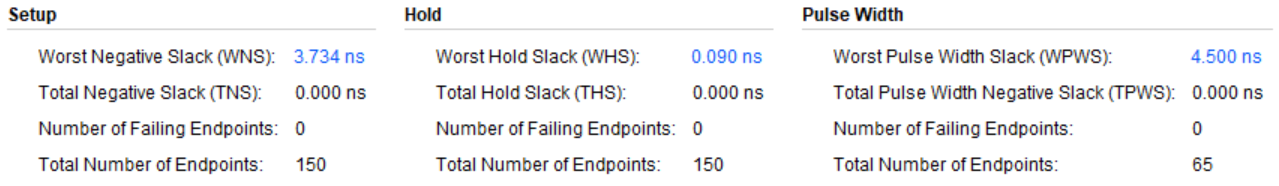
WNS = 3.392 нс

Для Flow\_PerfOptimized\_high (синтез) и Performance\_ExploreWithRemap (разводка):



WNS = 2.075 нс

Для Flow\_AreaOptimized\_high (синтез) и Area\_ExploreWithRemap (разводка):



WNS = 3.734 нс

**Заключение**

В данной курсовой работе был успешно разработан и реализован кодер сверточного параллельного турбокода для системы LTE. В ходе работы была рассмотрена теория структурного устройства турбокодера и его алгоритм работы, разработана модель турбокодера в Matlab, что позволило протестировать и проверить корректность алгоритма на этапе моделирования, а также реализована архитектура кодера на FPGA с использованием современных инструментов проектирования, таких как Vivado и сделан тестбенч, где на симуляции нашего модели, можно было проверить его работоспособность.

Максимальная тактовая частота:

* Для стандартной стратегии равна 151 МГц
* Для Flow\_PerfOptimized\_high (синтез) и Performance\_ExploreWithRemap (разводка) равна 126 МГц
* Для Flow\_AreaOptimized\_high (синтез) и Area\_ExploreWithRemap (разводка) равна 160 МГц

Максимальную тактовую частоту, среди всех стратегий, имеет Flow\_AreaOptimized\_high (синтез) и Area\_ExploreWithRemap (разводка) - 160 МГц.

Стратегии стандартная и Flow\_AreaOptimized\_high (синтез) и Area\_ExploreWithRemap (разводка) имеют схожее количество ресурсов (LUT) после синтеза и разводки - 250 и 249, а стратегия Flow\_PerfOptimized\_high (синтез) и Performance\_ExploreWithRemap (разводка) имеет в 1,66 раз больше LUT, чем две другие стратегии.

Стандартная стратегия и Flow\_AreaOptimized\_high (синтез) и Area\_ExploreWithRemap (разводка) также имеют одинаковое количество триггеров - 120, а стратегия Flow\_PerfOptimized\_high (синтез) и Performance\_ExploreWithRemap (разводка) имеет в 1,3 раза больше триггеров.

Для всех стратегий, максимальная тактовая частота находится на допустимом уровне для данной реализации и не препятствует корректной работе при заданной тактовой частоте 100 МГц.

**Приложение**

1. Код System Verilog – файла

module LTE(

// Входные сигналы

input logic clk, // Тактовый сигнал

input logic dv\_in, // Сигнал наличия входных данных

input logic x, // Входной бит данных

// Выходные сигналы

output logic s\_k, // Систематический выходной бит данных

output logic p1\_k, // Первый проверочный выходной бит данных

output logic p2\_k, // Второй проверочный выходной бит данных

output logic dv\_out // Сигнал наличия выходных данных

);

// Локальные сигналы и переменные

logic rom\_data [2048]; // Память для хранения входных данных

logic [10:0] rom\_inter\_addr[2048] = '{0,95,318,669,1148,1755,442,1305,248,1367,566,1941,1396,979,690,529,496,591,814,1165,1644,203,938,1801,744,1863,1062,389,1892,1475,1186,1025,992,1087,1310,1661,92,699,1434,249,1240,311,1558,885,340,1971,1682,1521,1488,1583,1806,109,588,1195,1930,745,1736,807,6,1381,836,419,130,2017,1984,31,254,605,1084,1691,378,1241,184,1303,502,1877,1332,915,626,465,432,527,750,1101,1580,139,874,1737,680,1799,998,325,1828,1411,1122,961,928,1023,1246,1597,28,635,1370,185,1176,247,1494,821,276,1907,1618,1457,1424,1519,1742,45,524,1131,1866,681,1672,743,1990,1317,772,355,66,1953,1920,2015,190,541,1020,1627,314,1177,120,1239,438,1813,1268,851,562,401,368,463,686,1037,1516,75,810,1673,616,1735,934,261,1764,1347,1058,897,864,959,1182,1533,2012,571,1306,121,1112,183,1430,757,212,1843,1554,1393,1360,1455,1678,2029,460,1067,1802,617,1608,679,1926,1253,708,291,2,1889,1856,1951,126,477,956,1563,250,1113,56,1175,374,1749,1204,787,498,337,304,399,622,973,1452,11,746,1609,552,1671,870,197,1700,1283,994,833,800,895,1118,1469,1948,507,1242,57,1048,119,1366,693,148,1779,1490,1329,1296,1391,1614,1965,396,1003,1738,553,1544,615,1862,1189,644,227,1986,1825,1792,1887,62,413,892,1499,186,1049,2040,1111,310,1685,1140,723,434,273,240,335,558,909,1388,1995,682,1545,488,1607,806,133,1636,1219,930,769,736,831,1054,1405,1884,443,1178,2041,984,55,1302,629,84,1715,1426,1265,1232,1327,1550,1901,332,939,1674,489,1480,551,1798,1125,580,163,1922,1761,1728,1823,2046,349,828,1435,122,985,1976,1047,246,1621,1076,659,370,209,176,271,494,845,1324,1931,618,1481,424,1543,742,69,1572,1155,866,705,672,767,990,1341,1820,379,1114,1977,920,2039,1238,565,20,1651,1362,1201,1168,1263,1486,1837,268,875,1610,425,1416,487,1734,1061,516,99,1858,1697,1664,1759,1982,285,764,1371,58,921,1912,983,182,1557,1012,595,306,145,112,207,430,781,1260,1867,554,1417,360,1479,678,5,1508,1091,802,641,608,703,926,1277,1756,315,1050,1913,856,1975,1174,501,2004,1587,1298,1137,1104,1199,1422,1773,204,811,1546,361,1352,423,1670,997,452,35,1794,1633,1600,1695,1918,221,700,1307,2042,857,1848,919,118,1493,948,531,242,81,48,143,366,717,1196,1803,490,1353,296,1415,614,1989,1444,1027,738,577,544,639,862,1213,1692,251,986,1849,792,1911,1110,437,1940,1523,1234,1073,1040,1135,1358,1709,140,747,1482,297,1288,359,1606,933,388,2019,1730,1569,1536,1631,1854,157,636,1243,1978,793,1784,855,54,1429,884,467,178,17,2032,79,302,653,1132,1739,426,1289,232,1351,550,1925,1380,963,674,513,480,575,798,1149,1628,187,922,1785,728,1847,1046,373,1876,1459,1170,1009,976,1071,1294,1645,76,683,1418,233,1224,295,1542,869,324,1955,1666,1505,1472,1567,1790,93,572,1179,1914,729,1720,791,2038,1365,820,403,114,2001,1968,15,238,589,1068,1675,362,1225,168,1287,486,1861,1316,899,610,449,416,511,734,1085,1564,123,858,1721,664,1783,982,309,1812,1395,1106,945,912,1007,1230,1581,12,619,1354,169,1160,231,1478,805,260,1891,1602,1441,1408,1503,1726,29,508,1115,1850,665,1656,727,1974,1301,756,339,50,1937,1904,1999,174,525,1004,1611,298,1161,104,1223,422,1797,1252,835,546,385,352,447,670,1021,1500,59,794,1657,600,1719,918,245,1748,1331,1042,881,848,943,1166,1517,1996,555,1290,105,1096,167,1414,741,196,1827,1538,1377,1344,1439,1662,2013,444,1051,1786,601,1592,663,1910,1237,692,275,2034,1873,1840,1935,110,461,940,1547,234,1097,40,1159,358,1733,1188,771,482,321,288,383,606,957,1436,2043,730,1593,536,1655,854,181,1684,1267,978,817,784,879,1102,1453,1932,491,1226,41,1032,103,1350,677,132,1763,1474,1313,1280,1375,1598,1949,380,987,1722,537,1528,599,1846,1173,628,211,1970,1809,1776,1871,46,397,876,1483,170,1033,2024,1095,294,1669,1124,707,418,257,224,319,542,893,1372,1979,666,1529,472,1591,790,117,1620,1203,914,753,720,815,1038,1389,1868,427,1162,2025,968,39,1286,613,68,1699,1410,1249,1216,1311,1534,1885,316,923,1658,473,1464,535,1782,1109,564,147,1906,1745,1712,1807,2030,333,812,1419,106,969,1960,1031,230,1605,1060,643,354,193,160,255,478,829,1308,1915,602,1465,408,1527,726,53,1556,1139,850,689,656,751,974,1325,1804,363,1098,1961,904,2023,1222,549,4,1635,1346,1185,1152,1247,1470,1821,252,859,1594,409,1400,471,1718,1045,500,83,1842,1681,1648,1743,1966,269,748,1355,42,905,1896,967,166,1541,996,579,290,129,96,191,414,765,1244,1851,538,1401,344,1463,662,2037,1492,1075,786,625,592,687,910,1261,1740,299,1034,1897,840,1959,1158,485,1988,1571,1282,1121,1088,1183,1406,1757,188,795,1530,345,1336,407,1654,981,436,19,1778,1617,1584,1679,1902,205,684,1291,2026,841,1832,903,102,1477,932,515,226,65,32,127,350,701,1180,1787,474,1337,280,139,598,197,142,101,722,561,528,623,846,119,167,235,970,183,776,189,109,421,192,150,121,105,102,111,134,169,124,731,146,281,127,343,159,917,372,200,171,155,152,161,183,141,620,122,196,777,176,839,38,141,868,451,162,1,201,63,286,637,111,172,410,127,216,133,534,190,136,947,658,497,464,559,782,113,161,171,906,176,712,183,103,357,186,144,115,993,960,105,127,162,60,667,140,217,120,279,152,853,308,193,165,148,145,155,177,77,556,116,189,713,170,775,202,134,804,387,98,198,195,204,222,573,105,165,346,120,152,127,470,184,130,883,594,433,400,495,718,106,154,107,842,170,648,176,966,293,179,137,109,929,896,991,121,156,204,603,133,153,114,215,146,789,244,187,158,142,139,148,171,13,492,109,183,649,164,711,195,128,740,323,34,192,188,198,158,509,988,159,282,114,88,120,406,178,123,819,530,369,336,431,654,100,148,43,778,164,584,170,902,229,173,131,102,865,832,927,115,150,198,539,127,89,108,151,139,725,180,181,152,136,132,142,164,199,428,103,177,585,157,647,189,122,676,259,201,185,182,191,94,445,924,153,218,108,24,114,342,171,117,755,466,305,272,367,590,941,142,202,714,157,520,163,838,165,166,125,962,801,768,863,108,143,191,475,121,25,101,87,133,661,116,174,145,129,126,135,158,193,364,971,170,521,151,583,183,115,612,195,195,179,176,185,30,381,860,146,154,101,200,107,278,165,110,691,402,241,208,303,526,877,135,196,650,151,456,157,774,101,160,118,898,737,704,799,102,137,185,411,114,200,952,23,127,597,52,168,139,123,120,129,151,186,300,907,164,457,144,519,176,109,548,131,189,172,169,179,201,317,796,140,90,953,194,101,214,158,104,627,338,177,144,239,462,813,129,189,586,144,392,151,710,37,154,112,834,673,640,735,958,130,178,347,108,194,888,200,120,533,203,161,133,116,113,123,145,180,236,843,157,393,138,455,170,102,484,67,182,166,163,172,195,253,732,133,26,889,188,951,150,152,980,563,274,113,80,175,398,749,122,183,522,138,328,144,646,202,147,105,770,609,576,671,894,124,172,283,101,188,824,194,114,469,197,155,126,110,107,116,139,174,172,779,151,329,132,391,163,965,420,3,176,160,156,166,188,189,668,127,201,825,181,887,86,146,916,499,210,49,16,111,334,685,116,177,458,132,264,138,582,195,141,995,706,545,512,607,830,118,166,219,954,181,760,187,107,405,190,149,120,104,100,110,132,167,108,715,145,265,125,327,157,901,356,198,169,153,150,159,182,125,604,121,194,761,175,823,22,139,852,435,146,203,200,47,270,621,110,170,394,125,200,131,518,189,134,931,642,481,448,543,766,111,159,155,890,175,696,181,101,341,184,142,113,977,944,103,126,161,44,651,138,201,119,263,151,837,292,192,163,147,144,153,175,61,540,114,188,697,168,759,200,133,788,371,82,196,193,203,206,557,103,164,330,119,136,125,454,182,128,867,578,417,384,479,702,105,153,91,826,168,632,175,950,277,178,136,107,913,880,975,119,154,202,587,132,137,112,199,144,773,228,185,157,140,137,147,169,204,476,108,181,633,162,695,194,126,724,307,18,190,187,196,142,493,972,157,266,112,72,119,390,176,122,803,514,353,320,415,638,989,146,27,762,162,568,168,886,213,171,129,101,849,816,911,113,148,196,523,125,73,106,135,138,709,164,179,150,134,131,140,163,198,412,101,175,569,156,631,187,120,660,243,200,184,180,190,78,429,908,151,202,106,8,112,326,170,115,739,450,289,256,351,574,925,140,201,698,156,504,162,822,149,165,123,946,785,752,847,107,142,190,459,119,9,100,71,131,645,100,173,144,128,124,134,156,191,348,955,169,505,149,567,181,114,596,179,193,177,174,183,14,365,844,145,138,100,199,106,262,163,109,675,386,225,192,287,510,861,134,194,634,149,440,155,758,85,158,117,882,721,688,783,100,135,183,395,113,199,936,7,125,581,36,166,137,121,118,127,150,185,284,891,162,441,143,503,175,107,532,115,187,171,168,177,199,301,780,138,74,937,192,999,198,157,102,611,322,161,128,223,446,797,127,188,570,143,376,149,694,21,152,110,818,657,624,719,942,129,177,331,106,192,872,199,119,517,202,160,131,115,112,121,143,178,220,827,156,377,136,439,168,101,468,51,181,164,161,171,193,237,716,132,10,873,186,935,134,150,964,547,258,97,64,159,382,733,121,181,506,136,312,143,630,200,146,104,754,593,560,655,878,122,170,267,100,186,808,192,112,453,195,153,125,108,105,115,137,172,156,763,149,313,130,375,162,949,404,203,174,158,155,164,187,173,652,125,199,809,180,871,70,144,900,483,194,33}; // Адреса для перемежения данных

logic [11:0] cntr\_data = '0, cntr\_inter = '0; // Счетчики для данных и перемежения

logic s, p1, p2, sk, p1k, p2k; // Внутренние сигналы для обработки данных

logic dv\_inter, dv, dv\_o1, dv\_o2, dv\_o3; // Сигналы для управления данными

// Экземпляр модуля для обработки систематического выхода

SK v1 (

.clk(clk), // Тактовый сигнал

.dv(dv), // Сигнал наличия данных

.x(s), // Входной бит данных

.dv\_o(dv\_o1), // Сигнал наличия выходных данных

.s(sk) // Систематический выходной бит данных

);

// Экземпляр модуля для обработки первого проверочного выхода

P1 v2 (

.clk(clk), // Тактовый сигнал

.dv(dv), // Сигнал наличия данных

.x(p1), // Входной бит данных

.dv\_o(dv\_o2), // Сигнал наличия выходных данных

.p1(p1k) // Первый проверочный выходной бит данных

);

// Экземпляр модуля для обработки второго проверочного выхода

P2 v3 (

.clk(clk), // Тактовый сигнал

.dv(dv), // Сигнал наличия данных

.x(p2), // Входной бит данных

.dv\_o(dv\_o3), // Сигнал наличия выходных данных

.p2(p2k) // Второй проверочный выходной бит данных

);

// Обработка входных данных и заполнение памяти

always\_ff @(posedge clk) begin

if (dv\_in) begin //если файл считался

cntr\_data <= cntr\_data + 1; // Инкремент счетчика данных

rom\_data[cntr\_data] <= x; // Сохранение входного бита в память

dv\_inter <= 0; // Сброс сигнала перемежения

end else if (!dv\_in) begin

cntr\_data <= '0; // Сброс счетчика данных

dv\_inter <= 1; // Установка сигнала перемежения

end

end

// Обработка данных для перемежения

always\_ff @(posedge clk) begin

if (dv\_inter && cntr\_inter < 12'd2048) begin //dv\_inter всегда равен 1 + все наши данные, которые считываются < кол-во битов

dv <= 1; // Установка сигнала наличия данных

s <= rom\_data[cntr\_inter]; // Чтение данных для систематического выхода

p1 <= rom\_data[cntr\_inter]; // Чтение данных для первого проверочного выхода

p2 <= rom\_data[rom\_inter\_addr[cntr\_inter]]; // Чтение данных для второго проверочного выхода

cntr\_inter <= cntr\_inter + 1; // Инкремент счетчика перемежения

end

else dv <= 0; // Сброс сигнала наличия данных

end

// Формирование выходных данных

always\_ff @(posedge clk) begin

if (dv\_o1 && dv\_o2 && dv\_o3) begin //(все сигналы валидности равны 1)

s\_k <= sk; // Присвоение систематического выходного бита данных

p1\_k <= p1k; // Присвоение первого проверочного выходного бита данных

p2\_k <= p2k; // Присвоение второго проверочного выходного бита данных

dv\_out <= 1; // Установка сигнала наличия выходных данных

end

else

dv\_out <= 0; // Сброс сигнала наличия выходных данных

end

endmodule

2. Код testbench

module tb\_lte;

logic clk;

logic dv\_in;

logic dv\_out;

logic din;

logic sk;

logic p1k;

logic p2k;

string input\_file = "C:\\MATLAB\\input\_sequence.txt";

string output\_file = "C:\\MATLAB\\turbo\_encoded\_output.txt";

read\_x reader (

.clk(clk),

.en(1),

.file\_name(input\_file),

.data(din),

.dv(dv\_in)

);

// Экземпляр тестируемого модуля (LTE Turbo Encoder)

LTE dut (

.clk(clk),

.dv\_in(dv\_in),

.dv\_out(dv\_out),

.x(din),

.s\_k(sk),

.p1\_k(p1k),

.p2\_k(p2k)

);

write\_x writer (

.clk(clk),

.dv(dv\_out),

.file\_name(output\_file),

.data(sk),

.p1(p1k),

.p2(p2k)

);

always #5 clk = ~clk;

initial begin

clk = 0;

repeat (4120) @(posedge clk);

$finish;

end

endmodule

3. Код MATLAB

%% 2048 31 64

input\_sequence = randi([0, 1], 1, 2048);

dlmwrite('input\_sequence.txt', input\_sequence');

% Заданные параметры

K = 2048;

f1 = 31;

f2 = 64;

% Создание массива индексов

i = 0:(K-1);

% Расчет индексов по формуле

Pi = mod(f1 \* i + f2 \* i.^2, K);

% Преобразование результата в массив индексов

indexArray = unique(Pi, 'stable')'; % Уникальные индексы в порядке их появления

sortindex = sort(indexArray);

%%

% Реализация турбокодера с записью общего выходного файла

% Параметры

K = 2048; % Длина входных данных

f1 = 31; % Параметр интерливера 1

f2 = 64; % Параметр интерливера 2

% Чтение входных данных из файла

inputData = dlmread('input\_sequence.txt');

% Процесс турбокодирования

% 1. Генерация систематического выхода

systematicOutput = inputData;

% 2. Первый рекурсивный свёрточный кодер

encoded1 = convEncoder1(inputData)';

% 3. Интерливинг данных

interleavedData = turboInterleaver(inputData, f1, f2);

% 4. Второй рекурсивный свёрточный кодер

encoded2 = convEncoder2(interleavedData)';

% Объединение всех выходных данных

combinedOutput = [systematicOutput encoded1 encoded2]; % Транспонирование для удобства записи

% Функции

function encoded = convEncoder1(input)

state = [0 0 0]; % Начальное состояние регистра

len = length(input);

encoded = zeros(1, len); % Инициализация выходной последовательности

for i = 1:len

currentBit = input(i);

feedforward = mod(currentBit + state(1) + state(3), 2); % Прямая связь

encoded(i) = feedforward; % Выходной бит

state = [currentBit state(1) state(2)]; % Обновление состояния

end

end

function encoded = convEncoder2(input)

state = [0 0 0]; % Начальное состояние регистра

len = length(input);

encoded = zeros(1, len); % Инициализация выходной последовательности

for i = 1:len

currentBit = input(i);

feedforward = mod(currentBit + state(2) + state(3), 2); % Прямая связь

encoded(i) = feedforward; % Выходной бит

state = [currentBit state(1) state(2)]; % Обновление состояния

end

end

function interleaved = turboInterleaver(input, f1, f2)

% Интерливинг для турбокодера

len = length(input);

interleaved = zeros(1, len); % Инициализация интерливированной последовательности

for i = 0:len-1

interleaved(i+1) = input(mod(f1 \* i + f2 \* i.^2, len) + 1); % Перестановка

end

end