**嵌入式系统设计**

**实 验 报 告**

**学生姓名** 许强

**学生学号** SA18225428

**实验日期** 2018.11.6

实 验 报 告

1. 实验名称： LCD驱动移植

二、实验学时：4学时

三、实验内容和目的：

1. 熟悉LCD的接口电路
2. 进行LCD驱动的移植

目的：熟悉Linux操作系统上LCD驱动的移植过程。

1. 实验原理：

Linux内核是Linux操作系统的核心，也是整个Linux功能体现。它是用C语言编写，符合POSIX标准。Linux是一个一体化内核（Monolithic Kernel）系统。设备驱动程序可以完全访问硬件。Linux内的设备驱动程序可以方便地以模块化（Modularize）的形式设置，并在系统运行期间可直接装载或卸载。

Linux内核主要功能包括：进程管理、内存管理、文件管理、设备管理、网络管理等。

Linux内核源代码非常庞大，随着版本的发展不断增加。它使用目录树结构，并且使用Makefile组织配置编译。初次接触Linux内核，最好仔细阅读顶层目录的readme文件，它是Linux内核的概述和编译命令说明。readme的说明更加针对X86等通用的平台，对于某些特殊的体系结构，可能有些特殊的地方。顶层目录的Makefile是整个内核配置编译的核心文件，负责组织目录树中子目录的编译管理，还可以设置体系结构和版本号等。

Exynos4412内部集成了一个显示控制器FIMD。该控制器支持三种接口，分别是RGB接口、indirect-i80接口和YUV接口。在FS4412开发板上使用的是RGB接口连接外部的LCD屏。本次使用的LCD为24位RGB模式，由PWM1的输出来控制LCD屏的背光。

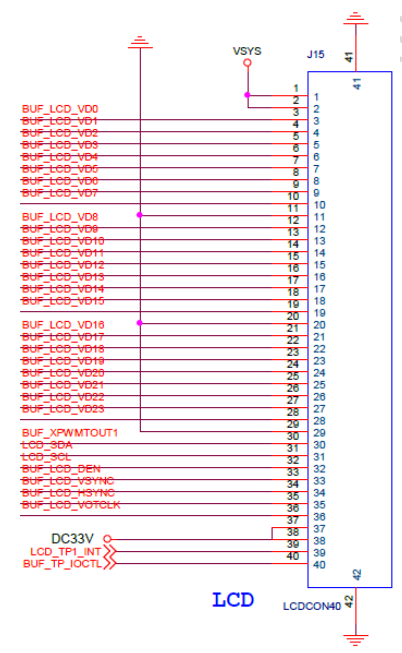


图1 FS4412LCD接口电路图（LCD侧）

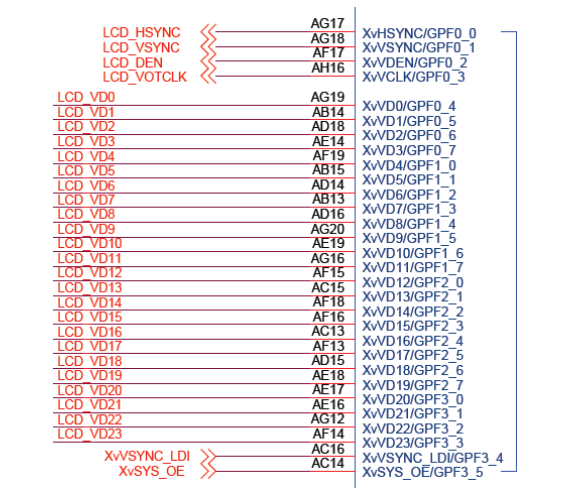


图2 FS4412 LCD接口电路图（CPU侧）

五、实验步骤：

1. LCD驱动移植

（1）使用menuconfig打开配置页面，进行相关配置。

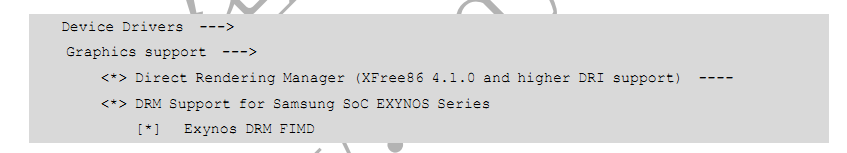


图5-1 makeconfig配置

（2）修改设备树源文件中关于FIMD设备节点和显示时序。将display-timings节点移动到fimd节点中。添加行、场同步信号，数据使能信号和像素时钟信号的阳极属性。

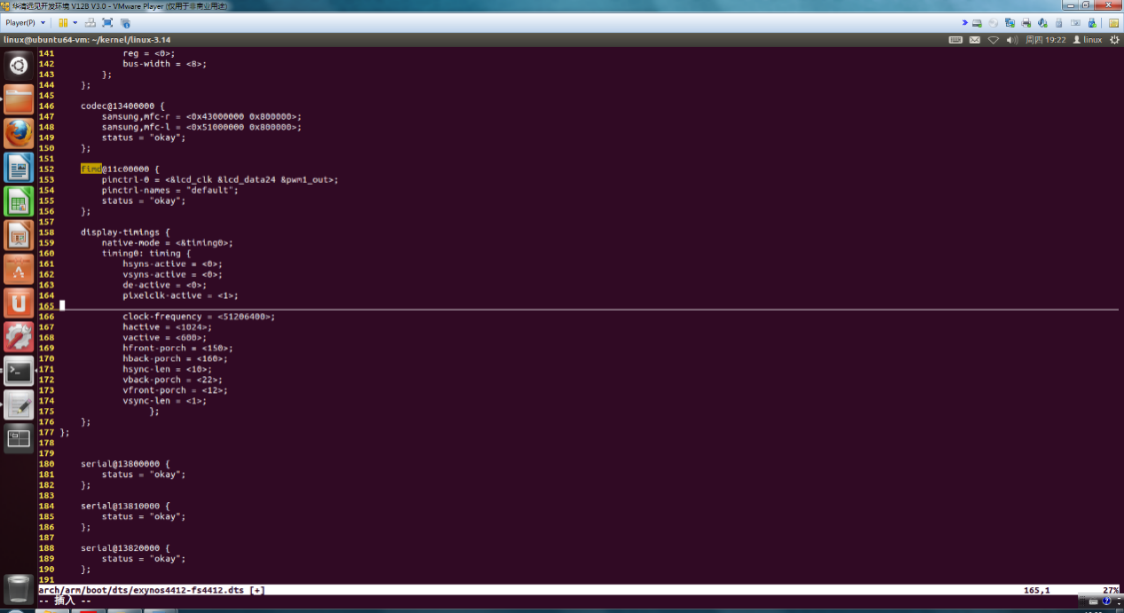


图5-2 修改设备树文件

（3）添加两个文件，对LCD时钟相关寄存器进行配置，以提高刷新频率。首先设置LCD的时钟源为SCLKVPLL，再设置分频值和时钟使能位，最后选择FIMD。将两个文件拷贝到divers/gpu/drm/exynos/目录下，并修改该目录下的Makefile文件，添加exynos\_drm\_fbclk.o。注意添加相关的头文件。

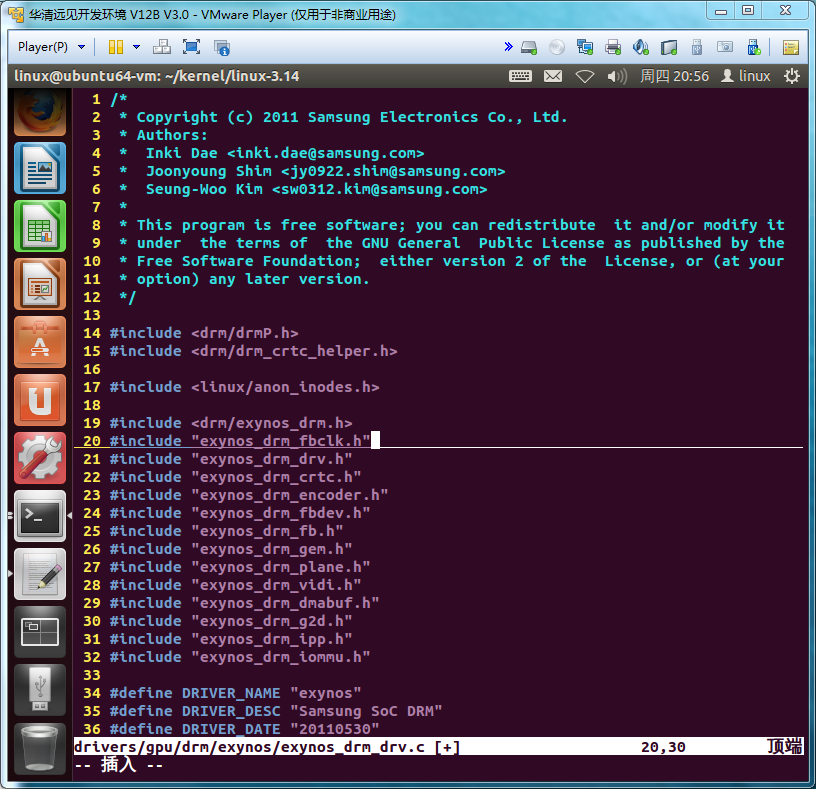


图5-3 添加相关头文件

（4）重新编译内核，将编译好的内核镜像和设备树文件拷贝到/tftpboot/目录下，打开putty并重启开发板。

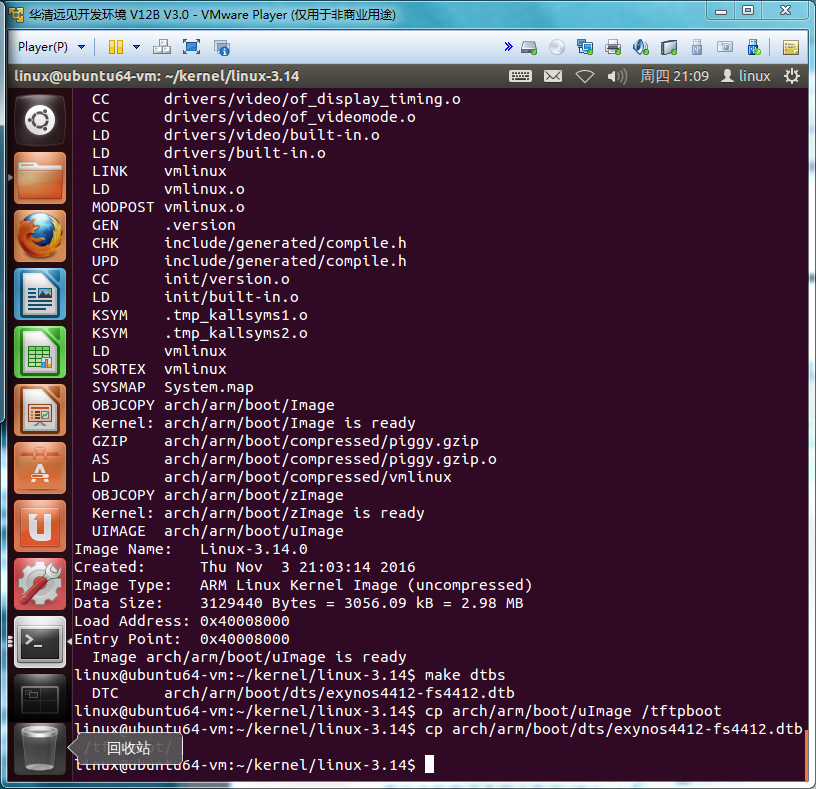


图5-4 重新编译内核并拷贝至/tftpboot/目录下

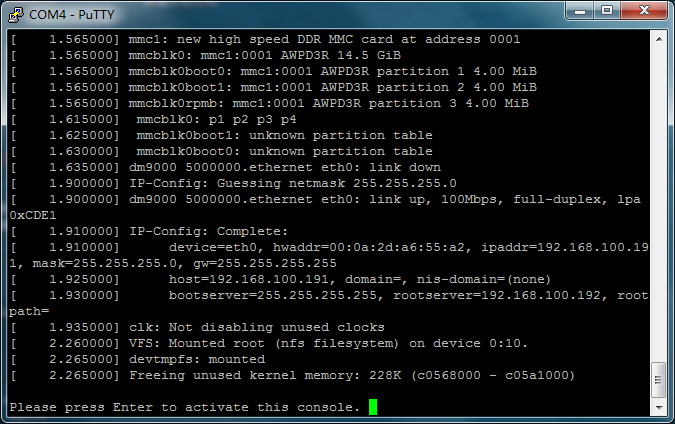
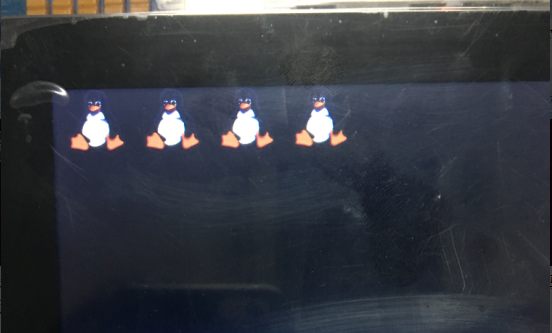


图5-5 重启开发板



（5）运行LCD测试程序，使用NFS挂载的方法进行测试查看LCD驱动是否成功。

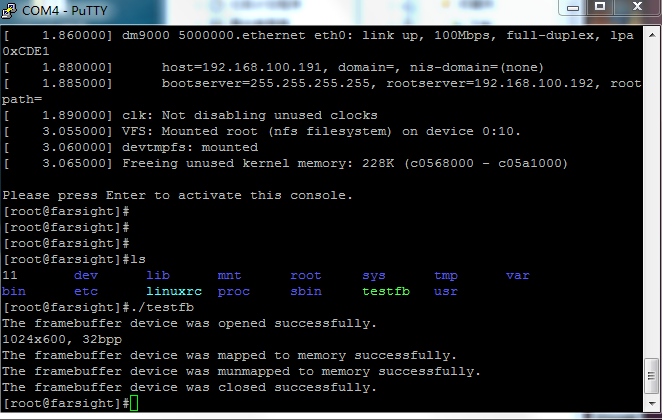
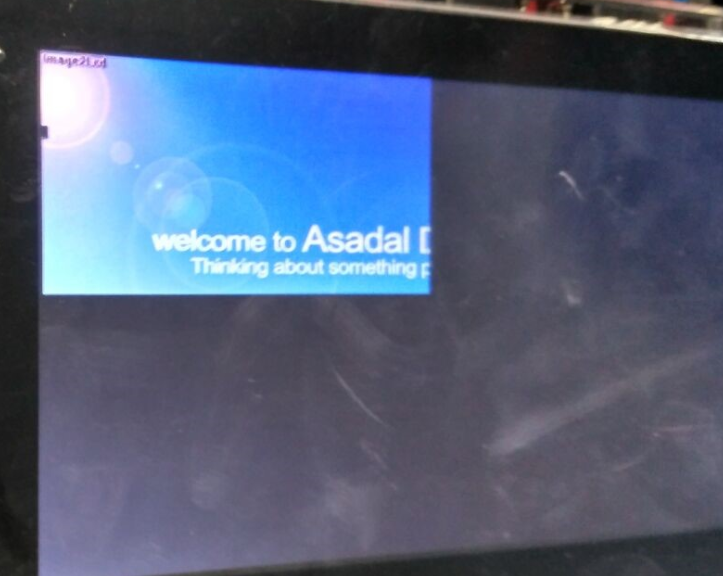


图5-7 驱动移植成功

启动开发板，结果如下所示：



六．实验总结

添加代码注意格式和字符，注意格式，参考所修改文件格式，如非特别说明不使用root权限执行命令，注意执行命令所在的路径（根目录和当前用户目录不一样）。

本次实验时最后一次实验，每次实验都在同一台机器上进行实验并且每次实验都成功做出，因此说明整个环境的配置时正常的，但是在实验的过程中提示找不到编译器，说明环境已将变化，因此在别人机器上完成了本次实验五的实验，完成了LCD的显示。

1. 实验结论、问题及改进建议：

关于LCD控制寄存器的一些总结：

1. LCD控制器的外部接口信号  
 1) VFRAME：  
 LCD控制器和LCD驱动器之间的帧同步信号。该信号告诉LCD屏新的一帧开始了。LCD控制器在一个完整帧显示完成后立即插入一个VFRAME信号，开始新一帧的显示；该信号与LCD模块的YD信号相对应。  
 2) VLINE：  
 LCD控制器和LCD驱动器之间的线同步脉冲信号，该信号用于LCD驱动器将水平线（行）移位寄存器的内容传送给LCD屏显示。LCD控制器在整个水平线（整行）数据移入LCD驱动器后，插入一个VLINE信号；该信号与LCD模块的LP信号相对应。

3) VCLK：LCD控制器和LCD驱动器之间的像素时钟信号，由LCD控制器送出的数据在VCLK的上升沿处送出，在VCLK的下降沿处被LCD驱动器采样；该信号与LCD模块的XCK信号相对应。  
 2. LCD的几个控制寄存器

1)LCDCON1  
 设置VCLK频率：VCLK(Hz) = HCLK / [(CLKVAL + 1) \* 2]

选择LCD类型：TFT LCD

1. LCDCON2/3/4

设置控制信号时间参数

      设置分辨率（行数及列数）

1. LCDSADDR1

设置LCDBANK、LCDBASEU

1. LCDSADDR2

设置LCDBASEL：帧缓冲区结束地址A【21：1】

1. LCDSADDR3

设置虚拟屏的偏移量