FPGA : du registre à DOOM

Rémy Citérin

25/11/2025, Paris

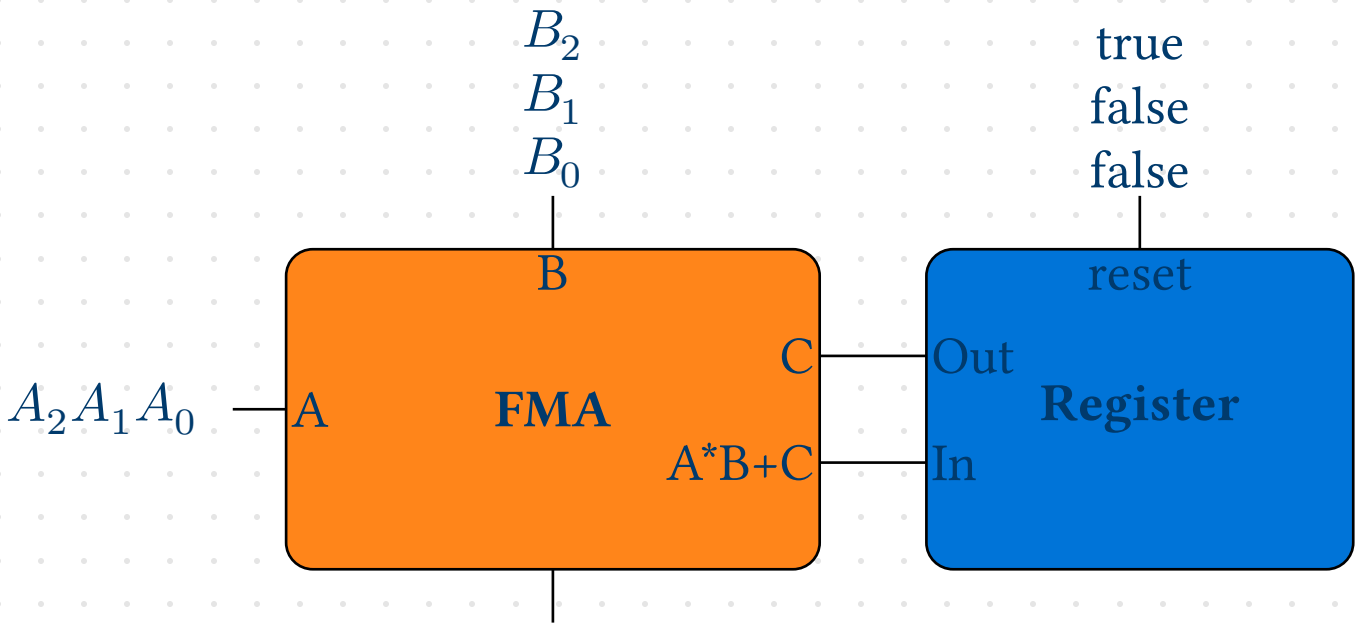
Au menu

- Ray-tracing
- UNIX
- DOOM
- GPU

Accélérateur de Ray-Tracing

- Pipeline + FSM + réseaux systoliques
- Une dizaine de FPS
- Parcours d'arbre avec Bounding Volume Hierarchy

Réseau systolic : produit scalaire en hardware



Réseau systolic : produit scalaire en hardware

```
Reg#(Vector#(3,F16)) x1 <- mkReg(replicate(?));
Reg#(Vector#(3,F16)) x2 <- mkReg(replicate(?));
Fifo#(2, F16) outputs <- mkFifo;
Reg#(Bit#(3)) reset <- mkReg(0);
Reg#(F16) acc <- mkReg(0);

rule step if (reset != 0);
  let fma = acc + x1[0] * x2[0];
  acc <= reset[0] == 1 ? 0 : fma;
  reset <= reset >> 1;
  x1 <= rotate(x1);
  x2 <= rotate(x2);

  if (reset[0] == 1) outputs.enq(fma);
endrule
```

```
method request(Vec3 lhs, Vec3 rhs) if (reset == 0);
  x1 <= vec(lhs.x, lhs.y, lhs.z);
  x2 <= vec(rhs.x, rhs.y, rhs.z);
  reset <= 3'b100;
endmethod

interface response = toGet(outputs).get;
```

DOoOM Out of Order Machine

Un RISC-V out-of-order avec :

- Multiplication/Division
- Flotants
- Prédiction de branche
- Store buffer/Load queue (spéculation des dépendances)
- Caches L1i et L1d
- VGA, SD-CARD, UART
- 32MB de SDRAM

- Fréquence : 30MHz sur un EPC5
- Surface : 30K 4-LUT
- Coremark : 2.7

Finite state machine (FSM)

FSM	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}	t_{11}	t_{12}
add t0, a1, a2	F	D	Rr	Ex	Wb								
lw t1, 0(t0)						F	D	Rr	Ex	Ex	Wb		
mul t2, a1, a2												F	D

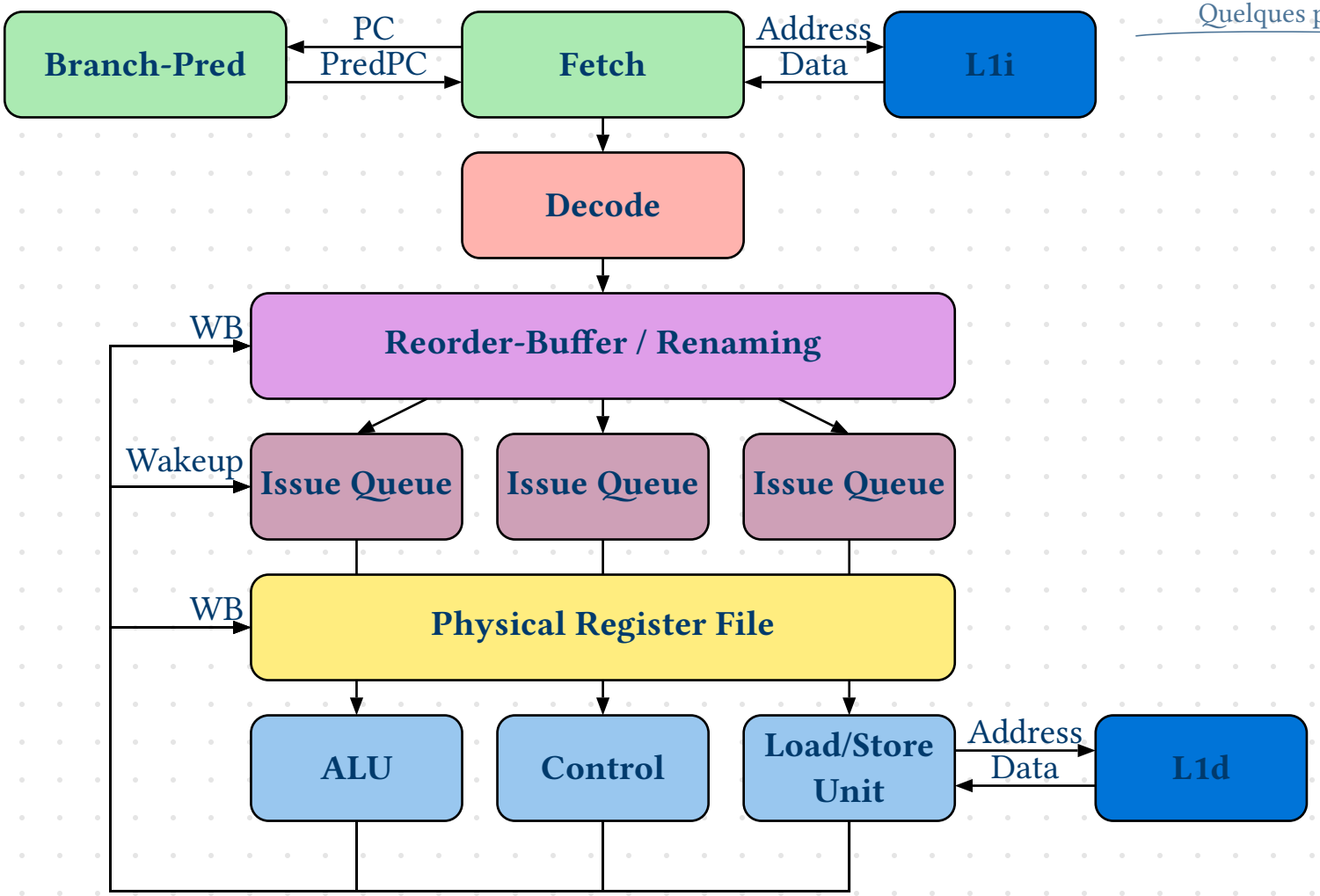
Pipeline (In order)

Pipelined	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
add t0, a1, a2	F	D	Rr	Ex	Wb						
lw t1, 0(t0)		F	D		Rr	Ex	Ex	Wb			
mul t2, a1, a2			F	D		Rr	Ex	Ex	Ex	Wb	
add t3, t0, a2				F	D		Rr	Ex			Wb

Out of order (OOO)

Out-of-order	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
add t0, a1, a2	F	D	I	Ex	Wb	C					
lw t1, 0(t0)		F	D	I	I	Ex	Ex	Wb	C		
mul t2, a1, a2			F	D	I	Ex	Ex	Ex	Wb	C	
add t3, t0, a2				F	D	I	Ex	Wb			C

Cette exemple est simplifier car en pratique on fait Issue/Register Read en deux stages...


Branch-Pred
PC
PredPC
Fetch
Address
Data
L1i
Decode
WB
Reorder-Buffer / Renaming
Wakeup
Issue Queue
Issue Queue
Issue Queue
WB
Physical Register File
ALU
Control
Load/Store Unit
Address
Data
L1d