

比较器

比较器电路基础

性能参数

电路结构

1、开环比较器

以放大器的开环应用作为基本比较器电路，不需要频率补偿，从而获得尽可能大的带宽。理论上获得相对比较短的输出相应时间，根据放大器的结构分为单级高增益放大器和低增益多级级联放大器比较器

单级放大器开环应用形成的比较器，依靠放大器高增益将输入较小的差分信号放大至电源电压和地电位，从而输出高电平和低电平。不存在反馈闭环，不必进行频率补偿，但是失调电压、建立时间、摆率等性能较差，不用于高性能系统。只适合单极点系统和小信号输入的情况。

将多个较低增益的放大器互相级联，形成多级级联放大器结构，弥补放大器直流增益的减小

2、动态比较器

主要分为电阻分压型比较器、差分比较器和电荷分布型比较器和电荷分布型比较器三大类。

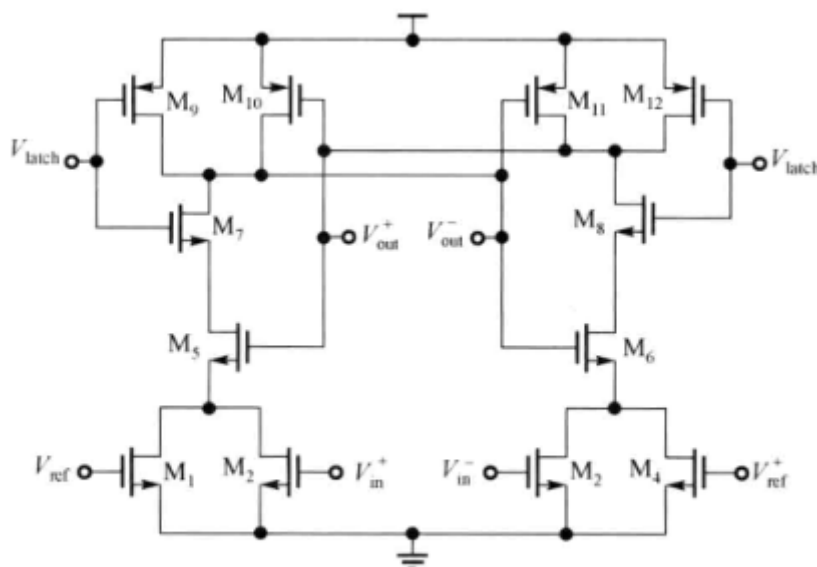


图 9.4 电阻分压动态比较器

电阻分压型动态比较器,一部分晶体管(M_1 —— M_4)工作在线性区相当于压控电阻器,通过改变其电阻值来调节比较器的阈值电压,一部分(M_5 —— M_{12})构成锁存器

$$\text{比较器的阈值 } V_{in}^+ - V_{in}^- = \frac{W_B}{W_A} (V_{ref}^+ - V_{ref}^-)$$

该结构中比较器的失调主要受 M_1 —— M_4 的影响, M_5 、 M_6 对失调的影响相对次之.用于使用的晶体管尺寸较小,且对失调影响较大的输入管工作在线性区,该结构带来的失调较大.同时由于输出端的大信号变化在 M_1 —— M_4 的漏端影响较小,所以这种结构的回踢噪声较小

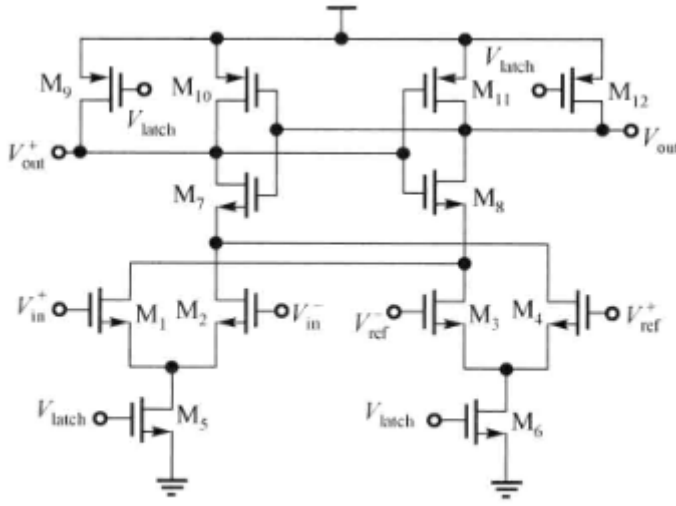


图 9.5 差分对动态比较器结构

由两个带开关控制电流源的交叉耦合差分对与锁存器构成。该比较器的阈值电压可以通过引入耦合对的不平衡来设置。假设耦合对 M_1 — M_4 的长度相等,宽度为 $W_1=W_2$ 、 $W_3=W_4$,那么耦合对的电流表示为

$$I_{D1} - I_{D2} = \beta_1 V_{in} \sqrt{\frac{2I_{D5}}{\beta_1} - V_{in}^2}$$

$$I_{D4} - I_{D3} = \beta_3 V_{in} \sqrt{\frac{2I_{D6}}{\beta_3} - V_{ref}^2}$$

$$\beta_i = \frac{1}{2} \mu C_{ox} (W_i/L), V_{in} = V_{in}^+ - V_{in}^-, V_{ref} = V_{ref}^+ - V_{ref}^-$$

当 $I_1 = I_{D1} + I_{D3}$ 和 $I_2 = I_{D2} + I_{D4}$ 相等时,差分对比较器的状态未发生改变。该结构的失调主要受 M_1 — M_4 的影响较大,但与电阻分压型比较器相比其失调略小。由于输出端的大信号变化在 M_1 — M_4 的漏断影响较大,所以此结构的回踢噪声较大

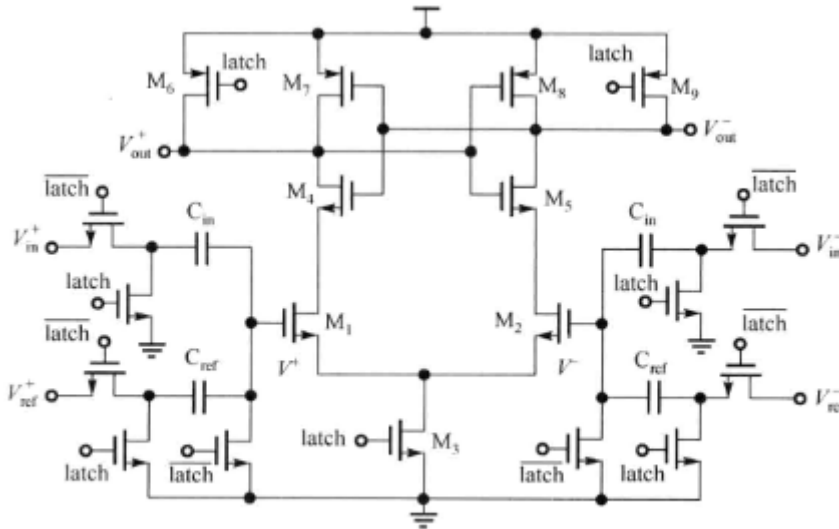


图 9.6 电荷分布动态比较器结构

电荷分布动态比较器结构如图。其工作原理如下,当 \overline{latch} 为高电平时, M_1 和 M_2 的栅极接地, V_{in}^- 和 V_{ref}^- 分别对电容器 C_{in} 和 C_{ref} 充电, C_{in} 上充得的电荷为: $Q_{in} = V_{in} \cdot C_{in}$, C_{ref} 上的电荷为 $Q_{ref} = V_{ref} \cdot C_{ref}$ 。由于此时 \overline{latch} 为低电平, M_3 截止, 而 M_6 、 M_9 均导通, 使 M_1 、 M_2 的漏极为 V_{DD} 。当 \overline{latch} 为高电平时, C_{in} 和 C_{ref} 的底极板均接地, 根据电荷守恒原理得到

$$V_{in}^- \cdot C_{in} + V_{ref}^- \cdot C_{ref} = V_- \cdot (C_{in} + C_{ref})$$

$$V_- = V_{in}^- \frac{C_{in}}{C_{in} + C_{ref}} + V_{ref}^- \frac{C_{ref}}{C_{in} + C_{ref}}$$

同理，当latch为高电平时， M_1 的栅极电压为

$$V^+ = V_{in}^+ \frac{C_{in}}{C_{in} + C_{ref}} - V_{ref} \frac{C_{ref}}{C_{in} + C_{ref}}$$

M_1 、 M_2 差分输入电压为

$$V = V_{in} \frac{C_{in}}{C_{in} + C_{ref}} - V_{ref} \frac{C_{ref}}{C_{in} + C_{ref}}$$

其中， $V_{in} = V_{in}^+ - V_{in}^-$ ， $V_{ref} = V_{ref}^+ - V_{ref}^-$ 。此时， M_3 导通， M_1 与 M_2 的栅极电压差使得它们的漏端产生电压差，从而使 M_4 —— M_7 组成的触发器产生状态翻转，产生输出信号。由上面的分析可知，当差分对管的输入电压为0时，比较器即产生状态翻转，由此可见输入电压即为该比较器的阈值电压

$$V_{TH} = -V_{ref} \frac{C_{ref}}{C_{in}}$$

通过调整 C_{in} 和 C_{ref} 的比值，可调节比较器的阈值。该结构的失调主要由输入对管不匹配和电容比值 C_{ref}/C_{in} 偏差决定，除了回踢噪声外，开关所造成的电荷注入也在输入端引入了误差

这三类动态比较器电路的性能比较

性能	电阻分压型	差分对型	电荷分布型
失调电压	大	小	小
回踢噪声	小	大	中
比较速度	慢	快	中
面积	小	中	大
功耗	小	中	大

比较器电路的设计与仿真

在此使用差分对型结构比较器，设计简洁、低功耗、占用面积小

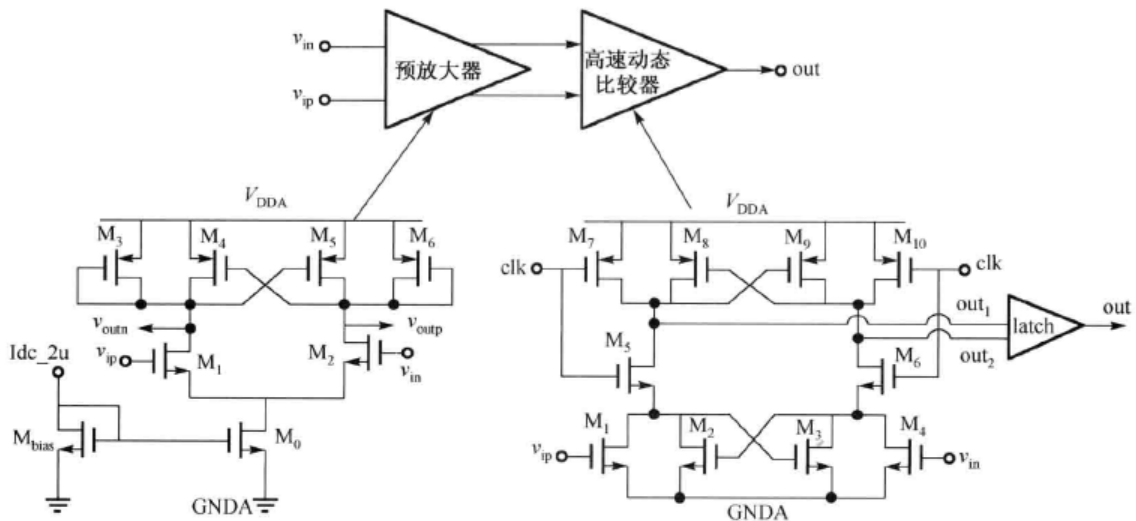


图 9.7 带前置预放大器的动态比较器电路框图

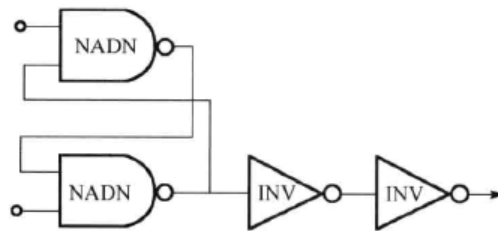


图 9.8 锁存器电路

主要包括预放大器和比较器两部分电路。比较器中的锁存器电路由与非门和反相器组成

比较器的工作：预放大器采用二极管连接的PMOS管M3和M6作为负载，并加入交叉耦合的M4和M5，通过引入弱正反馈机制增大了放大器增益，设计为5倍左右增益，与高速动态比较器配合。高速动态比较器采用了带时钟的低功耗高速正反馈动态比较器，内部由PMOS M7、M8、M9、M10和NMOS M1、M2、M3、M4两对交叉耦合电路构成。当时钟clk为低电平时，输出端out1和out2都被拉到高电平，使比较器处于预充状态，正反馈无效。当时钟clk为高电平时，如果 $v_{in} > v_{ip}$ ，通过交叉耦合的M7、M9管和M3、M4管，输出端out2的高电平被迅速拉低，而输出端out1仍然保持高电平，因此得到输出端电平out2=0，out1=1；反之，如果 $v_{in} < v_{ip}$ ，会得到输出端电平out2=1，out1=0，这样就完成比较功能了。锁存器将输出结果转为单端，并对比较结果进行锁存

带隙基准源和低压差线性稳压器

集成电路中的电压源通常分为参考基准电压源和线性稳压器。作为参考基准、提供稳定供电系统的带隙基准电压源和低压差线性稳压器是模拟集成电路和数模混合集成电路中非常重要的模块，前者作为集成电路中电压和电流的参考，具有输出电压与温度基本无关的特性，而后者作为基本供电系统为集成电路内部提供稳定、纯净的直流电压

带隙基准源主要为电路提供稳定的、低温漂、低噪声的电压源；而低压差线性稳压器为电路提供干净、稳定、负载变化大、高效的直流电源。作为为模拟集成电路提供参考和电源电压的模块，其重要性不言而喻，它存在于任何一种电路功能模块中，其性能决定了集成的模拟电路的性能指标

带隙基准源

基准电压源作为模拟集成电路和模数混合信号集成电路中一个非常重要的单元模块，在各种电子系统中起着非常重要的作用。随着对各种电子产品性能的要求越来越高，对基准电压源的要求也日益提高，基准电压源的输出电压温度特性及噪声的抑制能力决定了电路系统的性能

带隙基准源具有与标准CMOS工艺完全兼容、可以工作于低电源电压下等优点，另外还具有低温度漂移、低噪声和较高的PSRR（电源波纹抑制比）等性能，能够满足大部分电子系统的要求。正是由于具备以上优点，带隙基准源得到了广泛的研究与应用。在CMOS带隙基准源中，低电源电压、低功耗、高精度和高PSRR是将来的发展方向

随着集成电路技术的日益发展及集成度、复杂度的不断提高，对ADC、DAC、滤波器及各种模拟电路提出了更高的速度和精度要求，这样就对带隙基准源的速度和精度及温漂系数也提出了相应的要求

带隙基准源的基本原理

集成电路中很多功能模块需要与温度无关的电压源和电流源，这通常对电路功能模块的影响很大。得到一个与温度无关的恒定的电压或电流值：假设电路中存在两个具有相反的温度系数的物理量，将这两个物理量按照一定的权重相加，即可获得零温度系数的参考电压

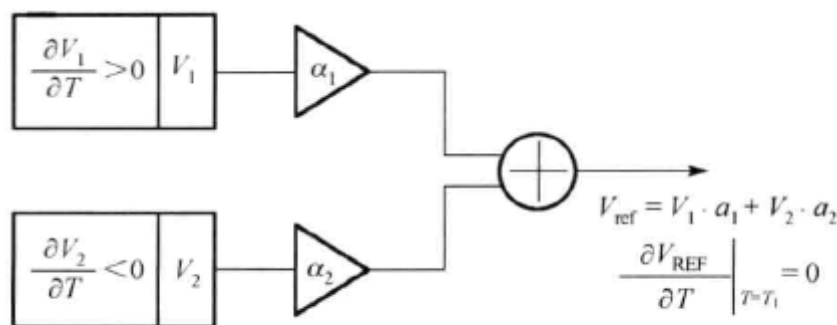


图 8.1 零温度系数带隙基准电压源原理图

电压源 \$V_1\$ 具有正温度系数，而电压源 \$V_2\$ 具有负温度系数。选择两个权重值 \$\alpha_1\$ 和 \$\alpha_2\$，满足 \$\alpha_1 \cdot \frac{\partial V_1}{\partial T} + \alpha_2 \cdot \frac{\partial V_2}{\partial T} = 0\$，则得零温度系数的基准电压值 \$V_{ref} = V_1 \cdot \alpha_1 + V_2 \cdot \alpha_2\$。得到两个具有相反温度系数的电压值 \$V_1\$ 和 \$V_2\$，在半导体工艺中，双极晶体管能够分别提供正、负温度系数的物理量，并且具有较高的可重复性，被广泛应用于带隙基准源的设计中。各种文献也提到过采用工作在亚阈值区的 MOS 晶体管也可以获得正、负温度系数，但是通常亚阈值区模型的准确度有待考察，并且现代标准 CMOS 工艺提供纵向 PNP 型双极晶体管的模型，使得双极晶体管仍然是带隙基准电压源的首选

1、负温度系数电压

对于一个双极晶体管来说，其集电极电流 \$I_c\$ 与基极-发射极电压 \$V_{BE}\$ 存在如下关系

$$I_c = I_s \cdot \exp(V_{BE}/V_T) \quad (1)$$

$$V_{BE} = V_T \cdot \ln(I_c/I_s) \quad (2)$$

\$I_s\$ 为晶体管的反向饱和电流，\$V_T\$ 为热电压，\$V_T = kT/q\$，

\$k\$ 为玻尔兹曼常数，\$q\$ 为电子电量

$$(2) \text{ 对 } V_{BE} \text{ 求偏导：} \frac{\partial V_{BE}}{\partial T} = \frac{\partial V_T}{\partial T} \ln \frac{I_c}{I_s} - \frac{V_T}{I_s} \frac{\partial I_s}{\partial T}$$

$$\text{由半导体物理可得：} I_s = b \cdot T^{4+m} \exp \frac{-E_g}{kT}$$

$$\text{对 } T \text{ 求偏导：} \frac{V_T}{I_s} \frac{\partial I_s}{\partial T} = (4+m) \frac{V_T}{T} + \frac{E_g}{kT^2} V_T$$

$$\text{从而有：} \frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (4+m)V_T - E_g/q}{T}$$

\$m \approx 1.5\$，当衬底材料为硅时 \$E_g = 1.12eV\$。

当 \$V_{BE} = 750mV\$，\$T = 300K\$ 时，\$\frac{\partial V_{BE}}{\partial T} = -1.5mV/K\$

\$V_{BE}\$ 电压的温度系数 \$\frac{\partial V_{BE}}{\partial T}\$ 本身与温度 \$T\$ 相关，如果正温度系数是一个与温度无关的值，那么在进行温度补偿时就会出现误差，造成只能在一个温度点得到零温度系数的参考电压

2、正温度系数电压

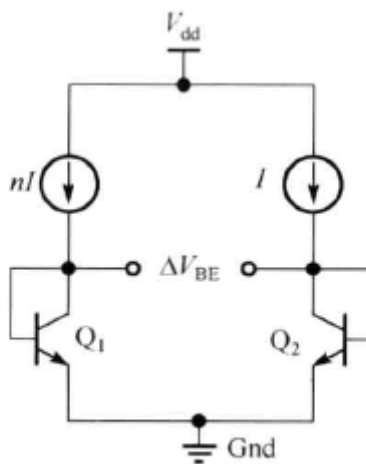


图 8.2 正温度系数电压电路图

两个相同的双极晶体管在不同的集电极电流偏置情况下，其基极-发射极电压的差值与绝对温度成正比

两个尺寸相同的双极晶体管Q1和Q2，在不同的集电极电流I和nI的偏置下，忽略它们的基极电流：

$$\begin{aligned}\Delta V_{BE} &= V_{BE1} - V_{BE2} = V_T \ln \frac{I_{c1}}{I_{s2}} = V_T \ln \frac{nI}{I_{s1}} - V_T \ln \frac{I}{I_{s2}} \\ &\because I_{s1} = I_{s2} = I_s, I_{c1} = nI_{c2} \\ \therefore \Delta V_{BE} &= V_T \ln \frac{nI}{I_s} - V_T \ln \frac{I}{I_s} = V_T \ln n = \frac{KT}{q} \ln n \\ \text{对温度求偏导：} \quad \frac{\partial \Delta V_{BE}}{\partial T} &= \frac{k}{q} \ln n > 0\end{aligned}$$

可以看出， ΔV_{BE} 具有正温度系数，而这种关系与温度T无关

3、零温度系数基准电压

利用前面得到的正、负温度系数的电压，可以得到一个与温度无关的基准电压 V_{REF} ，有

$$V_{REF} = \alpha_1 \cdot \frac{kT}{q} \ln n + \alpha_2 \cdot V_{BE}$$

对 α_1 和 α_2 的选择：在300K下，有负温度系数电压 $\frac{\partial V_{BE}}{\partial T} = -1.5mV/K$ ，而正温度系数电压为

$$\begin{aligned}\frac{\partial \Delta V_{BE}}{\partial T} &= \frac{k}{q} \ln n = 0.087mV/K \cdot \ln n \\ \text{对温度 } T \text{ 求偏导：} \quad \frac{\partial V_{REF}}{\partial T} &= \alpha_1 \cdot \frac{k}{q} \ln n + \alpha_2 \frac{\partial V_{BE}}{\partial T} \\ \text{令上式为零，带入正、负温度系数电压值，令 } \alpha_2 &= 1： \\ \alpha_1 \cdot \ln n &= 17.2\end{aligned}$$

从而零温度系数基准电压为 $V_{REF} \approx 17.2 \frac{kT}{q} + V_{BE} \approx 1.25V$

4、零温度系数基准电压电路结构

从前面的分析来看，零温度系数基准电压主要通过二极管基极-发射极电压 V_{BE} 和 $17.2kT/q$ 相加获得，基本原理和零温度系数基准电压产生电路：

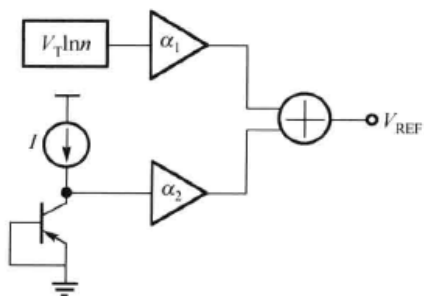


图 8.3 零温度系数基准电压产生原理

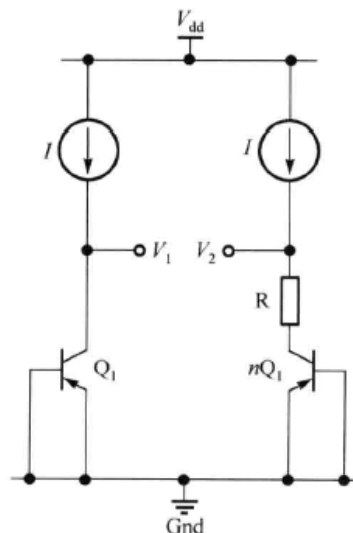


图 8.4 零温度系数基准电压产生基本电路图

假设 $V_1 = V_2$ ，对于左、右支路有

$$\begin{aligned} V_1 &= V_{BE1} & V_2 &= V_{BE2} + IR \\ \text{且 } V_{BE1} &= V_{BE2} + IR \\ \therefore IR &= V_{BE1} - V_{BE2} = kT/q \cdot \ln n \end{aligned}$$

通过这种电路方式可以获得零温度系数基准电压。使电路两端电压相等：理想的运算放大器在正常工作时，其输入的两端电压近似相等，那么可以产生两种电路，使得 $V_1 = V_2$

完成这种相加的电路结构目前主要有两种：一种是通过运算放大器将两者进行相加，输出即为基准电压；另外一种是先产生与温度成正比（PTAT）的电流，通过电阻转换成电压，这个电压自然具有正温度系数，然后与二极管的基极-发射极电压 V_{BE} 相加获得

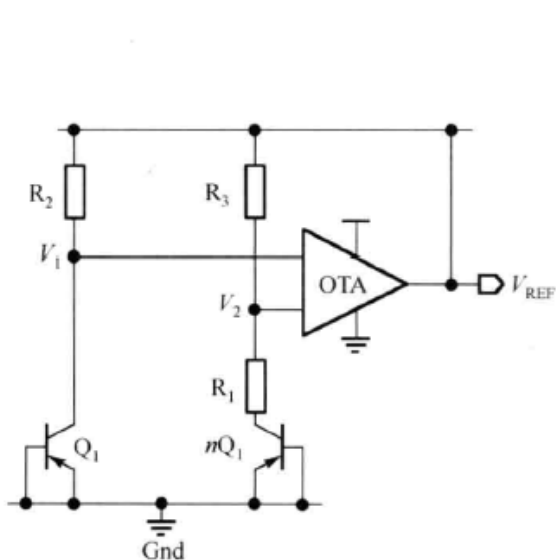


图 8.5 基准电压产生电路之一

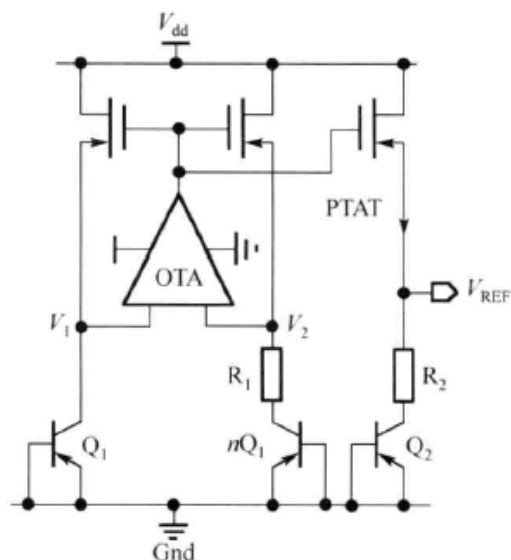


图 8.6 基准电压产生电路之二

左图中，运算放大器（OTA）的输入电压为 V_1 和 V_2 ，输出为 V_{REF} ，驱动电阻器 R_2 和 R_3 ，OTA 使得输入电压 V_1 和 V_2 近似相等，得出两侧双极晶体管的基极-发射极的电压差为 $V_T \ln n$ ，由前式得流过 R_1 （右侧）的电流为 $I_2 = \frac{V_T \ln n}{R_1}$ ，得到输出的基准电压 V_{REF} 为

$$V_{REF} = V_{BE,nQ_1} + \frac{I_2}{R_1} \cdot (R_1 + R_3) = V_{BE,nQ_1} + \left(1 + \frac{R_3}{R_1}\right) V_T \ln n$$

在室温为 300K 时，可以得到零温度系数电压 $V_{REF} \approx 1.25V$

$$V_{REF} = V_{BE,Q_2} + \frac{R_2}{R_1} V_T \ln T$$

The circuit diagram shows a fully differential OTA. The input nodes are V_1 and V_2 . The OTA core consists of a differential pair of NMOS transistors (M_1 and M_2) with their sources connected to ground. The gates of M_1 and M_2 are connected to V_1 and V_2 respectively. The drains of M_1 and M_2 are connected to a current mirror load consisting of PMOS transistors M_3 and M_4 . The gates of M_3 and M_4 are connected to V_{DD} . The drain of M_3 is connected to V_{DD} and the drain of M_4 is connected to V_2 . The gates of M_1 and M_2 are also connected to V_{DD} . The output nodes are V_1 and V_2 . The load resistors R_1 and R_2 are connected between V_1 and V_2 and ground. The input resistors R_3 and R_4 are connected between V_1 and V_2 and V_{DD} . The input transistors Q_1 and nQ_1 are connected between V_1 and V_2 and ground. The output node V_{REF} is connected to V_2 and ground.

图 8.7 基准电压产生电路之三

这是获得基准电压的第三种电路，这种电路的基本原理与第二种类似，不同之处在于，在节点V1和V2分别加入两个阻值相同的电阻（ $R_3=R_4=R$ ），流过电阻器的电流 $I_R = \frac{V_2}{R_4} = \frac{V_{BE1}}{R}$ ，所以流过MOS电

$$\text{流 } T_{M2} = I_R + I_{R1} = \frac{V_{BE1}}{R} + \frac{V_T \ln n}{R_1}$$

如果MOS晶体管尺寸 $(\frac{W}{L})_3 = (\frac{W}{L})_2$, 那么有 $I_{M3} = I_{M2}$, 得到基准电压 V_{REF} 为

$$V_{REF} = I_{M3}R_2 = (\frac{V_{BE1}}{R} + \frac{V_T \ln n}{R_1})R_2$$

由上可知，这种结构得到的基准电压可以通过调节R2的电阻值得到任意值。而前两种结构只能得到1.25V的基准电压值

5、零温度系数基准电压中运算放大器的失调

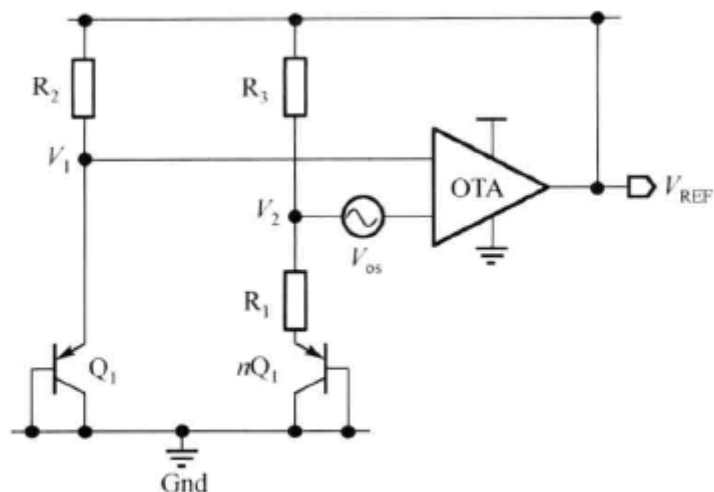


图 8.8 零温度系数基准电压中运算放大器的失调

运算放大器中的失调： V_{OS} 为运算放大器的失调电压。失调电压使得输出的基准电压存在误差，并且这种误差还与温度相关。假设图中运算放大器为理想放大器，那么

$$V_{BE,Q1} - V_{OS} \approx V_{BE,nQ1} + R_1 I_c$$

其中 I_c 为流过电阻 R_1 和双极晶体管 nQ_1 的电流，运算放大器输出的基准电压为

$$V_{REF} = V_{BE,nQ1} + (R_1 + R_3)I_c$$

可得

$$V_{REF} = V_{BE,nQ1} + \left(1 + \frac{R_3}{R_1}\right)(V_T \ln n - V_{OS})$$

由上可知，由于运算放大器存在失调电压，使得其输出的基准电压存在误差，这种误差相当于运算放大器的失调电压被放大了 $(1+R_3/R_1)$ 倍

降低运算放大器失调电压的方式：

- (1)增大运算放大器的输入管的面积，采用共质心版图的设计方法降低失调电压
- (2)在电源电压较高的情况下，可以采用两个双极晶体管串联的方式，使得 ΔV_{BE} 增大
- (3)选择两个支路的电流不等，使得 ΔV_{BE} 由 $\ln n$ 增大到 $\ln(mn)$ ，降低 V_{OS} 在 V_{REF} 中的比例，其中 m 和 n 都是正整数

6、基准电压源的启动问题

图基准电压源产生电路二所示的基准电压源电路，实际上存在哪个工作点：一个是电路正常时的工作点；另外一个“零电流”工作点，也就是在电源上电过程中，电路中所有的晶体管均无电流通过，而这种状态如无外界干扰将永远保持下去。这种情况就是电路的启动问题

解决电路的启动问题，需要加入额外电路，使得存在启动问题的电路摆脱“零电流”工作状态进入正常工作模式，对启动电路的基本要求是电源电压稳定后，待启动电路处于“零电流”工作状态，而在待启动电路进入正常工作模式后，启动电路停止工作。启动电路为图中右侧部分

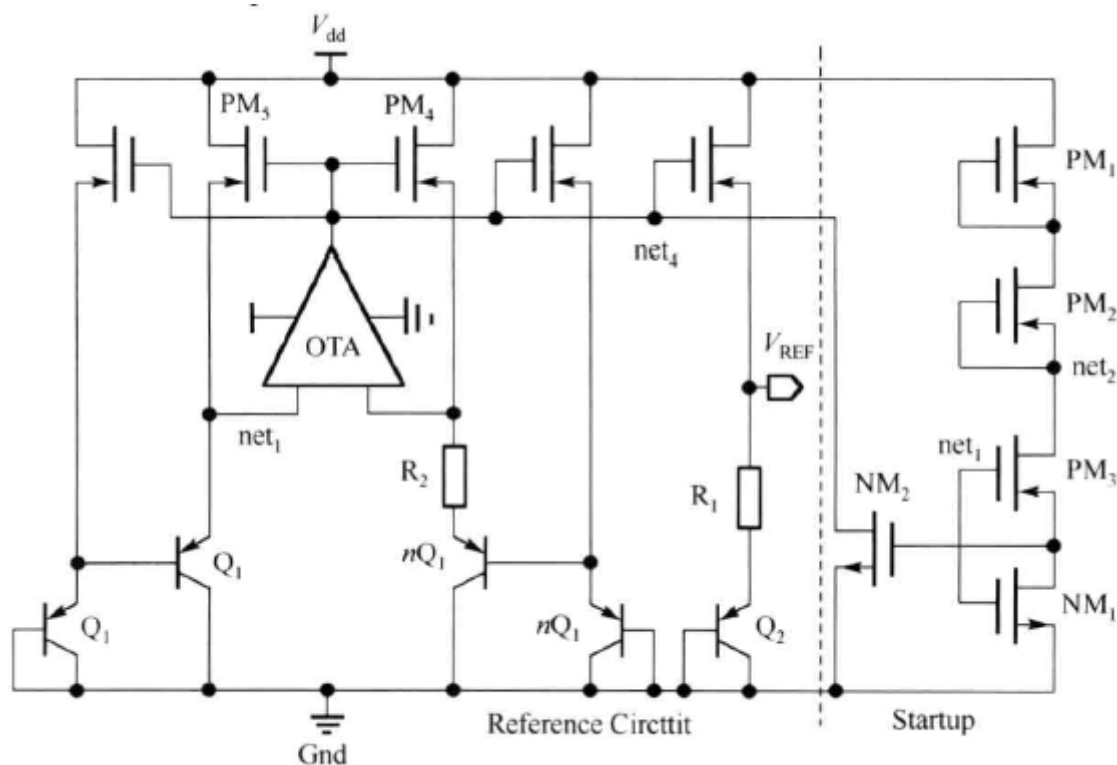


图 8.9 带启动电路的基准电压源电路图

当电源电压正常供电而基准电路内部仍无电流时，也就是MOS晶体管PM4和PM5均无电流通过，节点net1的电压为零时，则MOS晶体管的PM3导通，NM1截止，节点net3的电压为 $V_{dd} - 2V_{BE}$ ，进而使得MOS晶体管NM2导通，节点net4的电压较低，接近地电位，最后使得MOS晶体管PM4和PM5导通，节点net1的电压逐渐上升至大约 $2V_{BE}$ ，基准电路逐渐正常工作。而启动电路中MOS晶体管NM1导通，而PM3截止，进而使得节点net3的电压逐渐下降，NM2管逐渐截止。在基准电压电路正常工作后，启动电路的两条支路停止工作（NM2/PM3截止）

带隙基准源的设计与仿真

带隙基准电压源电路是模拟电路和数模混合集成电路系统必不可少的模块，主要功能是给模拟电路提供基准电压，这种电压源基本不随电源电压和温度的变化而变化。基准电压源电路的性能决定了模拟电路所能达到的精度，所以其性能指标需要根据功能模块的精度进行设定。由于带隙基准电压源电路主要提供直流电压（电流），所以其低频交流特性（<10kHz）及温度特性、电压特性等要求较高，其设计的主要难度在于：在获得较低的温度系数的同时，具有良好的交流特性和稳定性

1、基准电压源的性能指标

(1)温度系数

温度系数是衡量输出的基准电压随温度变化的性能指标，通常采用 10^{-6} 数量级来表示，即当温度变化 1°C 时输出的基准电压变化的百万分比。计算的基本公式

$$TC(\text{单位} : \times 10^{-6}/^{\circ}\text{C}) = \frac{V_{max} - V_{min}}{V_{mean}(T_{max} - T_{min})} \times 10^6$$

V_{max} 和 V_{min} 分别为在关心的温度范围内获得的基准电压的最大值和最小值， V_{mean} 为平均值，而 T_{max} 和 T_{min} 分别为关心温度的最大值和最小值

(2)电源抑制比

电源抑制比时衡量输出基准电压对电源电压波动的抑制能力的参数。由于供电的电源电压在电路正常工作时并不是固定不变的，存在着各种噪声及波动，这种波动既有电路工作时对电路的干扰，又有电源本身的波纹。电源抑制比越大说明电路对电源的噪声抑制能力越强。计算公式：

$$PSRR|_{Hz} = -20 \lg(\partial V_{REF} / \partial V_{dd}) \quad (\text{单位} : \text{dB})$$

$\frac{\partial V_{REF}}{\partial V_{dd}}$ 为某一频率下，基准电压的变化与电源电压变化的比值。通常比较关心的频率为1kHz和10kHz

(3) 功耗

功耗是任何种类集成电路都需要关注的指标，功耗越低意味着单位时间内消耗的电能越小，对于集成电路封装尤为重要；而功耗指标对于手持设备而言更加重要，关系到移动设备续航时间的长短。但是如果对功耗指标过于苛刻，可能存在噪声及电路驱动问题，所以对于带隙基准电压源电路，其功耗指标应该在一个合理的范围内

(4) 启动问题

带隙基准电压源的启动不是一个定量的指标，却决定了其功能是否正常。启动问题在于通常的瞬态、直流及参数扫面等仿真中观察不到。由于带隙基准电压源存在两个直流工作点，想让带隙基准电压源脱离“零电流”状态进入正常工作模式，需要启动电路对带隙基准源电路加入必要的“激励”。一般通过在电源上加入 $0 \sim V_{dd}$ 的斜坡电压信号来确认带隙基准电压源电路是否正常工作

2、基准电压源的设计与仿真

基于以上考虑，选择一种带隙基准电压源结构，这种结构能够产生所需要的基准电压，并且这种电压可以通过调节某些参数进行可编程，这种结构具有较高的电源抑制比。采用的带隙基准电压结构完整电路图如图：

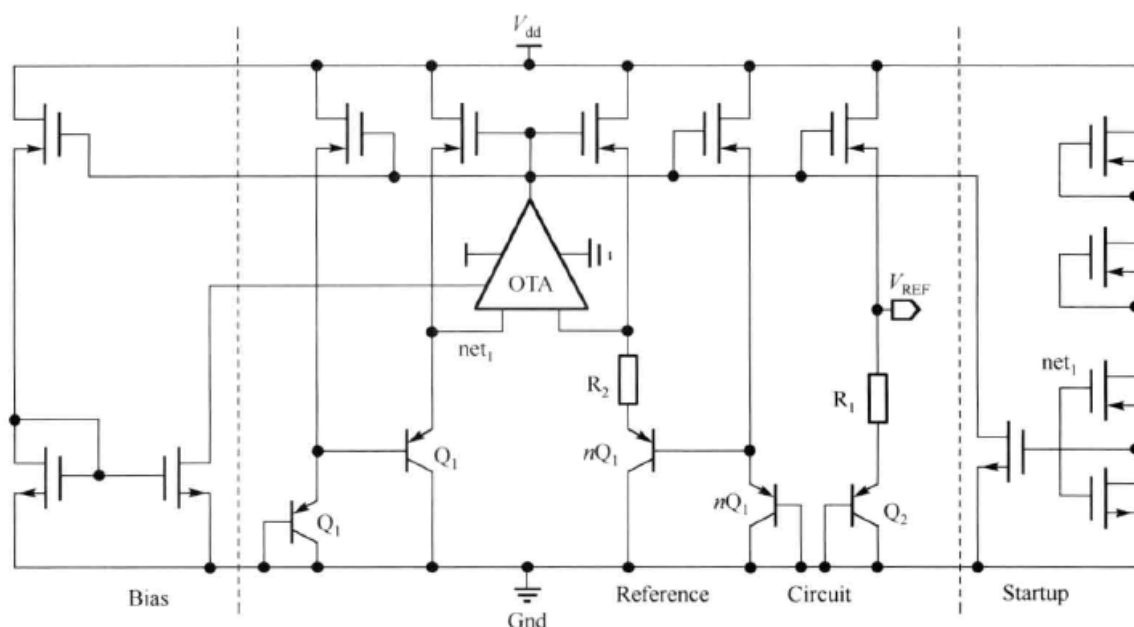


图 8.10 带隙基准电压源电路图

带隙基准电压源的设计参数、指标如下：

- (1) 工艺：0.18 μ m CMOS 混合信号
- (2) 电源电压： $V_{dd}=3.3V$
- (3) 产生基准电压： $V_{REF}=1.25V$
- (4) 温度系数 $TC < 20 \times 10^{-6} / ^\circ C$
- (5) 电源抑制比 $PSRR > 65dB @ 1kHz$

采用的带隙基准电压源主要分为3部分，从左至右依次为电压偏置电路、基准电压源产生电路和启动电路。其中电压偏置电路用于产生运算放大器正常工作时的偏置电压，电压偏置来源于基准电压源产生电路。基准电压源产生电路用于生成需要的基准电压（1.25V），由于电源电压比较高（3.3V），采用双极晶体管串联形式来获得正温度系数电压，有利于降低运算放大器失调对基准电压源的影响。启动电路用于使基准源电路脱离“零电流”工作状态。

由于采用双极晶体管传递形式来获得正温度系数电压，流过电阻器 R_2 的电流为 $I_2 = \frac{2V_T \ln n}{R_2}$ 由此获得的基准电压

$$V_{REF} = V_{BE,Q_2} + \frac{2R_3}{R_4} V_T \ln n$$

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE,Q_2}}{\partial T} + \frac{2R_3}{R_4} \cdot \frac{k}{q} \ln n$$

将 $\frac{\partial V_{BE}}{\partial T} = -1.5mV/K$, $\frac{\partial \Delta V_{BE}}{\partial T} = \frac{k}{q} \ln n = 0.087mV/K \cdot \ln n$ 带入上式, 得

$$\frac{R_3}{R_4} \cdot \ln n = 8.6$$

电路中选择 $n=7$ 时, 有 $R_3 \approx 5R_4$; 选择 $R_3=5k\Omega$, $R_4=25k\Omega$

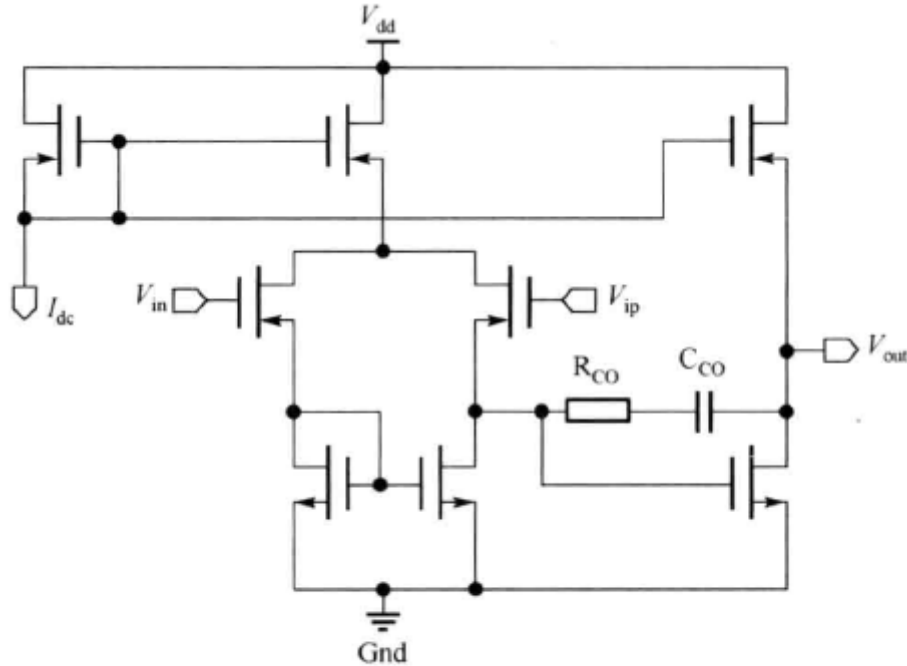


图 8.11 带隙基准电源中的 OTA 电路图

由于带隙基准电压源输出电压精度与电源抑制比和运算放大器得增益相关, 所以为了提高放大器的直流增益, 选择了两级结构。第一级采用简单的无关结构获得中等增益; 第二级采用共源极, 在提供一定增益的同时提供较大的输出摆幅。第一级与第二级之间的电容器 C_{C_0} 为米勒补偿电容器, 用于将放大器产生的两个相邻极点分开, 将主极点推向原点, 而将第一非主极点退出单位增益带宽之外, 达到频率补偿的目的。另外, 加入调零电阻器, 进一步抵消非主极点, 使得两级放大器具有单极点的特性, 具有较好的相位特性

为了进行噪声和失调电压优化, 必须保证第一级放大器的输入管具有较大的宽长比和面积, 输入管较大的跨导 g_m 可有效降低运算放大器的电路热噪声; 较大的晶体管面积意味着运算放大器具有失调电压, 同时也有利于降低电路的低频 $1/f$ 噪声

correct :

$$V_{ref} = \frac{2R_4}{R_3} \frac{k_B T}{e} \ln n + (1 + \frac{2R_4}{R_2}) V_{BE,Q_2}$$

$$\frac{\partial V_{REF}}{\partial T} = \frac{2R_4}{R_3} \cdot \frac{k_B}{e} \ln n + (1 + \frac{2R_4}{R_2}) \frac{\partial V_{BE}}{\partial T}$$

$$\frac{\partial V_{BE}}{\partial T} = -1.5mV/K, \frac{k_B T}{e}$$

$$\frac{R_4}{R_2} = \frac{1}{6}, \frac{R_4}{R_3} = 6$$

开关电路

MOS开关的非理想特性

一般来说，电路中的开关采用MOS管实现，主要引入三个误差源

首先MOS开关存在有限导通电阻，该有限导通电阻和采样电容将组成一个RC采样网络，该RC网络存在有限的-3dB带宽，将限制信号的输入带宽

同时采样电阻存在非线性，这将会影响到整个电路的非线性。在正常情况下，MOS开关管的 V_{ds} 很小，因此MOS管主要工作在线性区，它的导通电阻是

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})}$$

其中由于 V_{gs} 会随着输入信号的变化而变化，并且阈值电压 V_{th} 也会由于衬偏效应而发生变化，因此MOS开关的导通电阻不是一个恒定的值，而是存在非线性，并且随着输入信号频率的上升以及输入信号幅度的增大而增大。为了减小非线性，需要保持导通电阻的恒定，方法之一就是保持 V_{gs} 的恒定，常用的是栅压自举保持开关

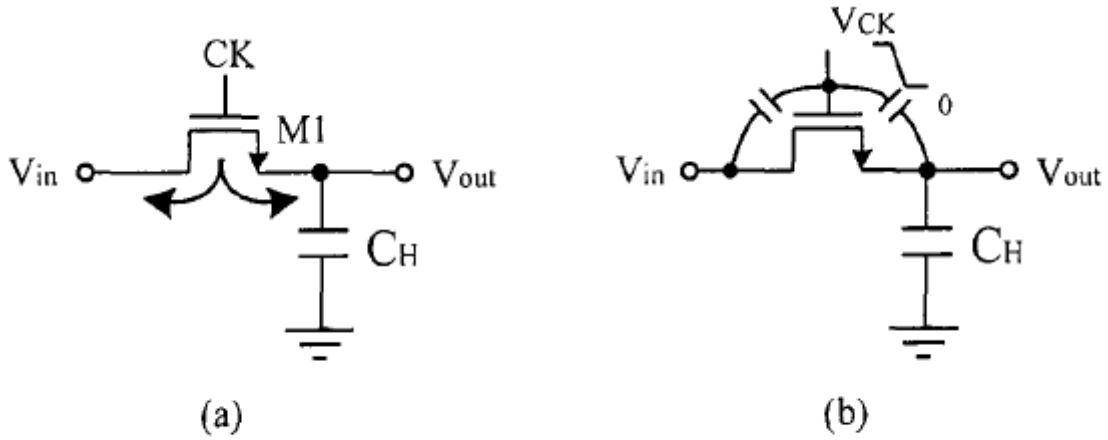


图 3.14 MOS 开关的沟道电荷注入效应和时钟馈通效应

第二个误差源是沟道电荷注入效应，考虑图(a)中的采样电路。一个MOS管处于导通状态时，二氧化硅与硅的界面必然存在沟道。假设 $V_{in} = V_{out}$ ，反型层中的总电荷可以表示为

$$Q_{ch} = WLC_{ox}(V_{DD} - V_{in} - V_{th})$$

注入到左边的电荷被输入信号源吸收，不会产生误差。但是，注入到右边的电荷沉积在 C_H 上，这就给存储在采样电容上的电压值带来误差。假设 Q_{ch} 的一半电荷注入到 C_H 上，产生的误差就等于

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{th})}{2C_H}$$

第三个误差源是时钟馈通效应，MOS开关会通过栅漏或者栅源交叠电容将时钟跳变耦合到采样电容上。如图(b)。假设交叠电容固定不变，误差可以表示为

$$\Delta V = V_{CK} \frac{WC_{OV}}{WC_{OV} + C_H}$$

其中 C_{OV} 为单位宽度的交叠电容。误差 ΔV 与输入电压无关，在输入/输出特性中表现为固定的失调

栅压自举开关

MOS管在开关电容中扮演着十分重要的角色，它本身的一些非理想因素和寄生效应将直接影响电路的性能

MOS开关最主要的非理想特性是它存在一定的导通电阻，在采样阶段，可以将MOS开关等效为一电阻 R ，则该采样保持电路的带宽为 $1/RC$ 。为了避免信号失真，应该保证该采样开关足够大。在采样电容一定的情况下，可以通过增大MOS管的宽长比来减小开关的导通电阻，从而增大带宽。但是MOS开关的问题不仅仅是导通电阻大小的问题，假设开关工作在线性区，则它的导通电阻可以近似表示为：

$$R = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{dd} - V_{in} - V_{th})}$$

其中 V_{in} 为输入的信号值

从上式可以看出，简单的MOS开关导通电阻的值会随着输入信号的变化而变化，并且这种变化呈严重的非线性。CMOS开关的导通电阻相对变化比较小，但依然随输入信号非线性变化。下图为NMOS、PMOS、CMOS三种开关的导通电阻随输入信号变化的曲线图

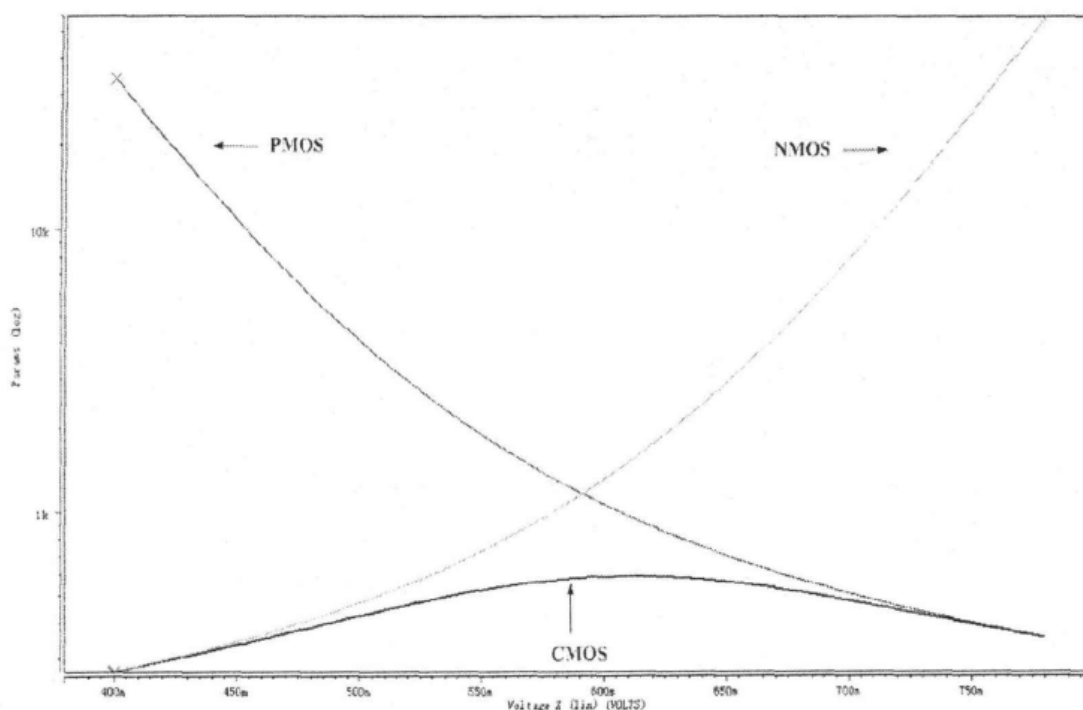


图 4.5 MOS 开关导通电阻

开关导通电阻的非线性对采样保持电路有着严重影响，它会导致信号失真。导通电阻之所以随输入信号变化，是因为时钟信号的电平值是固定的，当输入信号变化时，MOS管的栅源电压发生了变化。如果能够使MOS管栅极电位跟随输入信号电压的变化，即栅源电压保持不变，则导通电阻值就基本不受输入信号的影响，这种开关称为自举开关，简单的自举开关如下图

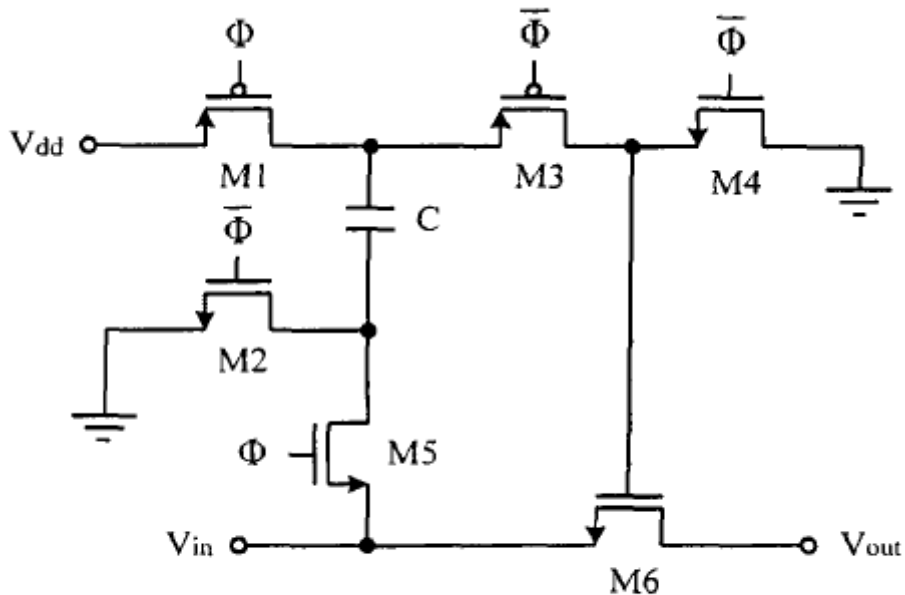


图 4.6 自举开关原理示意图

当时钟信号 Φ 为低电平，M3、M5截止，M4导通，开关管M6栅极接地，开关截止。同时M1、M2导通，电容被充电至电源电压 V_{dd} 。当时钟信号 Φ 为高电平时，M4截止，M3、M5导通，被充电的电容连接开关管的栅极和源极，起到电平位移的作用，并使得栅极电位跟随输入信号的变化，栅源电压基本保持恒定

这种简单的自举开关电路存在可靠性方面的隐患。在开关管导通阶段，由于自举作用，很多管子的极间电压超过电源电压，如M1、M4的栅漏电压，M3的栅源、栅漏电压。这些管子长期工作在这种条件下，很容易引起期间的损坏、失效，影响电路的工作寿命。改进的可靠性自举开关如下图，器基本原理同上图，只是该电路中的所有管子的极间电压都没有超过电源电压，电路具有很好的可靠性

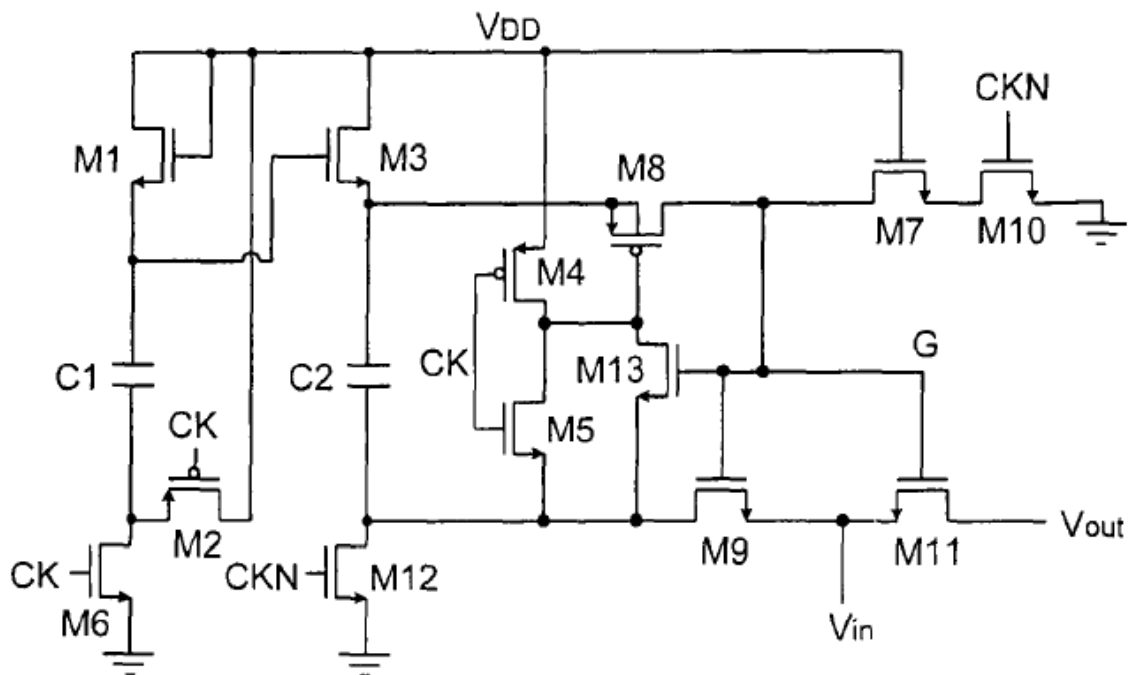


图 4.7 栅压自举开关

其中，M1、M2和C1构成了电荷泵电路，假设采样时钟的高电平等于电源电压 V_{DD} ，低电平为GND，则电荷泵将在M3的栅极产生一个幅度 $V_{DD} \sim 2V_{DD}$ 之间的方波，控制M3管的开关状态，其相位与CKN相同，即M3和M12将处于同样的导通和关断状态。当M3的栅极自举过程完成后，CKN为高电平，M3和M12同时导通，使电容C2充电至 V_{DD} ，同时M10、M7导通，采样管M11的栅压 V_G 为低电平，因此M11关断；在下半个时钟周期，CK为高电平，CKN为低电平，M3、M12断开，使电容C2存储了大小接近 V_{DD} 值的电荷量，此时M10也断开，而M8、M9导通，使得C2保持的电压值加在M11的栅源端，因此有

$$V_{boost} = V_{gs_M11} = V_{c2} \approx V_{DD}$$

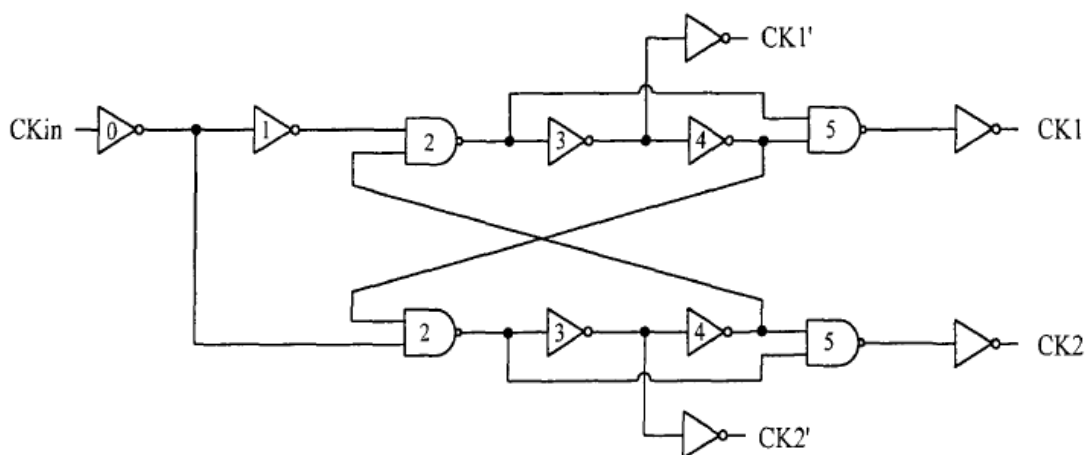
可以看出，通过电荷泵的作用，栅压自举电路将采样管M11的栅压提高到接近 V_{DD} 的恒定值，使其不受输入信号的影响，且较大的栅源电压降低了M11的导通电阻，使得输入信号带宽增大。因此，采样开关可以采样更高频率的输入信号，且采样开关的非线性失真将极大降低，采样电路的高频性能将得到提高。另外，由于自举电路使得某些管子有超过 V_{DD} 的电压，如果信号急速变化造成管子状态来不及变化，很有可能出现管子穿通的情况，因此，该电路中增加了M7和M13管，它们的作用是为了增加MOS器件的可靠性

在设计高可靠性自举开关电路时，应该合理选择管子和电容尺寸。假设与电容C2上极板相连的总寄生电容为 C_p ，根据电荷守恒可求得在开关管M11导通阶段M11栅极电位为

$$V_{gs_M11} = V_{in} + \frac{C_2}{C_2 + C_p} V_{DD}$$

因此C2值越大，开关管的栅源电压就越高，导通电阻就越低，但同时也占用更多的芯片面积，设计时要在二者间平衡，选取适合值。管子M8、M9直接影响开关的开启时间，因此应取足够大的宽长比。但如果取得过大，它们寄生电容的影响占主导地位会导致相反的效果。M7、M10决定开关截止的速度，也应该适当取较大值

时钟发生电路



在流水线模数转换器中，采样保持电路和MDAC电路都工作在两相不交叠时钟下，为了实现底极板采样，还需要提前关断时钟。上图为每一级模块中的时钟产生电路，它通过两路延迟单元交叉负反馈得到两相不交叠时钟输出CK1和CK2；在延迟单元内抽取提前信号得到底极板采样的提前关断时钟CK1'和CK2'，再通过提前信号与延迟信号的并联，即可得到所需的采样和保持时钟。并且，根据时钟所带负载的大小，可选用具有不同驱动能力的延迟单元和倒相器，一般在最后输出都会串联逐级增大的延迟单元，以增大时钟的驱动能力。

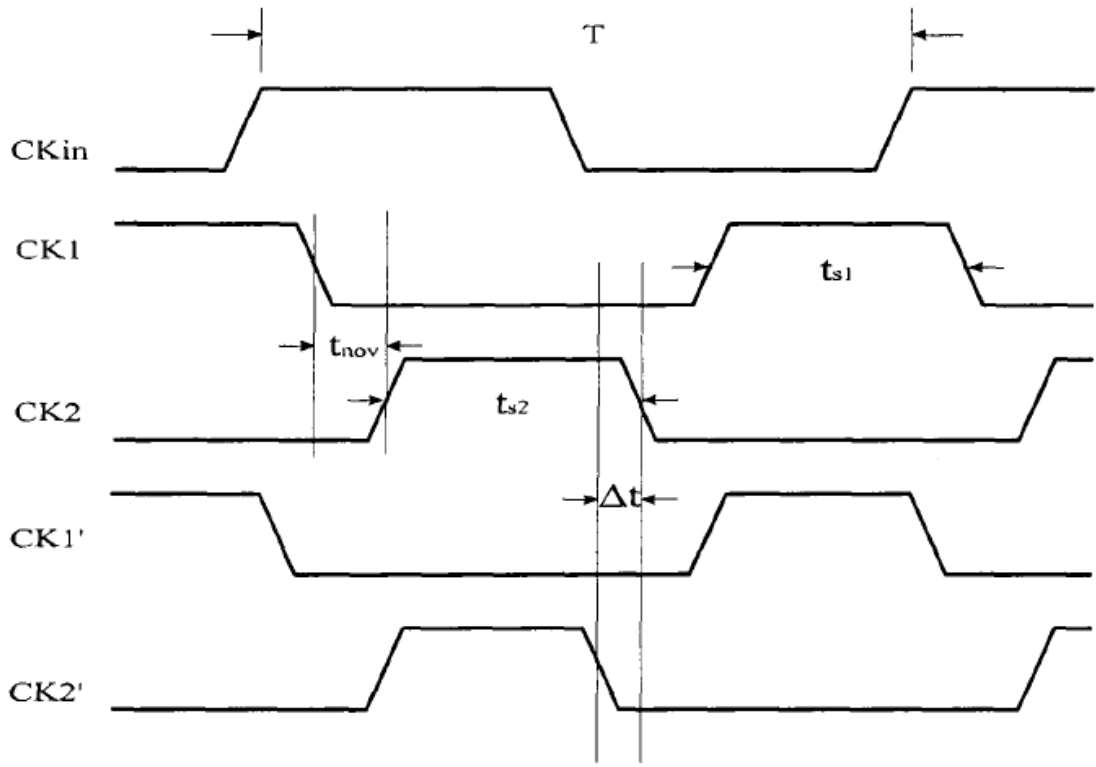


图 4.33 双相不交叠时钟时序

双相不交叠时钟发生电路产生的时钟时序如上图，输入为一个占空比为50%，周期为T的时钟信号 CK_{in} 。CK1和CK2为双相不交叠时钟，CK1'和CK2'为提前关断时钟。 t_{nov} 为时钟双相不交叠时间， Δt 为提前关断时间。时钟双相不交叠时间以及提前关断时间时主要是由电路中倒相器及其他逻辑器件的延时所决定。通过计算各个逻辑单元的延时可以得出设计时需要时钟的占空比，非交叠时间等参数。具体计算

$$t_{s1} = \frac{T}{2} - t_{NAND2} - t_{INV3} - t_{INV4} + t_{INV1}$$

$$t_{s2} = \frac{T}{2} - t_{INV1} - t_{NAND2} - t_{INV3} - t_{INV4}$$

$$t_{nov} = \min(t_{NAND2}, t_{NAND2} + t_{INV3} - t_{NAND5})$$

$$\Delta t = t_{INV4} + t_{NAND5}$$

TODO

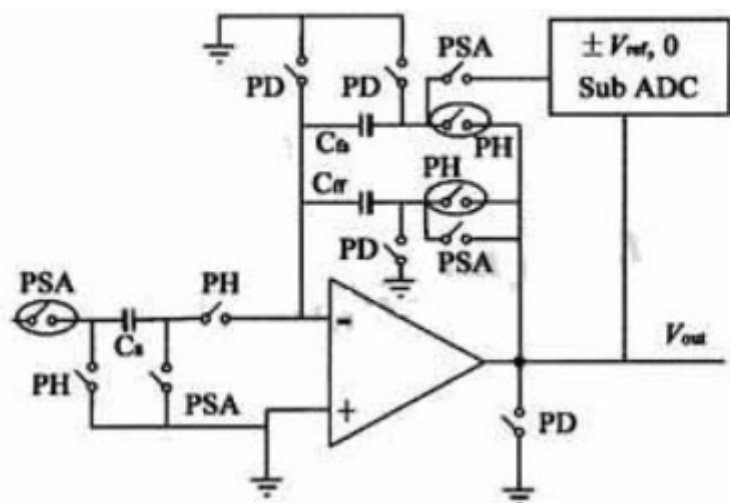


图 1 采样保持电路结构
Fig.1 Sample and hold circuit

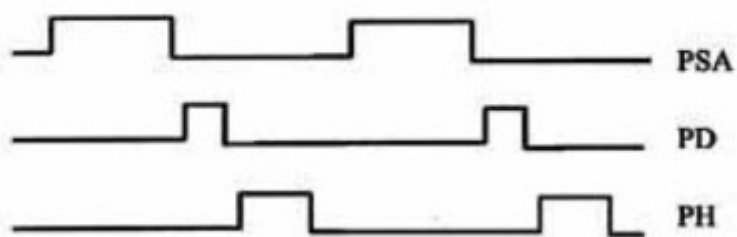


图 2 采样保持电路的时序

采样保持