目录

[数字电路笔记 1](#_Toc50556880)

[数字电路学 1](#_Toc50556881)

[二进制 1](#_Toc50556882)

[逻辑 1](#_Toc50556883)

[时序电路 5](#_Toc50556884)

[数字逻辑系列 5](#_Toc50556885)

# 数字电路笔记

## 数字电路学

### 二进制

#### 十进制与其他进制转换

其他进制，如o’ 237.4 = 2\*82+3\*81+7\*80 + 4\*8-1= 128+24+7 +0.5= 159.5

十进制整数除2取余，逆序排列

十进制乘2取整，顺序排列

二进制和8和16进制是3，6位合在一起

格雷码(gray code) 只有一位的变化

### 逻辑

#### 逻辑AND NOT OR（主要考察化简）

AB=BA, A+B=B+A

A(B+C)=AB+AC

A+BC=(A+B)(A+C)

A+A=A, AA=A,AA’=0,A+A’=1

(A+B)’=A’B’

(AB)’=A’+B’

OR 1是1，AND 0 是0

A+AB=A ==> A(1+B) ==>A

A(A+B)=A ==> AA+AB ==>A+AB

#### 门级

AND

OR

NOT

BUF 缓冲

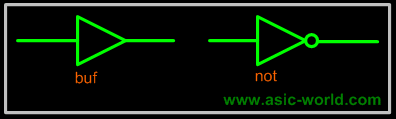
NAND

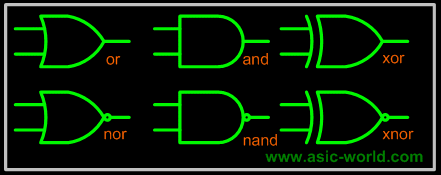
NOR（通用门）

XOR

XNOR

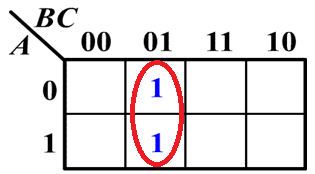
各种符号：



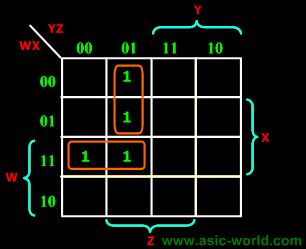


#### 卡诺图来化简

1. 利用格雷码来书写横重坐标
2. 画圈圈
3. 2个为一消





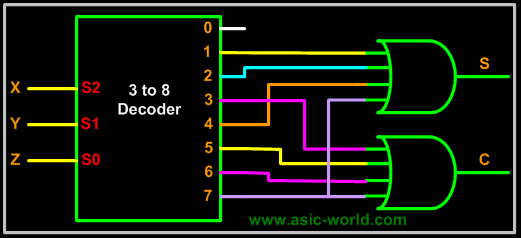


WXY’+W’Y’Z

#### 解码器

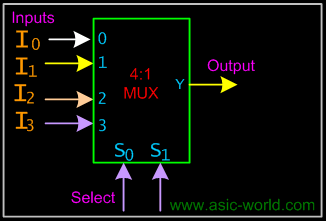
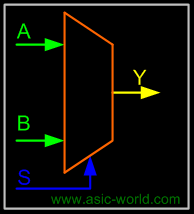
2输入数据有4个值，把每个值用F0,F1,F2,F3表示出来就是解码器，2 to 4 decoder，3 to 8 decoder

通过3-8解码器来实现全加器，可以看出，把几种让S或C拉高的情况并联起来就可以

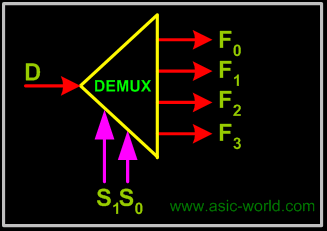


#### 复用器multiplexer(MUX)

相当于多选一，根据输入信号，从多个数据中选择1个。2选1和4选1 MUX符号：



De\_复位器，通过解码器实现：



使用较小的2 n-1对1多路复用器和单个反相器（例如4对1多路复用器来实现3个可变函数）来实现任何n变量逻辑功能。

#### 全加器和半加器

写出sum和carry的表达式：

半加器:sum = XY’+X’Y

carry=XY

全加器：sum=XY’Z’+X’YZ’+X’Y’Z+XYZ

carry=XY+YZ+XZ

#### 半减器和减法器

写出difference差and "borrow借：

半减：difference = X‘Y+XY’

Borrow = X’Y

#### 乘法器

使用n-1个n位加法器阵列在组合电路中实现n\* n位乘法器

### 时序电路

#### 时序与组合电路

组合逻辑：输出取决于输入信号

时序逻辑：输出取决于存储的状态以及输入信号。

Latch和flip-flop

Latch：电平触发

Flip-flop：边缘触发

#### 保持时间和建立时间

建立时间：触发器在时钟上升沿到来之前，其数据输入端的数据必须保持不变的最小时间

保持时间：触发器在时钟上升沿到来之后，其数据输入端的数据必须保持不变的最小时间

不然就是亚稳态

#### Latch

S-R latch（由于S-R不能同时为1，所以用D-latch代替）

D latch：为1的时候，Q为1，Q’为0;为0的时候，反过来

J-K lathc，J和Q同时为1的时候，不变，否则和D一样

T latch，为1的时候就改变一下，为0不变

#### Flip-Flop

也有D flip-flop和T flip-flop

D flip-flop: 为1的时候为1，为0的时候为0

T：为1的时候转变，为0的时候不变

绘制电路图：

<http://www.asic-world.com/digital/seq5.html>

### 数字逻辑系列

扇入 Fan-in 输入数目对延迟有影响

扇出 Fan-out 输出数目和延迟

门延迟Gate Delay 每个门的延迟。门延迟也称为传播延迟

连线延迟。 导线的延迟，基本不考虑

偏斜Skew 时钟信号到达不同设计部位的时间不一样

功耗：Ps静态功耗和Pd动态功耗，静态功耗中主要是泄漏电流，所以对于CMOS，功耗主要是泄露电流和动态功耗