



第1章 Verilog的基本知识

1.1 硬件描述语言HDL

硬件描述语言（HDL, Hard Description Language）是一种用形式化方法来描述数字电路和系统的语言。

硬件描述语言有30年的历史，成功应用于设计的各个阶段：建模、仿真、验证、综合。20世纪80年代，已出现上百种硬件描述语言。80年代后期，硬件描述语言开始向标准化方向发展。最终，VHDL和Verilog HDL成为IEEE标准。

最近10多年来，用综合工具把可综合风格的HDL模块自动转换为具体电路发展非常迅速，大大提高了复杂数字系统的设计生产率。

1.2 Verilog HDL的历史

什么是Verilog HDL

Verilog HDL是硬件描述语言的一种。该语言允许设计者进行各种级别的逻辑设计，进行数字系统的逻辑综合，仿真验证和时序分析等。

Verilog HDL 发展历史

1983年GDA公司的Philip Moorby首创了Verilog HDL

1995年12月，IEEE制定了Verilog HDL的标准
IEEE1364-1995

2001年，IEEE发布Verilog HDL 1364-2001标准

2005年，IEEE公布System Verilog 标准 IEEE 1800-2005

1.3 Verilog HDL和VHDL的比较

VHDL来源于美国军方，1987年成为IEEE标准

VHDL和Verilog的共同特点：

- 能形式化地抽象表示电路的行为结构
- 支持逻辑设计中层次与范围的描述
- 可借用高级语言结构简化电路行为描述
- 具有电路仿真和验证机制以保证设计的正确性
- 支持电路描述由高层到低层的综合转换
- 硬件描述与工艺无关
- 便于文档管理
- 易于理解和设计重用

Verilog和VHDL的不同之处

- VHDL语法比Verilog严谨
- VHDL语言有很好的行为级描述能力和一定的系统级描述能力，而Verilog建模时，行为与系统级抽象及相关描述能力不及VHDL（System Verilog大幅提高了系统建模能力）
- VHDL语言代码比Verilog冗长
- VHDL语言对数据类型匹配要求过于严格
- 对电路级这样底层描述级别，VHDL几乎不支持（VITAL库可以弥补）

1.5 IP核简介

IP就是知识产权核或知识产权模块的意思。

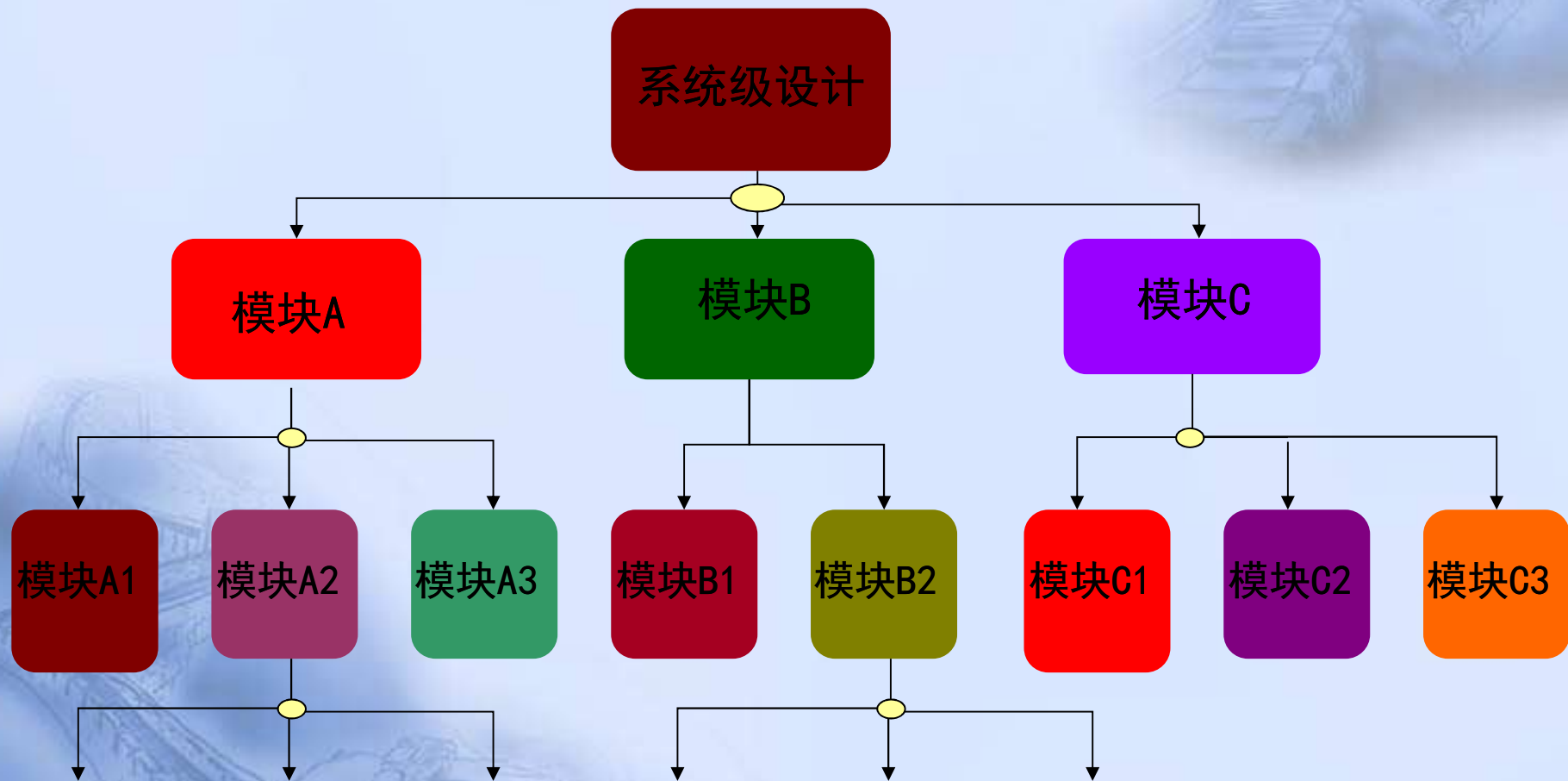
美国著名的Dataquest咨询公司将半导体产业的IP定义为“用于ASIC或FPGA中的预先设计好的电路功能模块”

软核：用HDL形式提交给用户，功能经过验证，可综合的功能块。

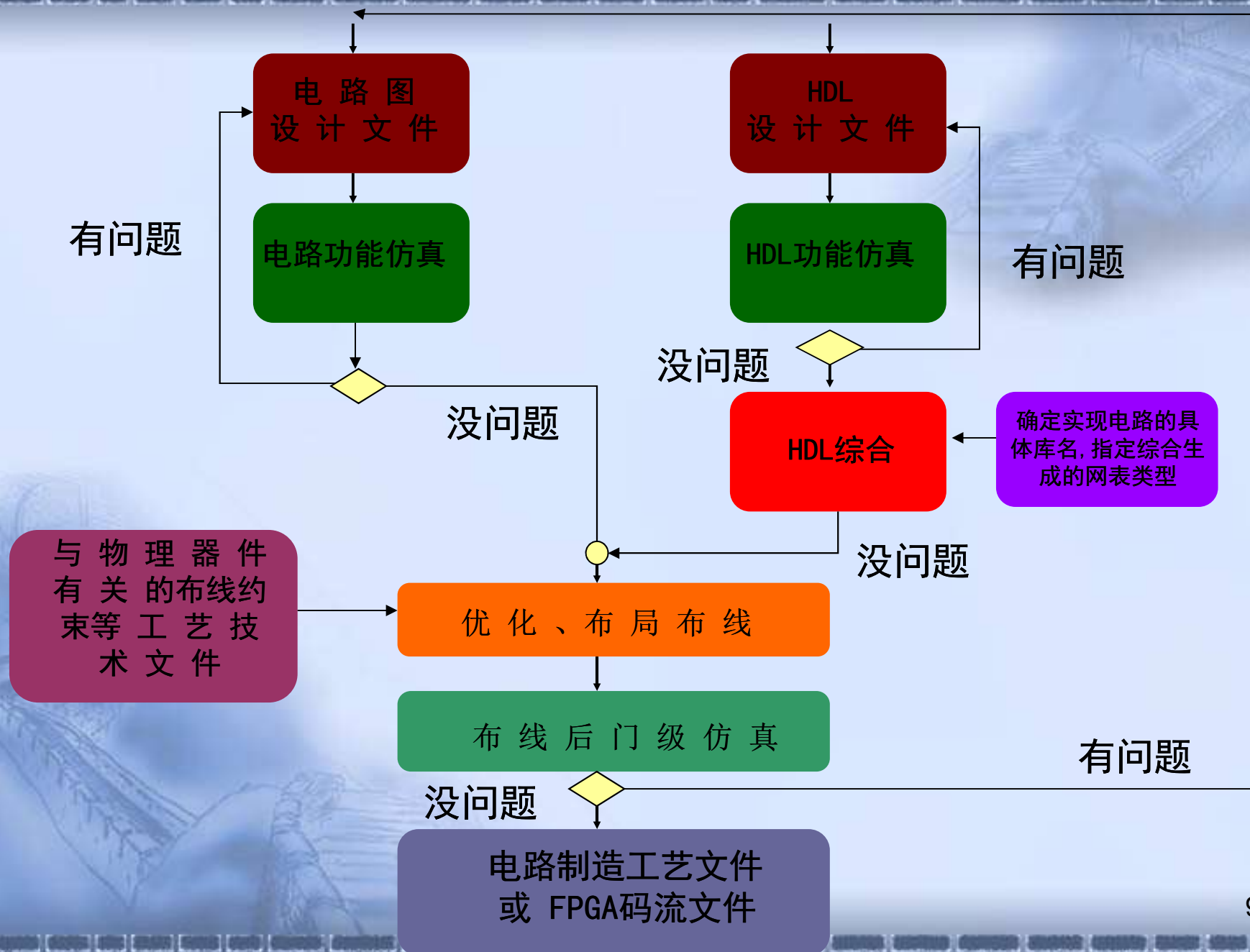
固核：完成了综合的功能块。以网表文件的形式提交给客户使用。

硬核：经过一种集成电路工艺验证，以版图形式提供。

1.6 采用HDL的设计流程简介



自顶向下（Top-Down）设计思想



1.7 PLD器件（可编程逻辑器件）

PLA→GAL

EPLD →CPLD（复杂可编程门阵列）

FPGA（现场可编程门阵列）

主要厂商	Altera	Xilinx	Lattice
------	--------	--------	---------

ASIC和PLD器件比较

FPGA器件中的新技术（硬拷贝、软核cpu）

1.8 常用EDA工具软件

Synopsys（综合） Synplify（综合） Precision（综合）

Cadence
ModelSim（仿真）

若干CPLD/FPGA软件

Altera 公司	QuartusII	MAX+plusII
Xilinx 公司	ISE	
Lattice公司	ispLEVER	