



Tutorial de uso do Quartus-Prime

Prof. Marcus Vinicius Lamar, v1.0

OBJETIVO: Este tutorial visa ensinar o passo a passo de uso básico da ferramenta Quartus Prime v.18.0 para a simulação de circuitos digitais e sua síntese no kit de desenvolvimento FPGA Intel DE1-SoC.

1. INTRODUÇÃO

Neste tutorial apresentaremos o software Quartus Prime para a realização de simulações e síntese de circuitos digitais em FPGA. Vários outros softwares de simulação de circuitos digitais existem gratuitamente na internet, tanto para download (instalar) quanto para execução no navegador (Google it!!!).

O Quartus Prime é a ferramenta de desenvolvimento desenvolvido pela empresa Intel para seus produtos FPGA. Esta ferramenta permite a síntese de circuitos descritos em diagramas esquemáticos ou nas Linguagens de Descrição de Hardware Verilog, System Verilog ou VHDL, para fins de implementação no dispositivo FPGA ou para simulação.

No LINF, use a versão 18.0 do Quartus Prime. (Está instalada também a versão Quartus-II 13.0!)

Instale o Quartus Prime v18.0 (ou a versão mais nova) na sua máquina de casa ou no seu notebook. Faça o download da versão **Lite Edition** a partir do site da Intel :

http://fpgasoftware.intel.com/?edition=lite&platform=windows&download_manager=direct

Use a aba *Combinated Files* para a instalação de todas as ferramentas!

Combined Files Individual Files Additional Software

Download and install instructions: [More](#)

[Read Intel FPGA Software v18.0 Installation FAQ](#)

[Quick Start Guide](#)

Quartus Prime Lite Edition Software (Device support included) ⓘ

Quartus-lite-18.0.0.614-windows.tar

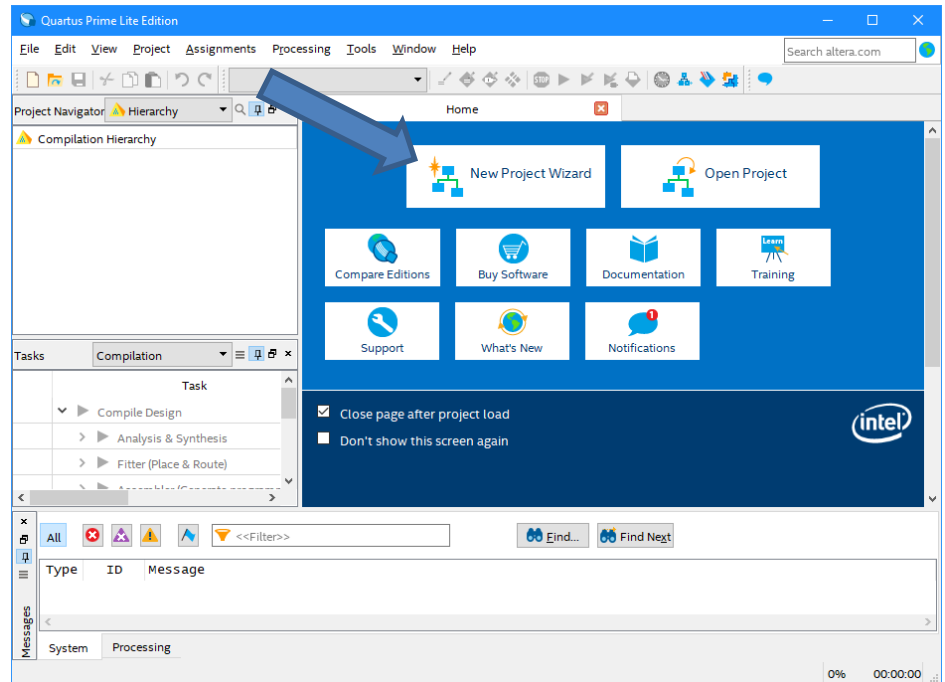
Size: 5.8 GB MD5: 517C4482F8F045810EF23B6D7859E875



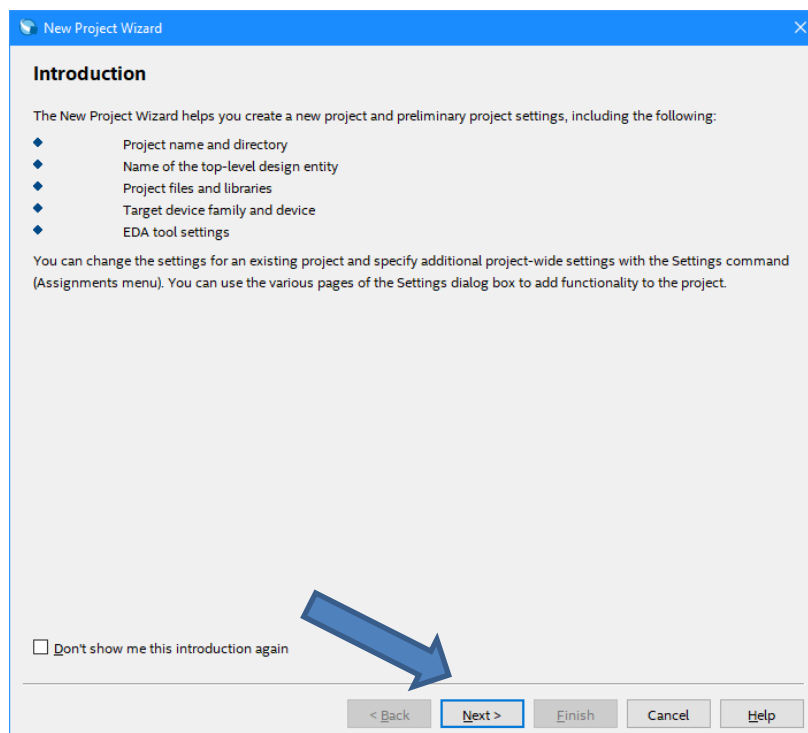
2. INICIANDO UM NOVO PROJETO

- Iniciar o programa Quartus (Quartus Prime 18.0) através do Menu Iniciar do Windows, submenu Intel FPGA 18.0.0 Lite Edition.

-Na tela de abertura:
escolha criar um novo projeto:
→ clique em New Project Wizard



- Tela: **Introduction:**
Fornece informações sobre os próximos passos.
→ clique Next>





- Tela: **Directory, Name and Top-Level Entity**

Crie um novo diretório no seu Pendrive onde estará o projeto, ou crie um diretório da área de trabalho.

Defina o nome do Projeto e, automaticamente, o nome do arquivo Top-Level.

→clique Next>

New Project Wizard

Directory, Name, Top-Level Entity

What is the working directory for this project?

C:/Users/lamar/Dropbox/kiko/Disiplinas/UnB/Oficina_Verilog/Exemplo1

What is the name of this project?

exemplo1

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

exemplo1

Use Existing Project Settings...

< Back Next > Finish Cancel Help

Importante: Sempre use nomes que não contenham caracteres especiais !@#\$%^&()-[]{}.,;< > / ? | etc.

- Tela **Project Type:**

Escolha Empty project

→clique Next>

New Project Wizard

Project Type

Select the type of project:

☒ Empty project

Create new project by specifying project files and libraries, target device family and device, and EDA tool settings.

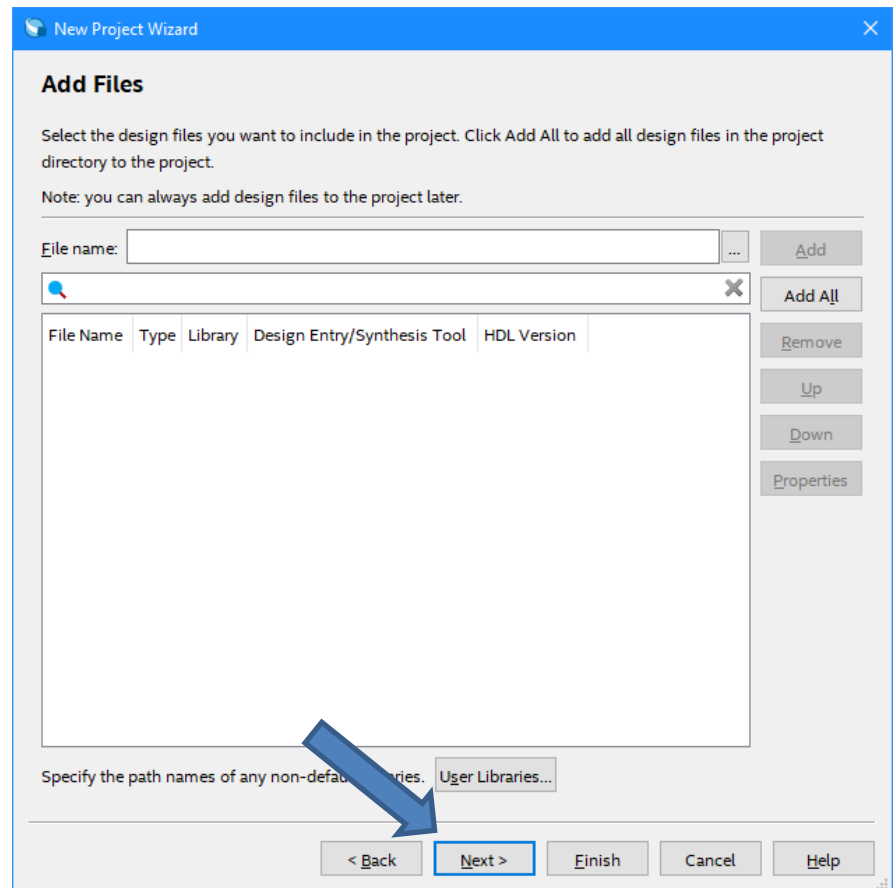
☐ Project template

Create a project from an existing design template. You can choose from design templates installed with the Quartus Prime software, or download design templates from the [Design Store](#).

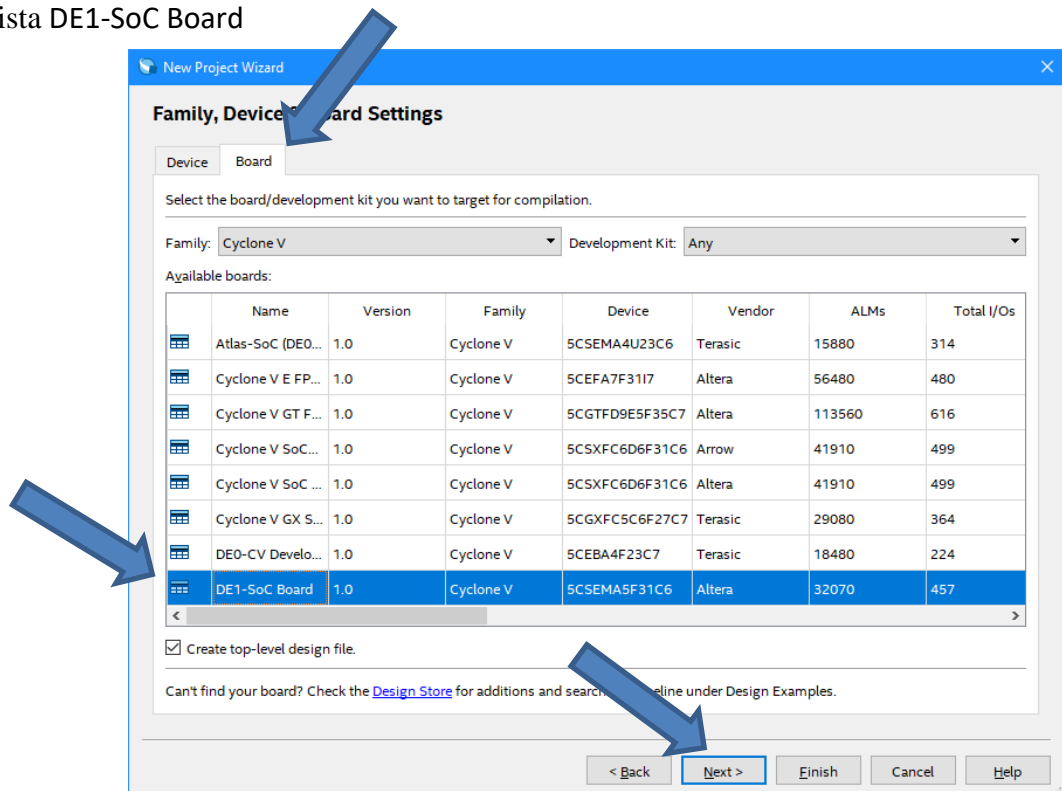
< Back Next > Finish Cancel Help



- Tela: **Add Files:**
Não precisamos neste momento adicionar nenhum arquivo.
→clique Next



- Tela: **Family, Device & Board Settings:**
→Selecione a aba Board
→Selecione na lista DE1-SoC Board
→clique Next>





-Tela: **EDA Tool Settings:**
Usaremos as ferramentas padrões.
→clique Next>

New Project Wizard

EDA Tool Settings

Specify the other EDA tools used with the Quartus Prime software to develop your project.

EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synth...	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	<None>	<None>	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

< Back **Next >** Finish Cancel Help

-Tela: **Summary:**
→clique Finish

New Project Wizard

Summary

When you click Finish, the project will be created with the following settings:

Project directory: C:/Users/lamar/Dropbox/kiko/Disciplinas/UnB/Oficina_Verilog/Exemplo1

Project name: exemplo1

Top-level design entity: exemplo1

Number of files added: 0

Number of user libraries added: 0

Device assignments:

- Design template: n/a
- Family name: Cyclone V
- Device: 5CSEMA5F31C6
- Board: DE1-SoC Board

EDA tools:

- Design entry/synthesis: <None> (<None>)
- Simulation: <None> (<None>)
- Timing analysis: 0

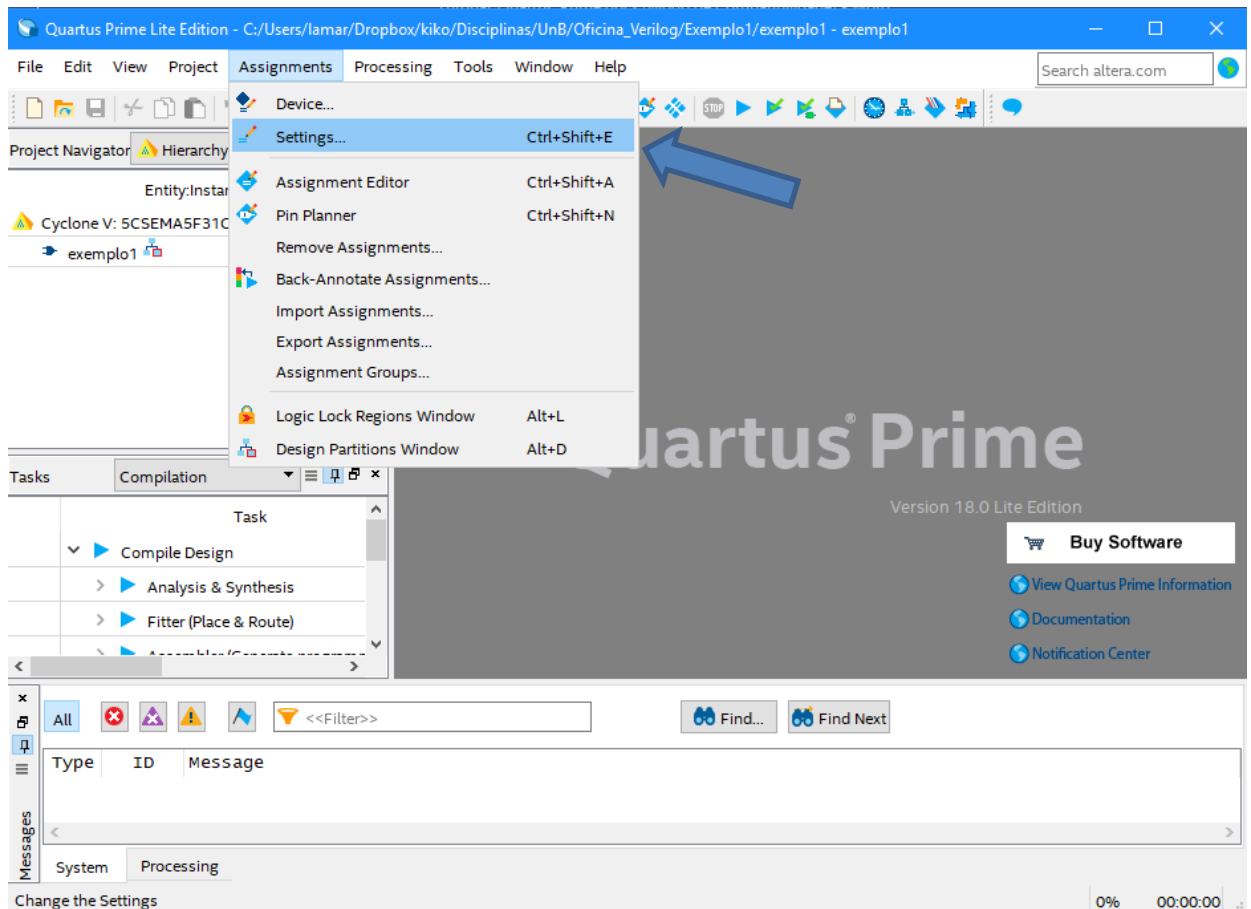
Operating conditions:

- Core voltage: 1.1V
- Junction temperature range: 0-85 °C

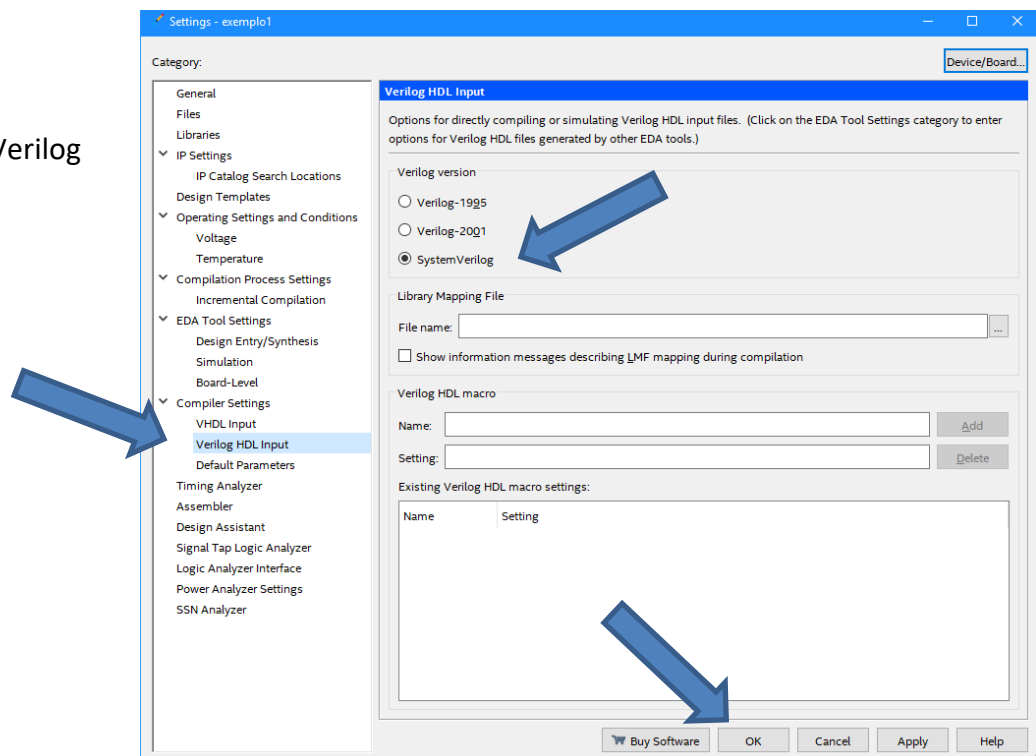
< Back Next > **Finish** Cancel Help



- A seguir configure a HDL a ser usada como SystemVerilog:
- abra o menu Assignments/Settings/Analysis & Synthesis Settings/ Verilog HDL input



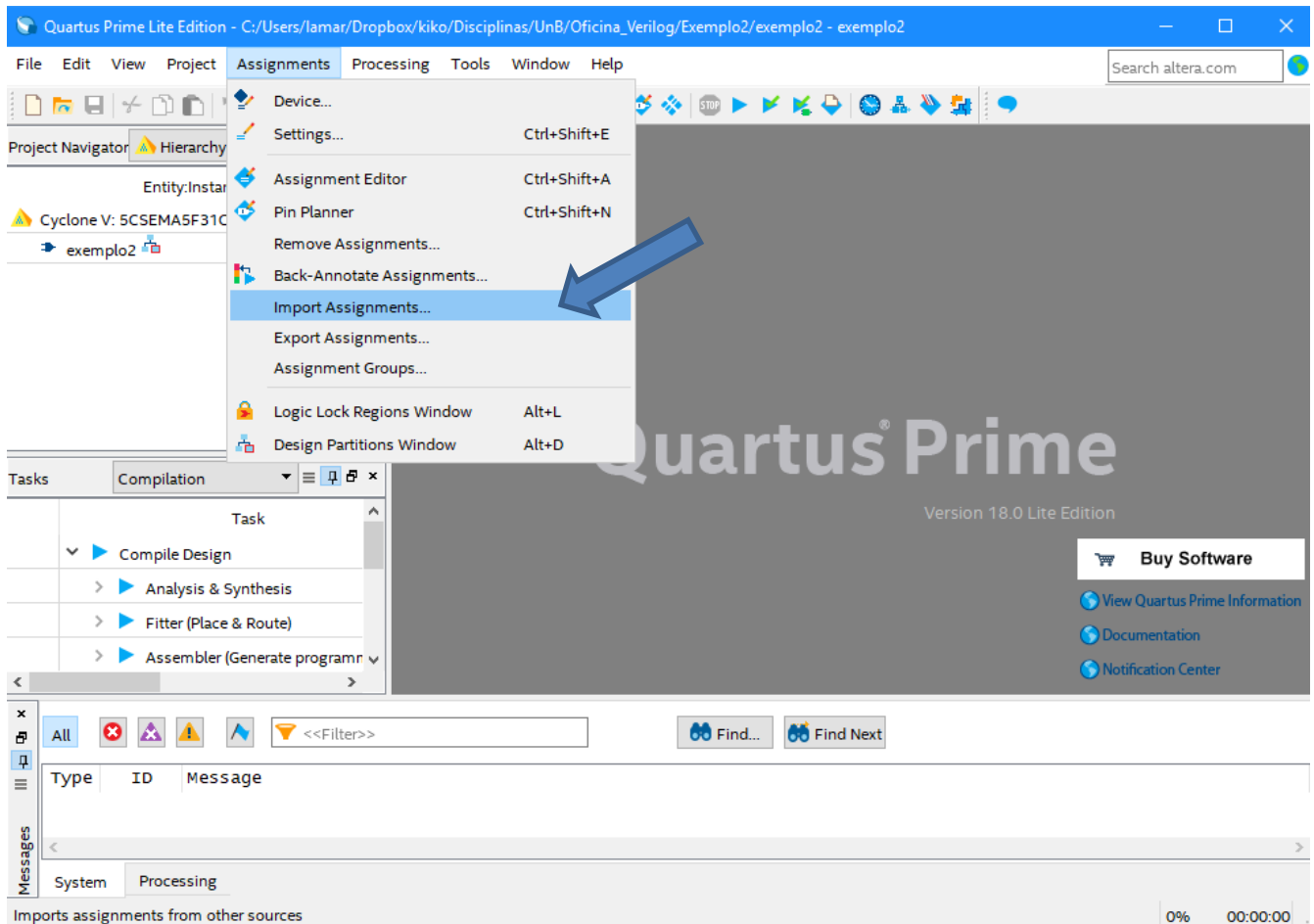
- selecione a linguagem SystemVerilog
- clique OK



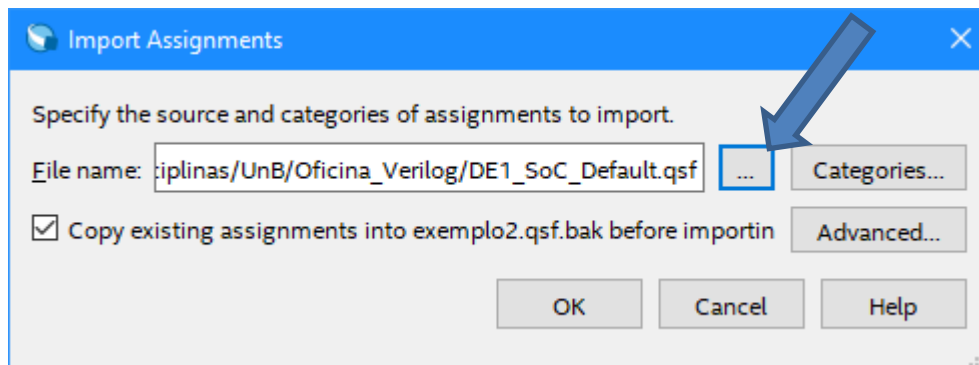


- Configure a localização e os nomes dos pinos do FPGA Cyclone-V

→ clique em Assignments / Import Assignments...



- Escolha o arquivo DE1_SoC_Default.qsf disponível no Moodle.

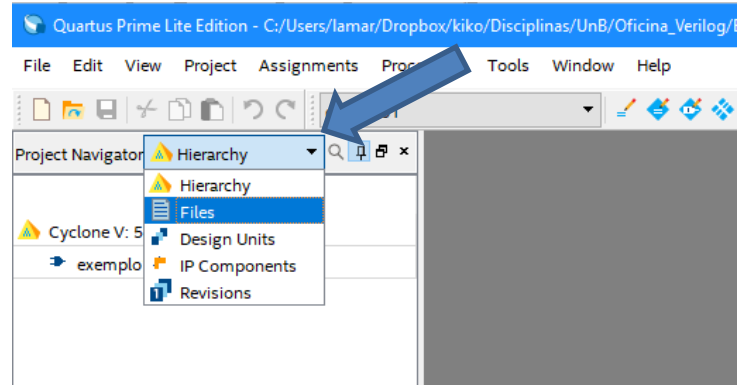



→ clique em OK

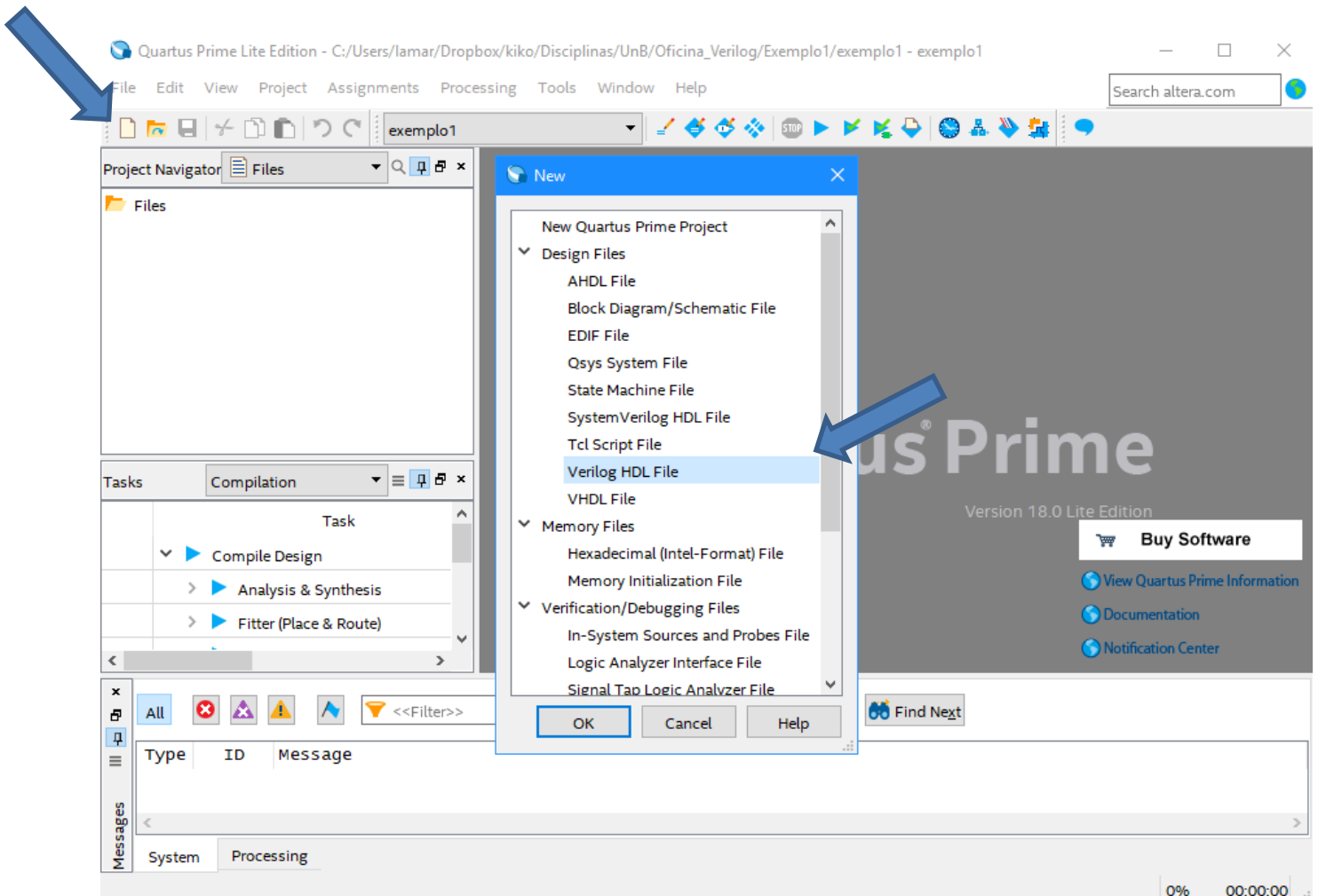


3. CRIANDO UMA NOVA DESCRIÇÃO VERILOG

- Inicialmente coloque o Project Navigator no modo Files
- Selecione o modo na janela indicada na figura.

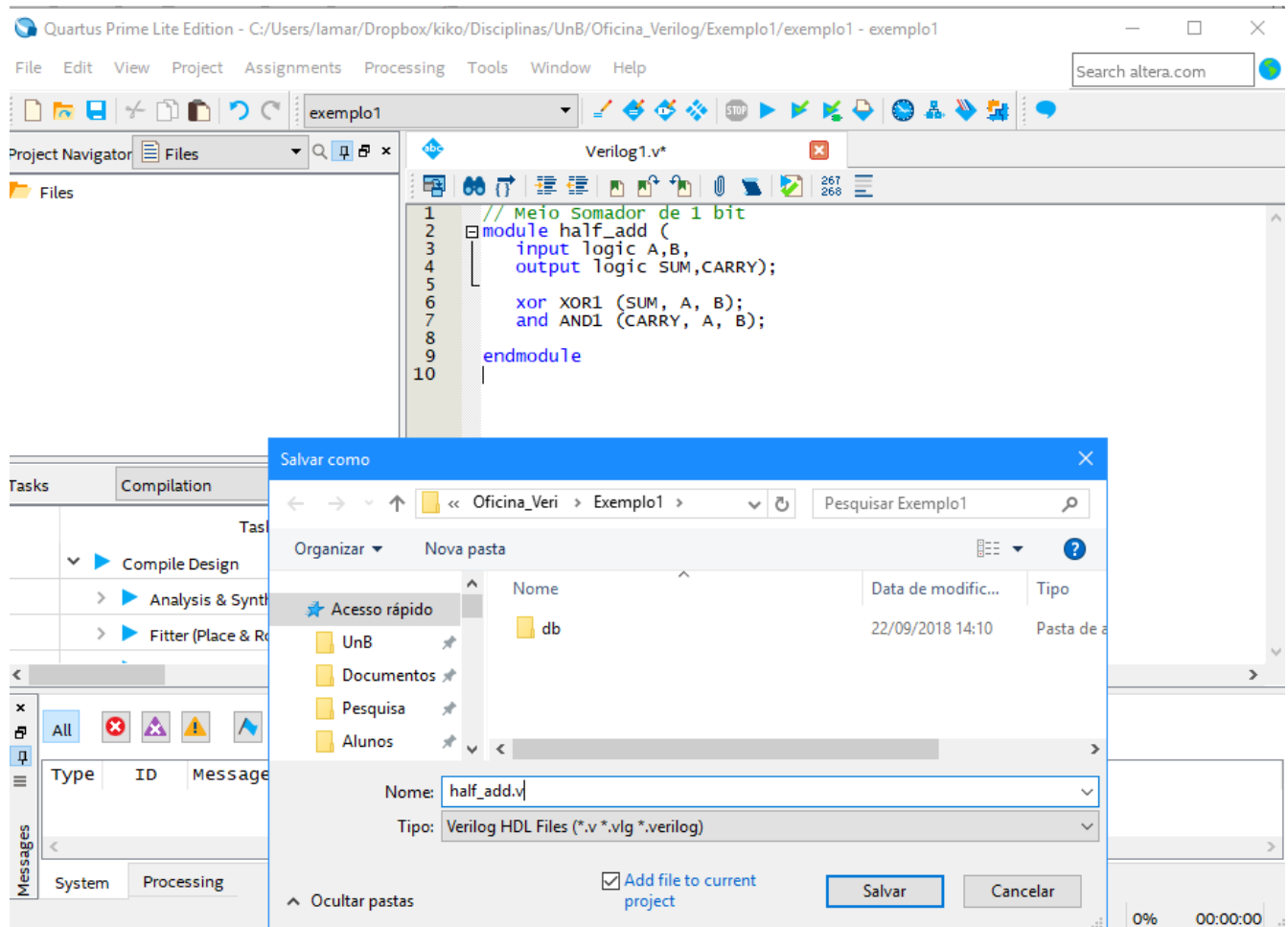


- Crie um novo arquivo Verilog
- clique no ícone new 
- selecione Verilog HDL File

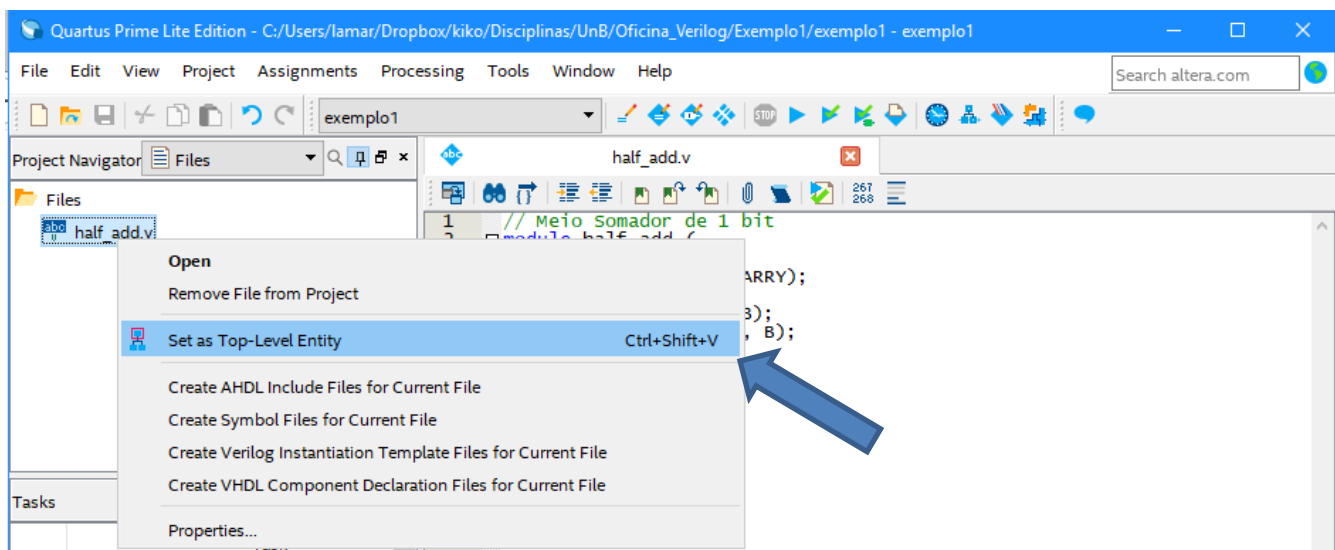




- Um arquivo em branco será criado na área de Edição com o nome Verilog1.v
- Edite o arquivo e salve com o nome do módulo .v



- Para testar apenas este módulo defina-o como o arquivo Top Level!
- Clique com o botão esquerdo do mouse sobre o nome do arquivo no Project Navigator.






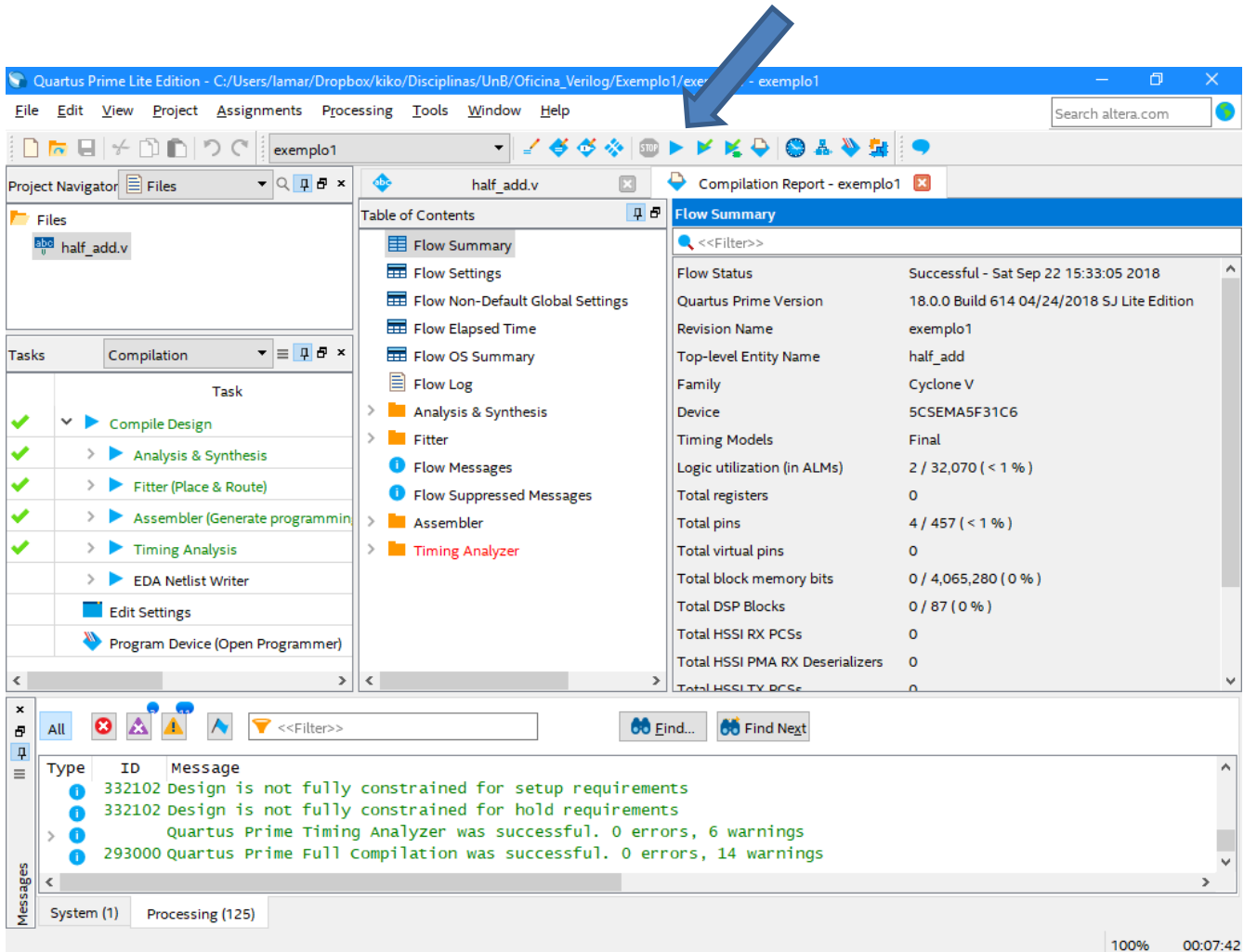
4. COMPILANDO O PROJETO

Uma vez salvo o arquivo Verilog com o módulo a ser testado, devemos compila-lo, isto é obter a representação netlist interna do Quartus e os arquivos para programação do chip FPGA a partir da descrição Verilog.

Lembre-se que o arquivo principal do projeto, que será compilado e sintetizado, é definido pelo Top-Level!

→ Inicie a compilação clicando no ícone Start Compilation 

- Os passos de Analysis & Synthesis, Fitter (Place & Route), Assembler (Generate programming files) e Time Analysis serão executados e podem ser acompanhados pela janela Tasks.
- A compilação pode demorar de acordo com a complexidade do projeto.



Quartus Prime Lite Edition - C:/Users/lamar/Dropbox/kiko/Disiplinas/UnB/Oficina_Verilog/Exemplo1/exemplo1

File Edit View Project Assignments Processing Tools Window Help

Project Navigator Files

half_add.v

Tasks

Compilation

Task

- ✓ Compile Design
- ✓ Analysis & Synthesis
- ✓ Fitter (Place & Route)
- ✓ Assembler (Generate programming files)
- ✓ Timing Analysis
- EDA Netlist Writer
- Edit Settings
- Program Device (Open Programmer)

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Flow Messages
- Flow Suppressed Messages
- Assembler
- Timing Analyzer

Flow Summary

<<Filter>>

Flow Status Successful - Sat Sep 22 15:33:05 2018

Quartus Prime Version 18.0.0 Build 614 04/24/2018 SJ Lite Edition

Revision Name exemplo1

Top-level Entity Name half_add

Family Cyclone V

Device 5CSEMA5F31C6

Timing Models Final

Logic utilization (in ALMs) 2 / 32,070 (< 1 %)

Total registers 0

Total pins 4 / 457 (< 1 %)

Total virtual pins 0

Total block memory bits 0 / 4,065,280 (0 %)

Total DSP Blocks 0 / 87 (0 %)

Total HSSI RX PCSs 0

Total HSSI PMA RX Deserializers 0

Total HSSI TX PCSs 0




Messages

Type ID Message

- 332102 Design is not fully constrained for setup requirements
- 332102 Design is not fully constrained for hold requirements
- Quartus Prime Timing Analyzer was successful. 0 errors, 6 warnings
- 293000 Quartus Prime Full Compilation was successful. 0 errors, 14 warnings

System (1) Processing (125)

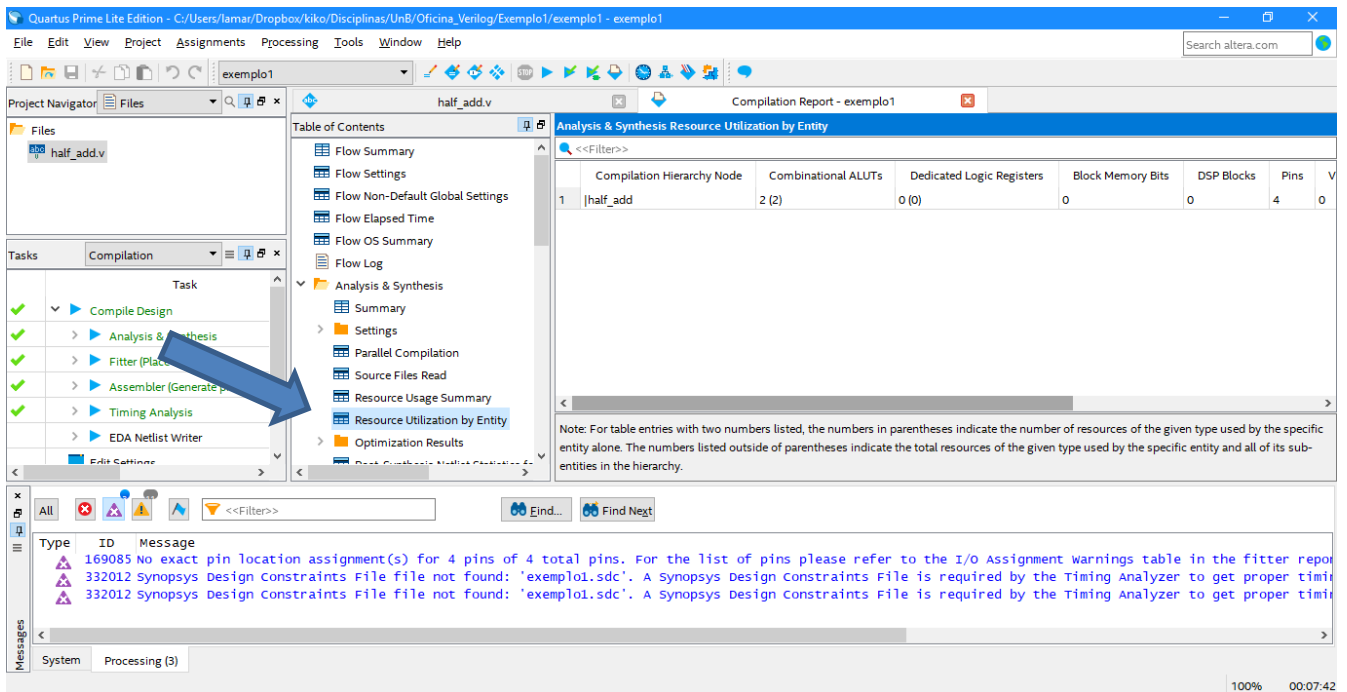
100% 00:07:42

- Corrija os **erros**  encontrados e “passe os olhos” pelos **Critical Warnings**  e **Warnings** , muitas vezes possuem pistas sobre algum possível bug que esteja ocorrendo.

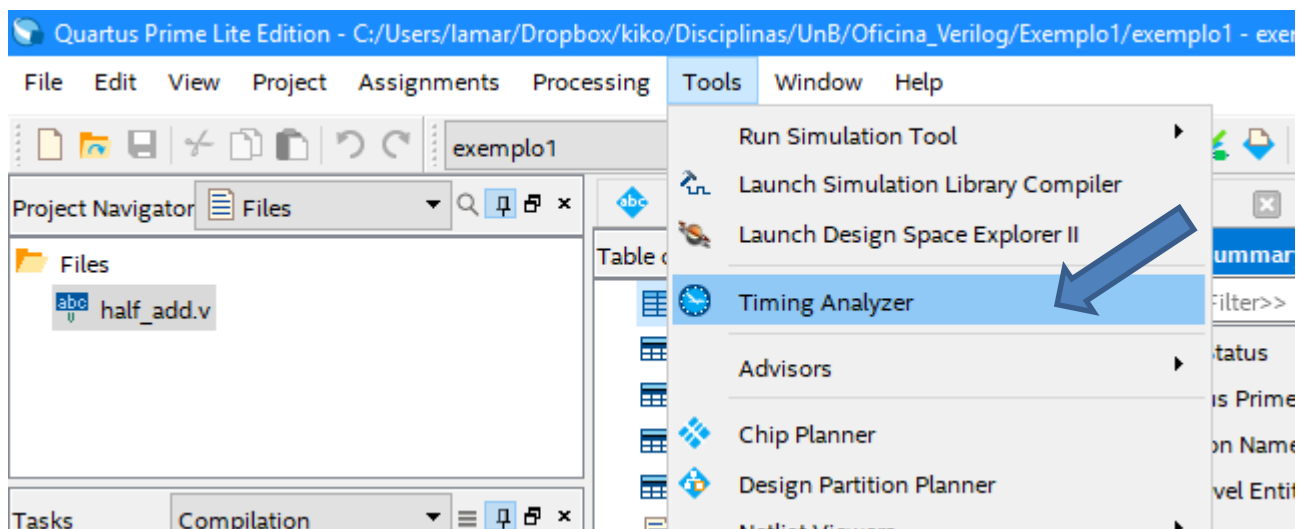
- Análise dos requerimentos do Projeto

- Os requerimentos físicos do projeto (número de Elementos Lógicos (ALMs), registradores, quantidade de bits de memória e número de multiplicadores (DSP)) podem ser obtidos :

- De maneira geral pela própria tela de Flow Summary resultante da compilação (figura anterior)
- E em detalhes visualizando o relatório Analysis & Synthesis / Resource Utilization by Entity

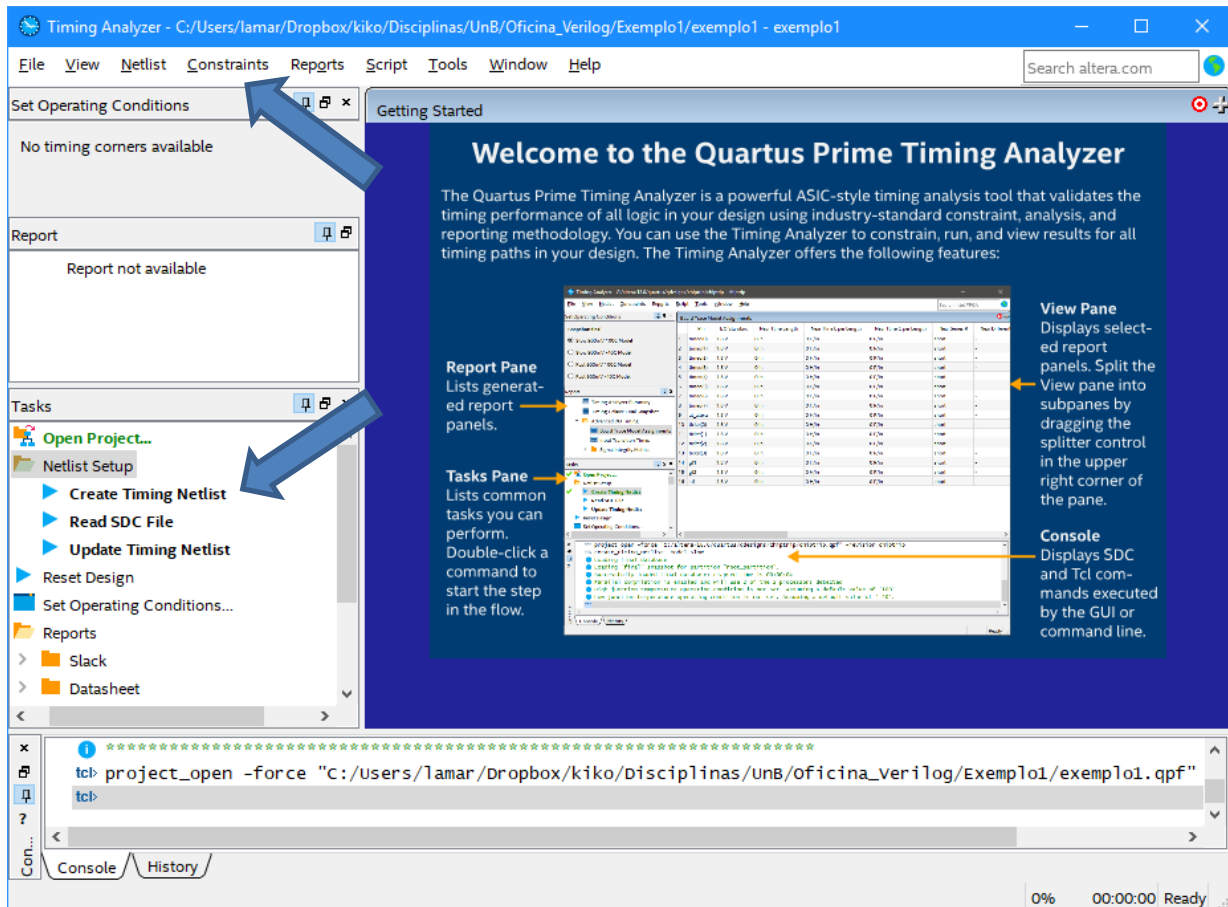


-Os requerimentos temporais tpd, tsu, tco, th **devem** ser obtidos através da execução da ferramenta Timing Analyzer.





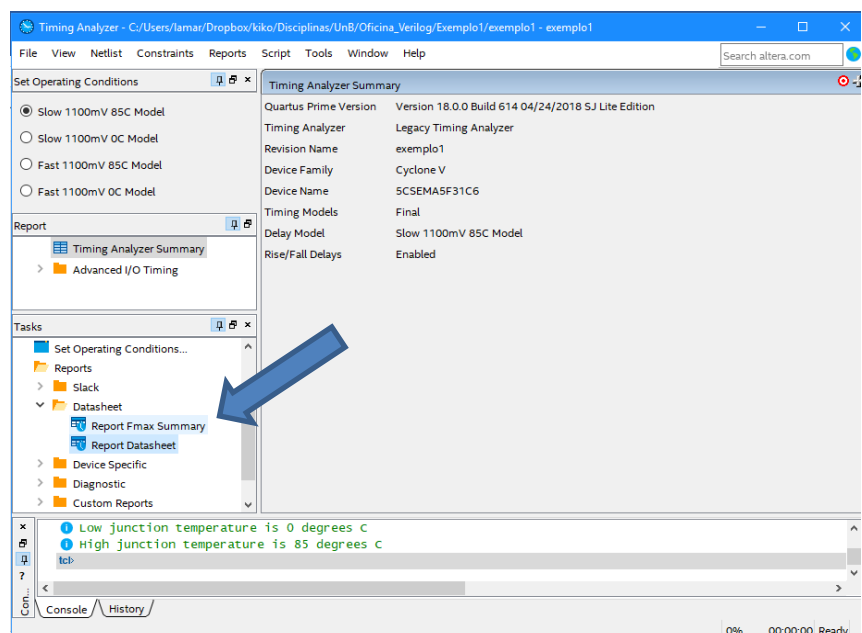
- Para usar o Timing Analyzer
- clique em Tool/Time Analyzer

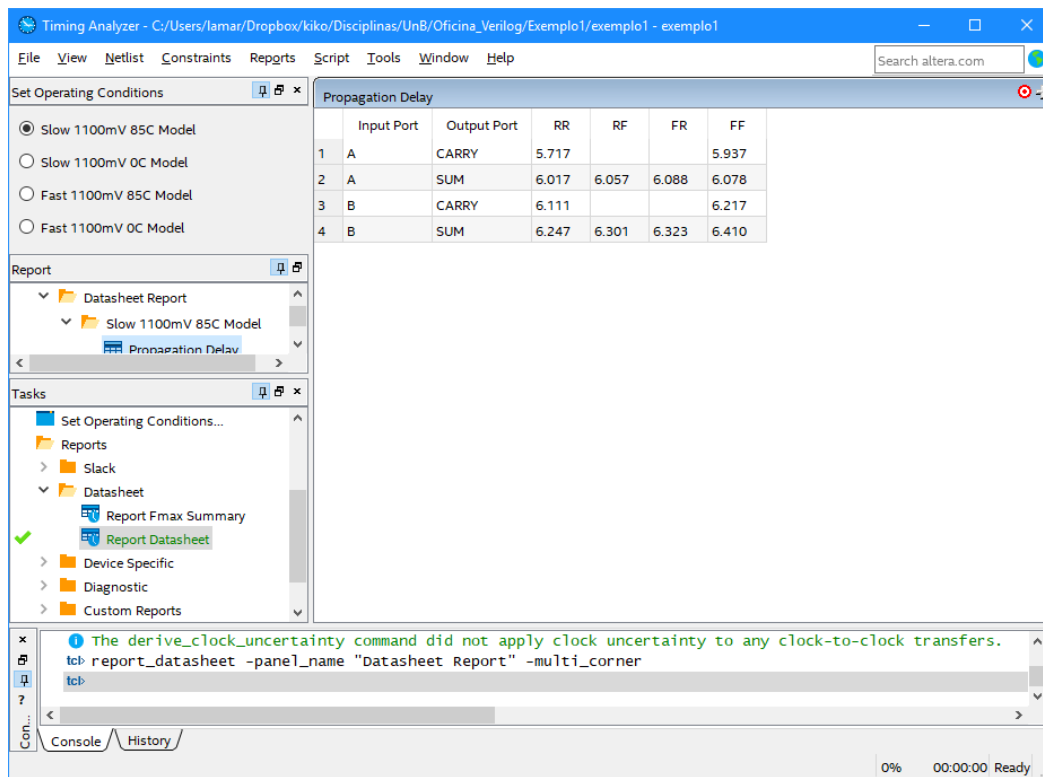


A ferramenta se baseia nas tarefas (Tasks) e geração de relatórios (Reports).

- Duplo clique em Create Timing Netlists – para a geração das netlists
- clique em Reports/Datasheet e escolha os relatórios

- Fmax Summary
- e/ou
- Datasheet

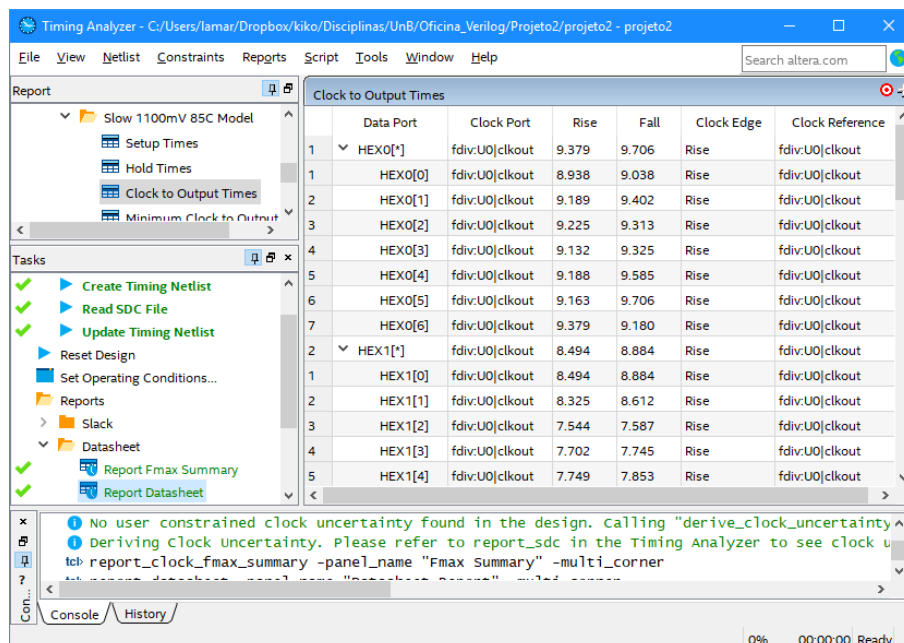




- No exemplo acima, clicando no Report Datasheet, obtém-se os tempos de propagação de um circuito combinacional para as variações da entrada Rise to Rise (RR), Rise to Fall(RF), Fall to Rise(FR) e Fall to Fall(FF). O tpd (propagation time) é definido como o maior desses tempos.

- Caso seu projeto use um sinal de clock (circuito sequencial), clicando no Report Fmax Summary, se obtém a frequência máxima utilizável considerando os tempos de atrasos dos elementos.

Ainda, clicando em Report Datasheet, se obtém os tempos tsu (setup time), th (hold time) e tco (clock to output). O tsu e o tco devem ser sempre positivos, o th deve ser sempre negativo para que o circuito esteja OK em termos de temporização.



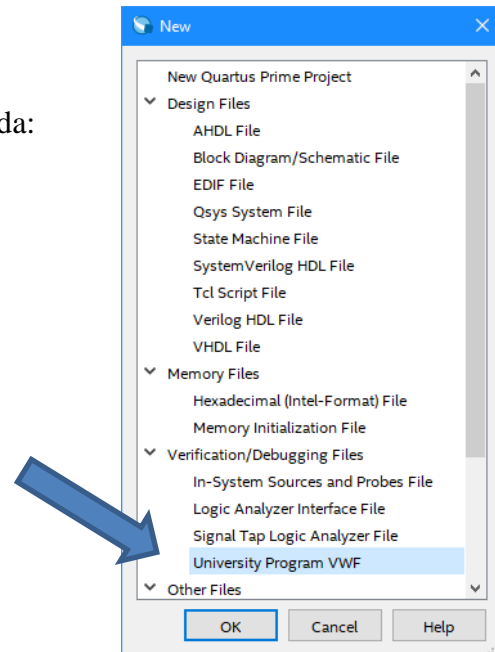


5. SIMULANDO O PROJETO

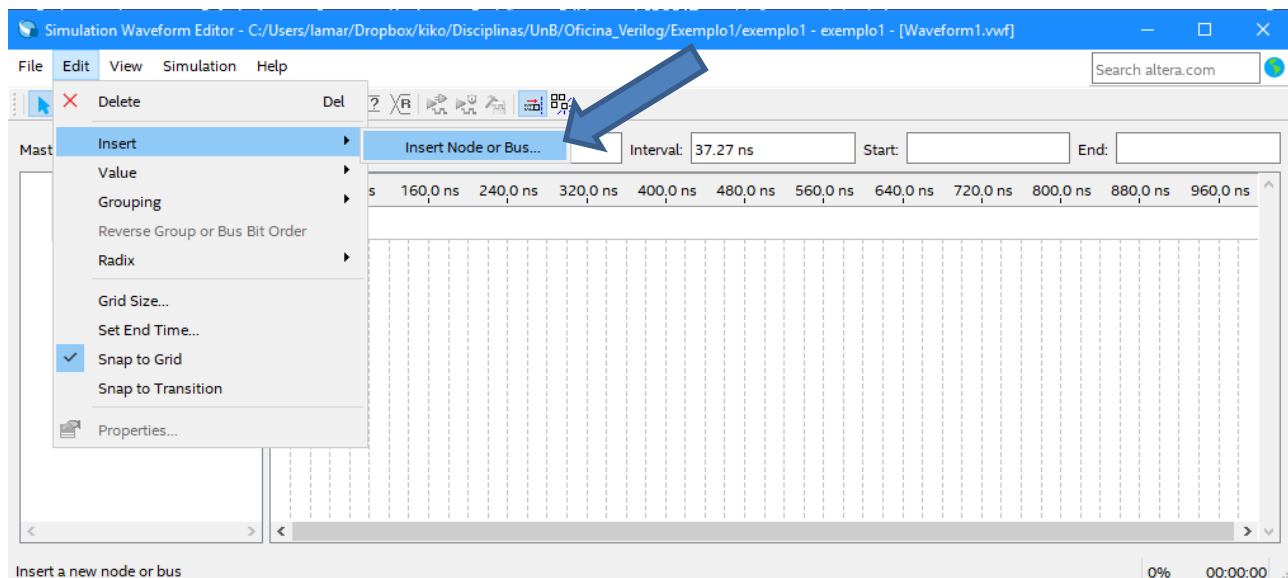
O Quartus Prime realiza apenas a simulação funcional por forma de onda do FPGA da família Cyclone V usada na DE1-SoC.

Caso uma simulação mais complexa seja necessária pode-se executar a ferramenta de simulação Modelsim (outro Tutorial).

- Para a Simulação Funcional por Forma de Onda
- Crie o arquivo com a forma de onda dos sinais de entrada:
→ clique em File > New > University Program (VWF)

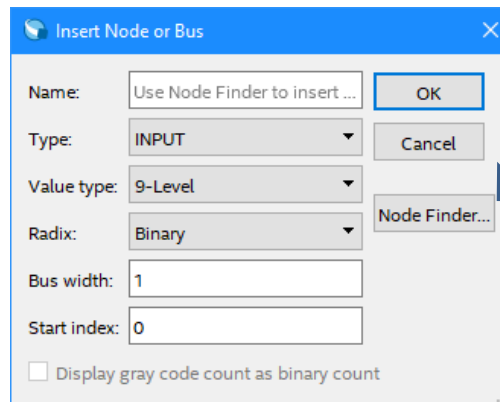


- Defina os pinos a serem considerados na simulação.
→ Clique em > Insert Node or Bus > Node Finder > Selecione Filter: Pins All > List



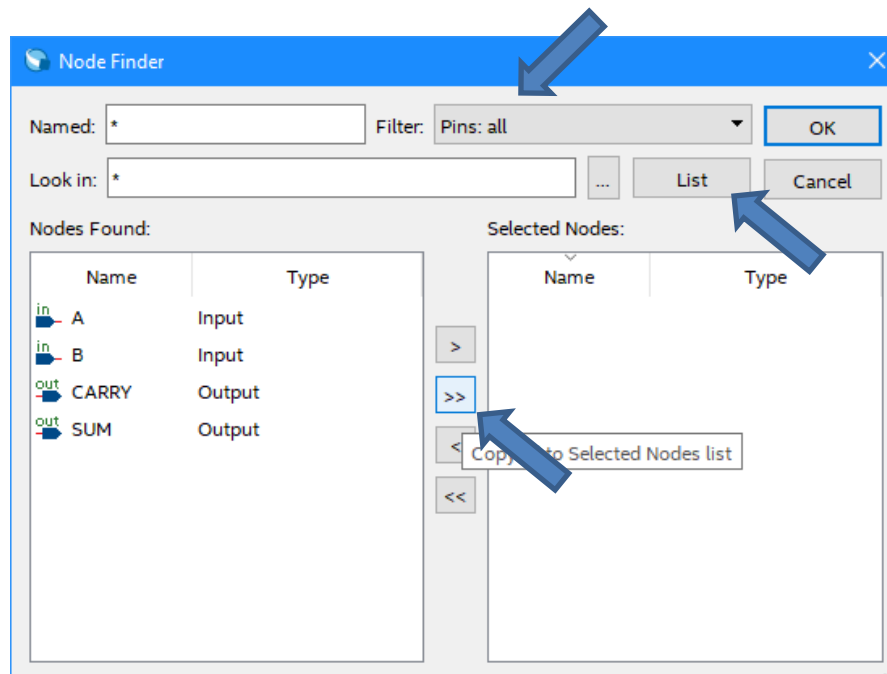


→ Clique em Node Finder



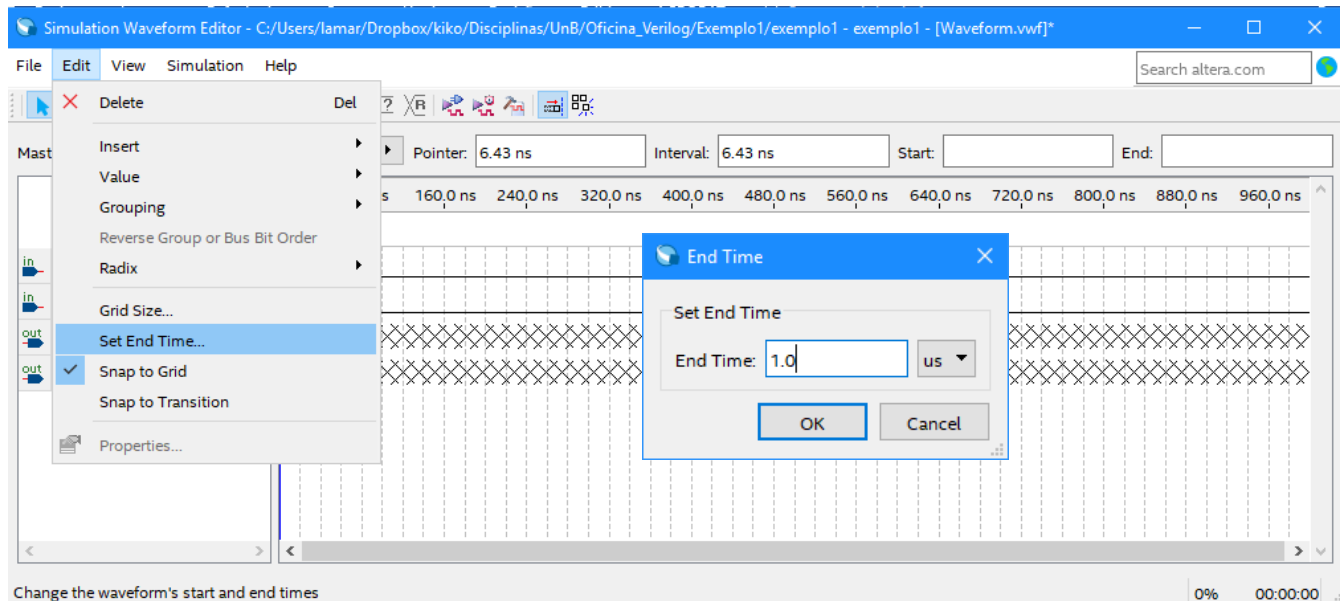
→ Selecione Filter: Pins all e em seguida clique em List

→ Clique em >> para adicionar todos os nós encontrados.

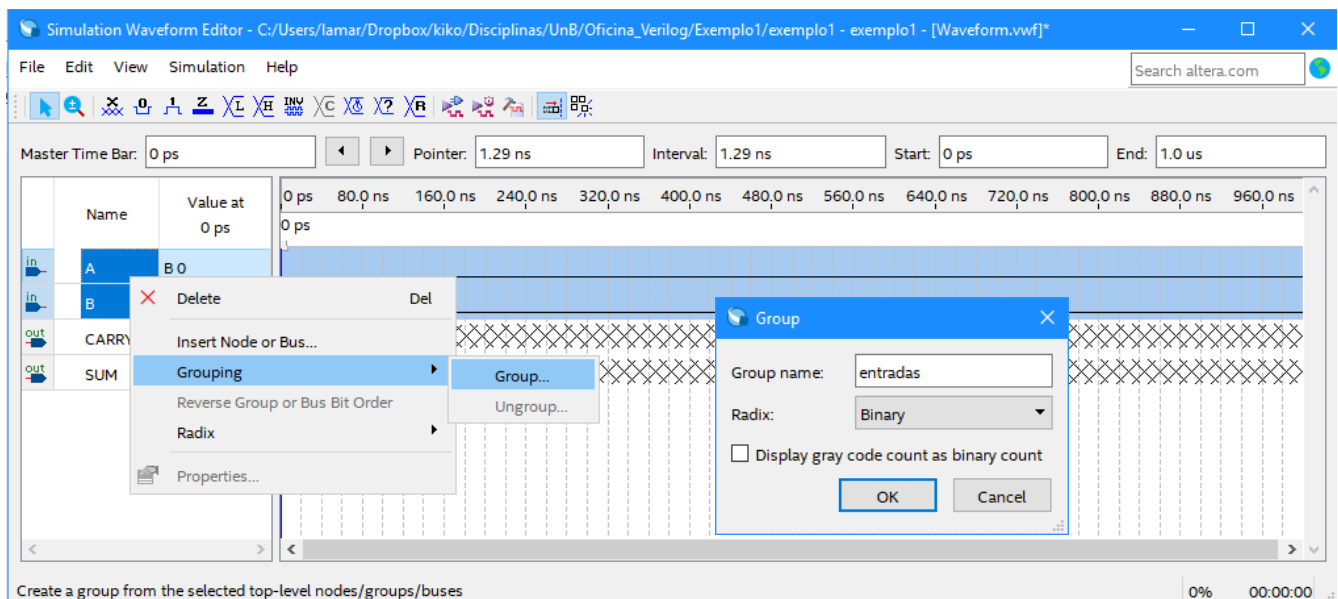




- Defina o tempo total de simulação (de 1 μ s a, no máximo, 100 μ s) e o período de contagem de acordo com o experimento e tamanho da tabela verdade a ser verificada.
- clique em Edit/Set End Time... e defina o tempo total da simulação. Default é 1 μ s.

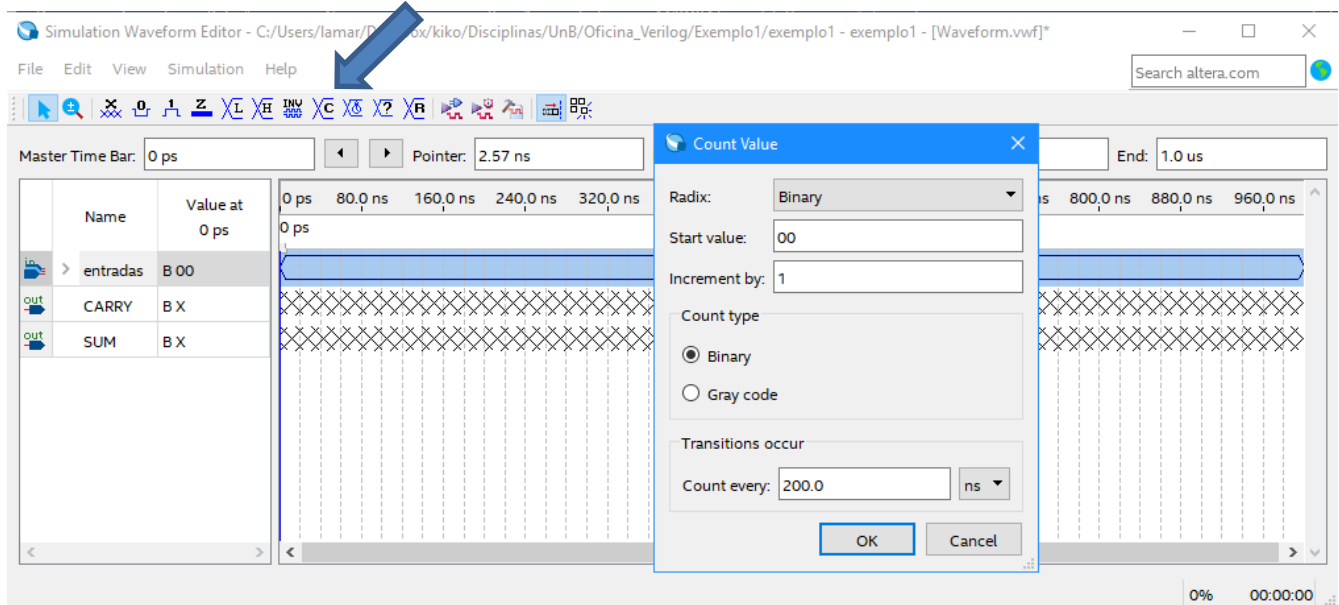


- Selecione e agrupe os sinais de entrada Grouping/Group...
- Defina como nome 'entradas' (ou qualquer outro)





→ clique em Count Value ícone



-Caso o Start value apareça como 00, 00, apague a vírgula e o espaço, passando então a ser 0000

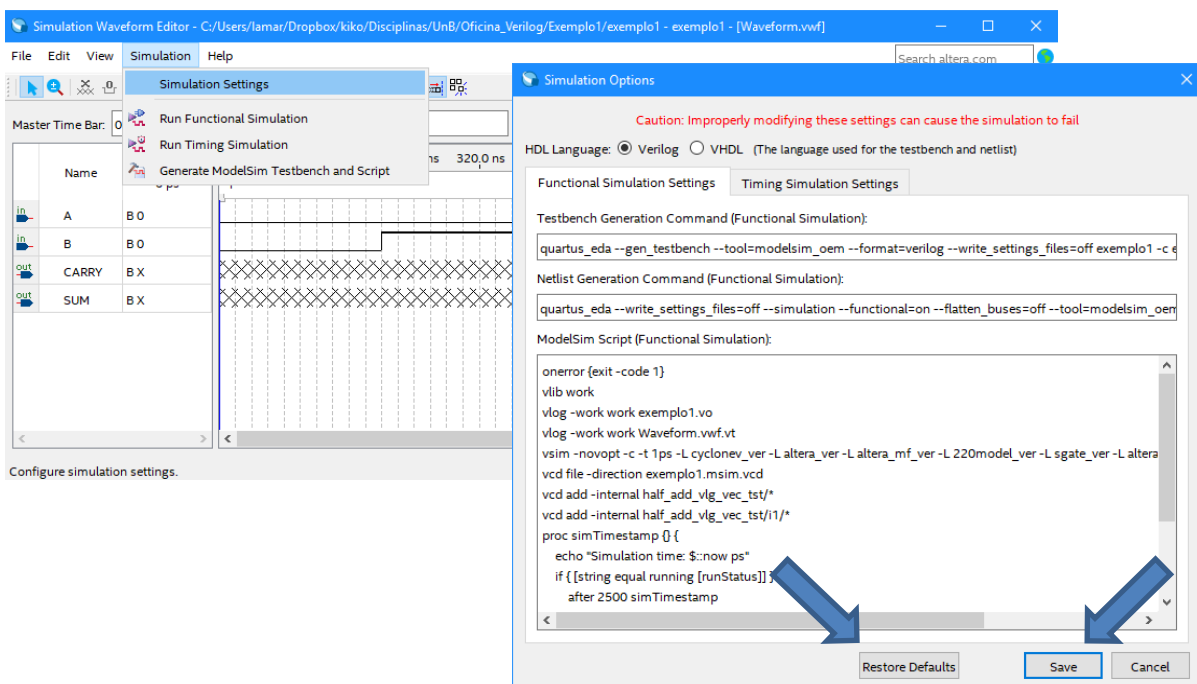
→ Defina o período de cada contagem em Count every. Ex.: 200.0 ns. (O default é 10ns)

→ Desagrupe (Ungroup) a Entrada de modo a voltar ao modo normal

→ Salve como arquivo .vwf

- Defina o Simulation Setup para garantir que o arquivo correto que será simulado.

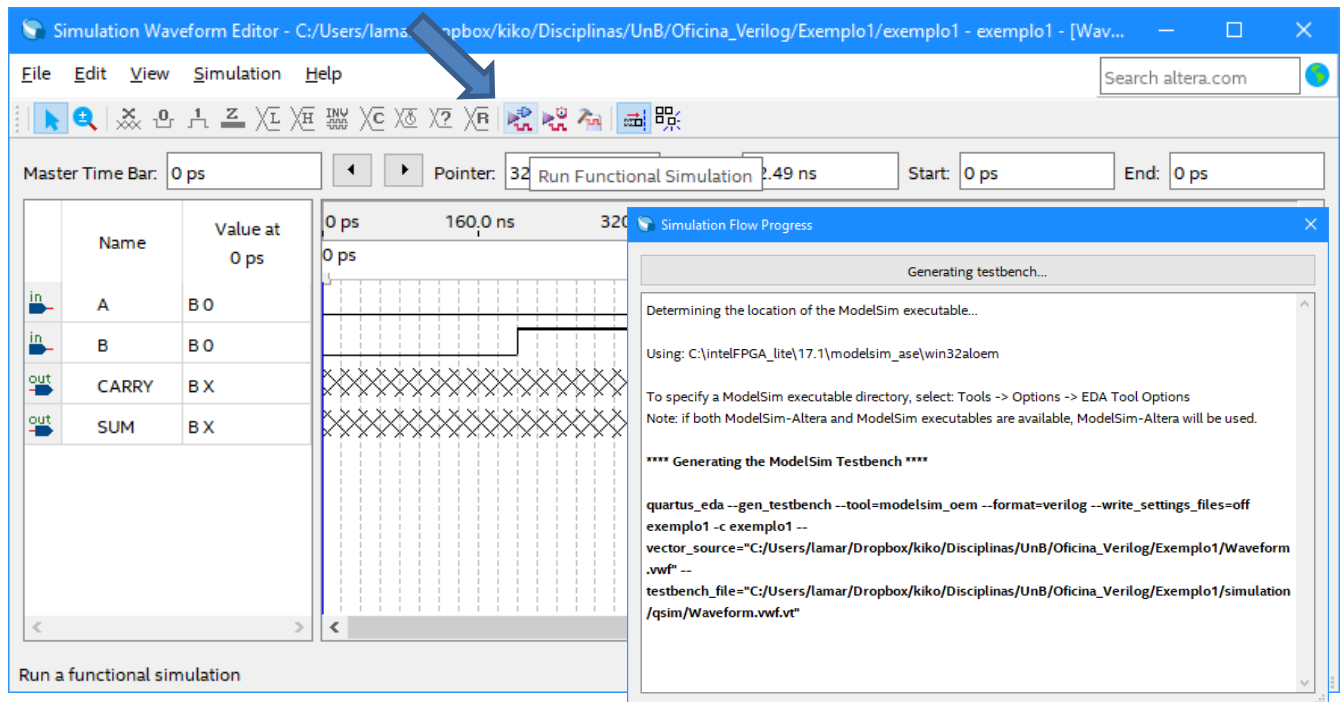
→ clique em Restore Defaults e em seguida em Save



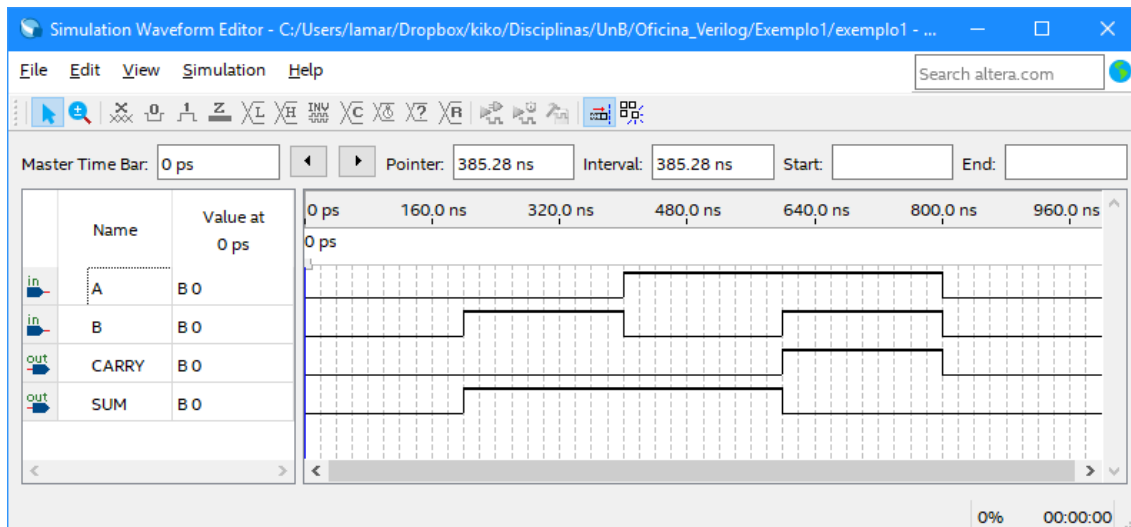


- Execute a Simulação Funcional, onde todas as portas e elementos lógicos serão considerados ideais (sem atraso de propagação) para verificar a corretude do seu projeto.

→ clique no ícone Run Functional Simulation:

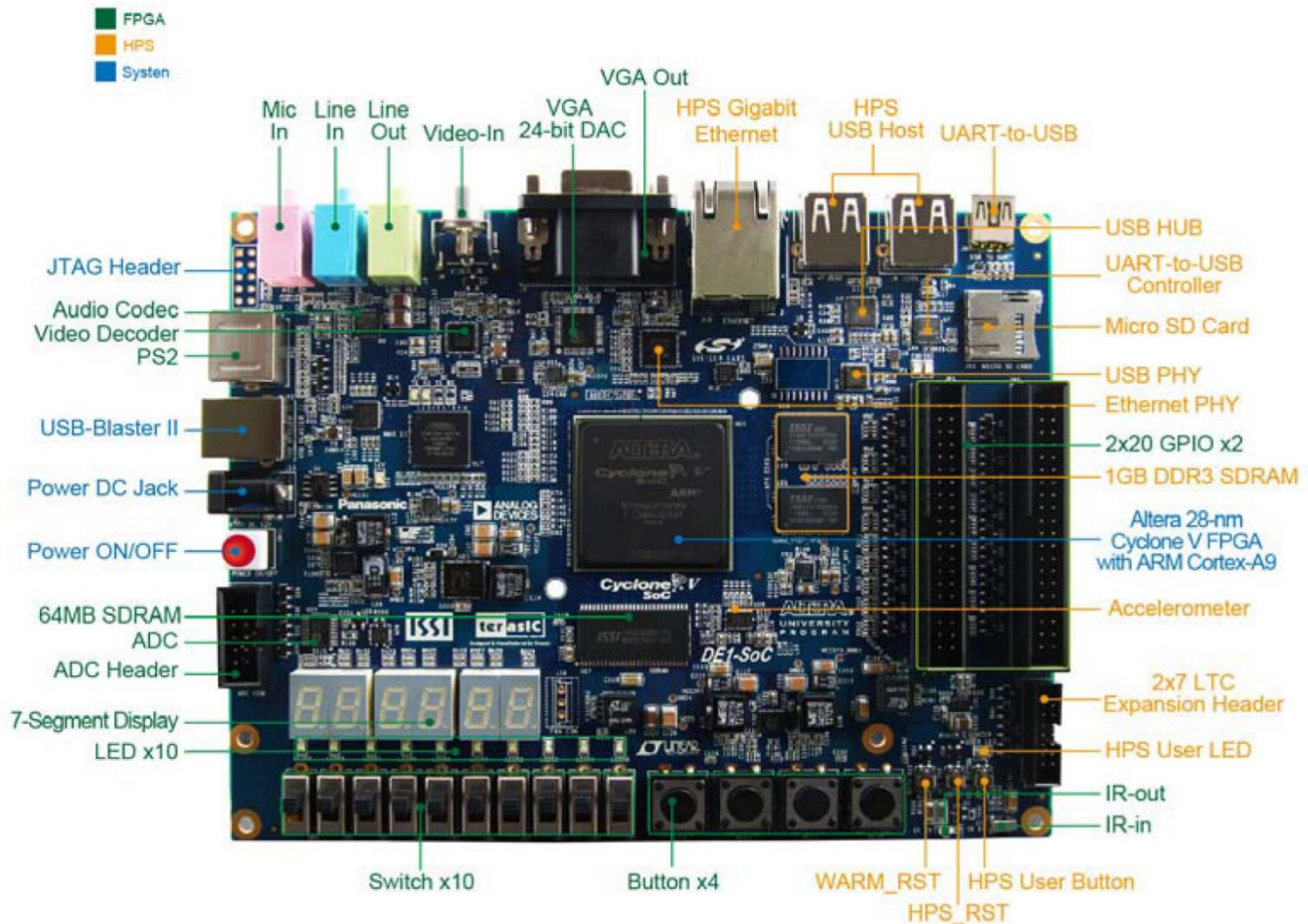


Uma nova janela do Simulador por forma de onda irá abrir com o resultado da simulação.



6. A PLATAFORMA DE DESENVOLVIMENTO INTEL DE1-SOC2

Um chip FPGA (*Field Programmable Gate Array*) é um circuito eletrônico integrado capaz de sintetizar qualquer sistema digital através das interconexões de seus componentes elementares (Elementos Lógicos). Nos experimentos, iremos utilizar kits de desenvolvimento FPGA DE1-SoC da Intel.



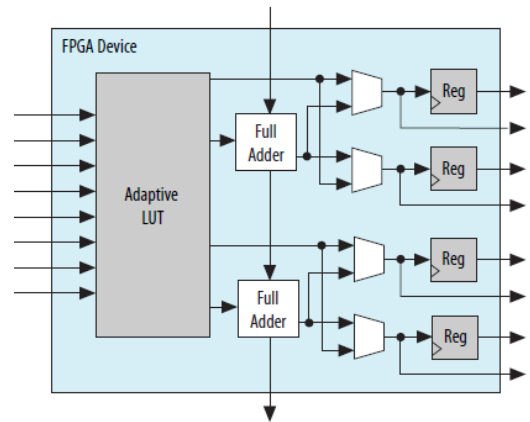
Kit de desenvolvimento Intel DE1-SoC

O kit de desenvolvimento possui além do chip FPGA, um processador ARM dual-core A9 e diversas interfaces, tais como Chaves, Botões, LEDs, Displays, Interface VGA, PS2, Áudio, acelerômetro, conversores Analógico-Digital, interface IR, entrada de vídeo e GPIOs.

O kit DE1-SoC é possuí de um chip FPGA da família Cyclone V modelo 5CSEMA5F31C6, que possui 896 pinos e contém 32.070 Elementos Lógicos (ALM – Adaptive Logic Module).

Cada Elemento Lógico (ALM), mostrado na figura ao lado, é capaz de implementar uma função lógica booleana de 8 entradas e 4 saídas, possui 4 registradores programáveis (*Flip-Flop*), são encadeáveis (*carry*) e podem ser usados para roteamento (ligação de um ponto a outro no chip FPGA).

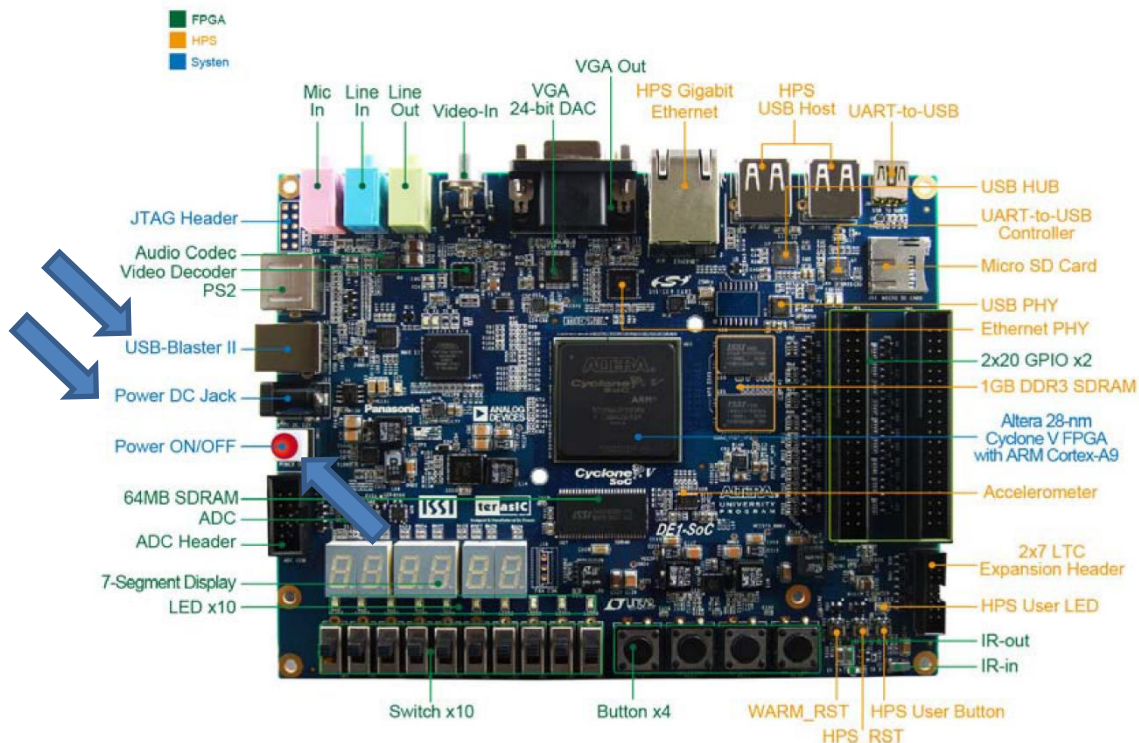
Figure 8: ALM for Cyclone V Devices



1) Ligando o kit DE1-SoC:

→Coloque a fonte de alimentação na tomada e conecte-a a placa.

→Conecte o cabo USB, uma extremidade no computador que possui o Quartus Prime instalado, e a outra extremidade na porta USB denominada USB BLASTER-II (escrito na placa).



→Ligue a placa pressionando, *cuidadosamente*, o botão vermelho.

Se os passos forem seguidos de maneira correta, a placa deve ligar, os LEDs devem piscar e os displays mostram uma contagem em hexadecimal.



7. SINTETIZANDO O PROJETO NO CHIP FPGA DA DE1-SOC

Após o projeto a ser implementado ter sido corretamente simulado por forma de onda (Funcional) e os requerimentos temporais (TimeQuest) atendidos, podemos sintetizá-lo no chip FPGA do kit de desenvolvimento.

Para tanto:

→ Crie o arquivo Top Level exemplo1.v do seu projeto, que define a interface entre seu projeto e os recursos disponíveis no kit DE1-SOC. Caso você tenha alterado, lembre-se de redefinir o exemplo1.v como o arquivo Top Level!

Os recursos mais básicos são:

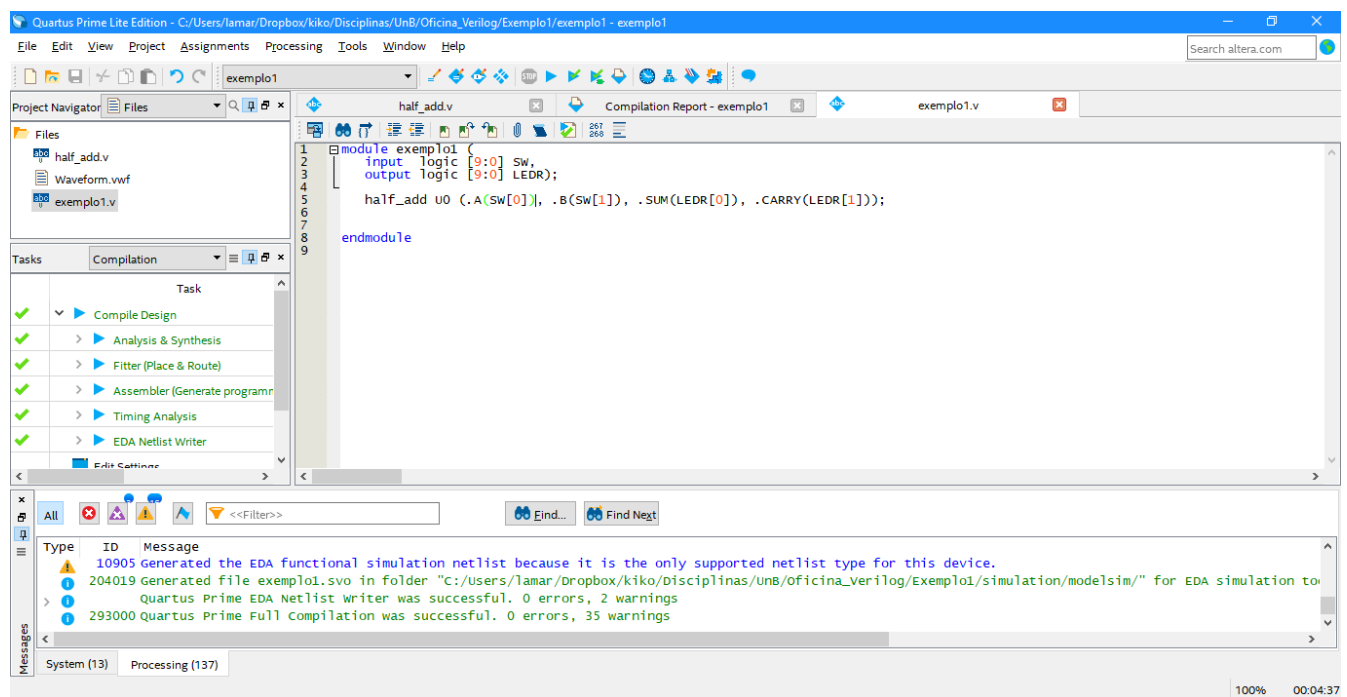
10 Chaves H-H: SW[9:0]

10 LEDs Vermelhos: LEDR[9:0]

4 Push-bottoms : KEY[3:0]

6 Displays de 7 segmentos: HEX0[6:0] a HEX5[6:0]

1 Clock de 50MHz: CLOCK_50



→ Compile novamente seu projeto para gerar o arquivo .sof de configuração da FPGA
- Corrija eventuais erros.

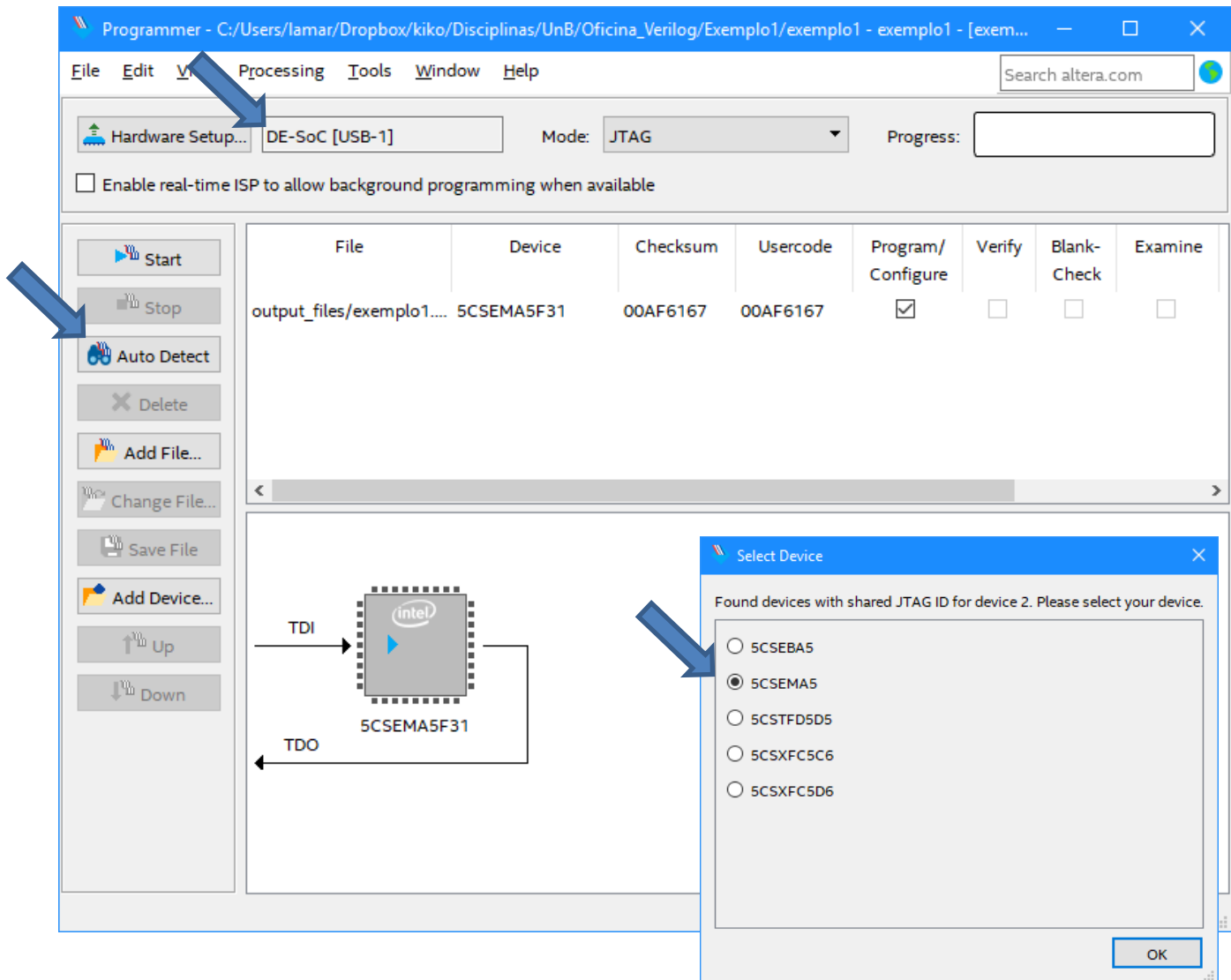
- Passando o seu projeto compilado para o chip FPGA:

→ Abra a janela do programador do chip FPGA através do ícone Programmer

→ Verifique se o cabo USB está corretamente conectado na placa DE1-SoC na entrada USB Blaster-II

- Verifique se o driver USB Blaster-II foi corretamente reconhecido:

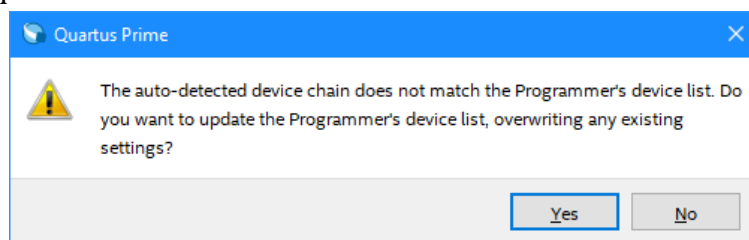
→ clique em Hardware Setup > Currently selected hardware > DE-SoC [USB-1]



→ clique em Auto Detect – para definir corretamente o dispositivo a ser usado

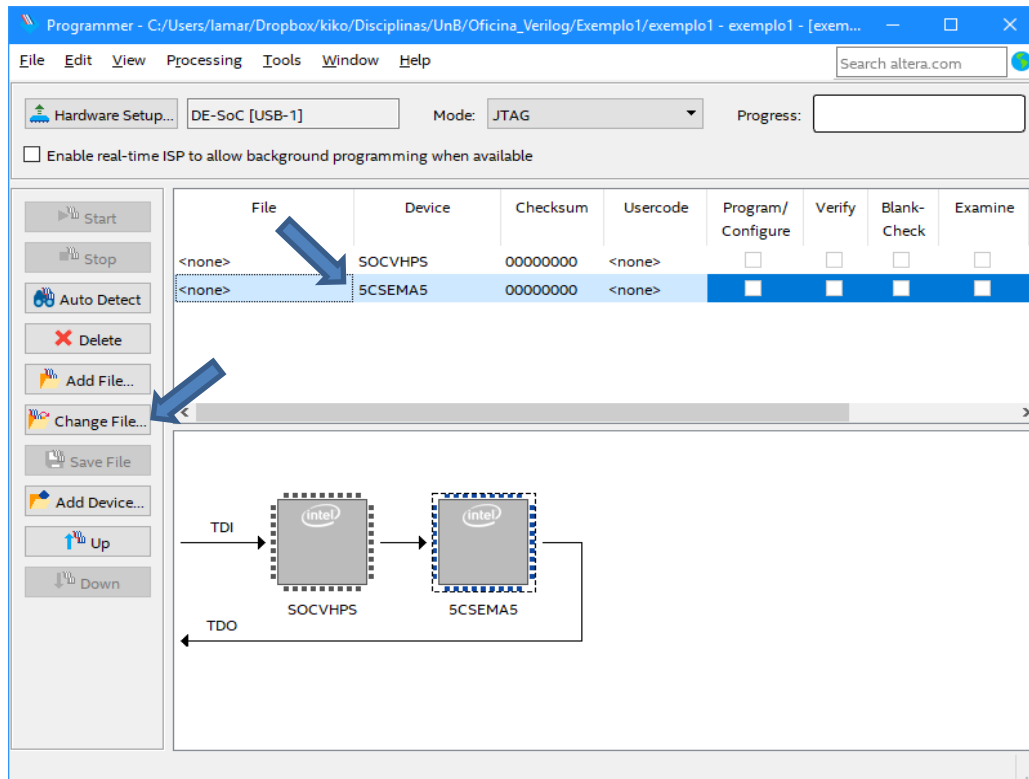
→ Selecione o device 5CSEMA5 e clique OK

→ Confirme clicando YES





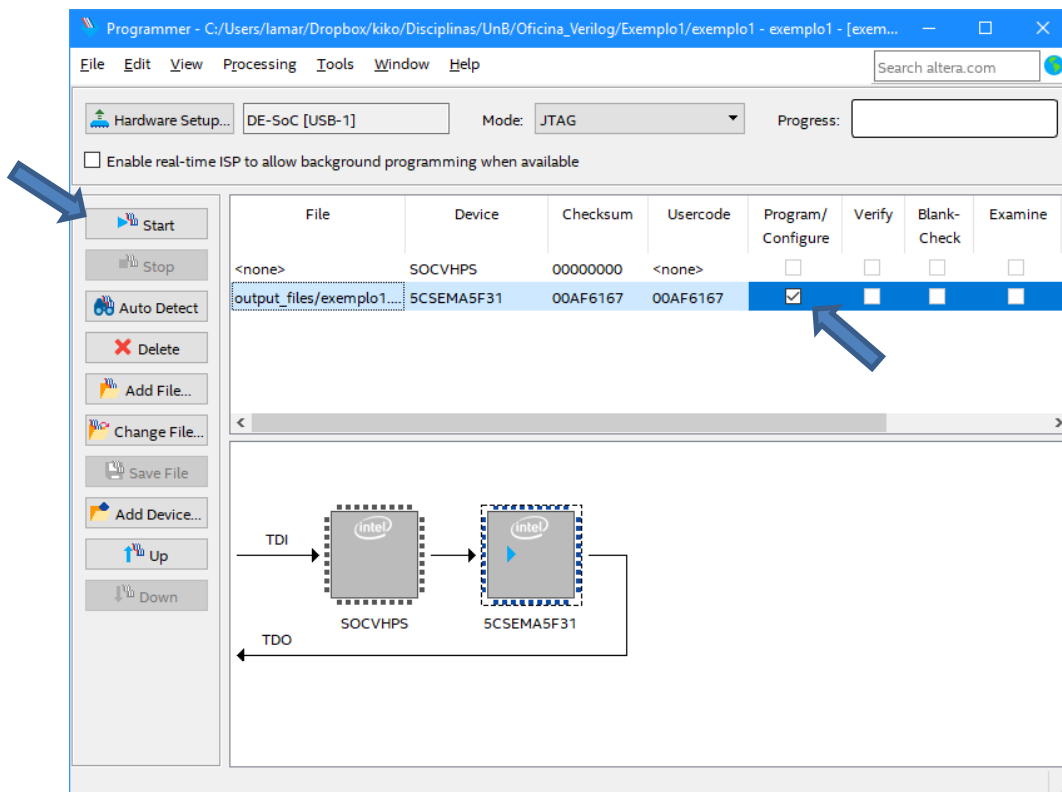
→ Selecione o Device 5CSEMA5 e clique em Change File...



→ Selecione o arquivo exemplo1.sof que deve estar no diretório output_files.

→ Check a caixa Program/Configure.

→ Clique em Start





O kit DE1-SoC deverá apagar e instantes depois o seu circuito deverá estar carregado no FPGA. ☺

→Teste o circuito implementado usando as chaves(SW), botões(KEY), displays (HEX) e LEDs (LEDR) definidos no seu Projeto. Grave um vídeo mostrando o correto funcionamento do seu Projeto.

8. TERMINANDO O EXPERIMENTO

Ao finalizar o experimento, guarde **corretamente** os cabos, a fonte e a placa na caixa e devolva ao professor.

Lembre-se de reconectar os computadores do LINF na tomada!!!



F.A.Q

Instalação

- Preciso instalar todos os devices que vêm no instalador do Quartus?

Não, somente é necessário instalar o da DE1-SOC (Cyclone V).

- Não consigo instalar o Quartus no Linux (instalador trava)

Durante o processo de instalação não instale nenhum componente não necessário, após concluir a instalação você pode manualmente instalar as outras partes que podem vir a travar o instalador (normalmente o modelsim e o Help são os responsáveis)

Compilando o Projeto

- Preciso sempre recompilar todo o projeto após alguma alteração?

Não, para o TimeQuest e os simuladores basta completar a etapa de análise e síntese, apenas clique duas vezes em “Analysis & Synthesis” na janela abaixo da lista de arquivos. Para transferir para a placa é necessária uma compilação completa.

TimeQuest

- Os valores estão estranhos:

Vá em Diagnostic > Report Clocks, confira se o clock presente é o que você criou, caso um clock não seja criado ou não haja nenhum clock atribuído a uma entrada de clock do circuito, o Quartus automaticamente atribui um clock padrão o que pode levar a valores fora do esperado.

ModelSim

- Modelsim não abre no Linux:

O Quartus utiliza algumas bibliotecas extremamente desatualizadas, e que não são mais disponibilizadas pela maioria das distribuições, você deve utilizar o Red Hat Enterprise Linux 7 ou Ubuntu anterior a 13.10 para que funcione. Há outra forma, editar os scripts que lançam o modelsim de forma que seja executado um “export LD_LIBRARY_PATH” apontando para a versão correta das bibliotecas desatualizadas ([Arch Wiki](#)).



- Modelsim acusa que tem algum wire/reg não declarado/já declarado:

Deixe o código em Verilog estruturado corretamente (como você faria em C, C++, Java etc.) com as variáveis declaradas antes do primeiro uso.

Transferindo o projeto para o chip FPGA

- A placa não é reconhecida pelo Quartus:

Windows:

Confira no gerenciador de dispositivos se a placa está sendo reconhecida pelo Windows, caso não, tente outra porta usb e/ou reinicie o computador. Tenha certeza que foi instalado o suporte para o dispositivo Cyclone V.

Linux:

[Siga estas instruções](#)