

# Descrição estrutural ou comportamental em VHDL

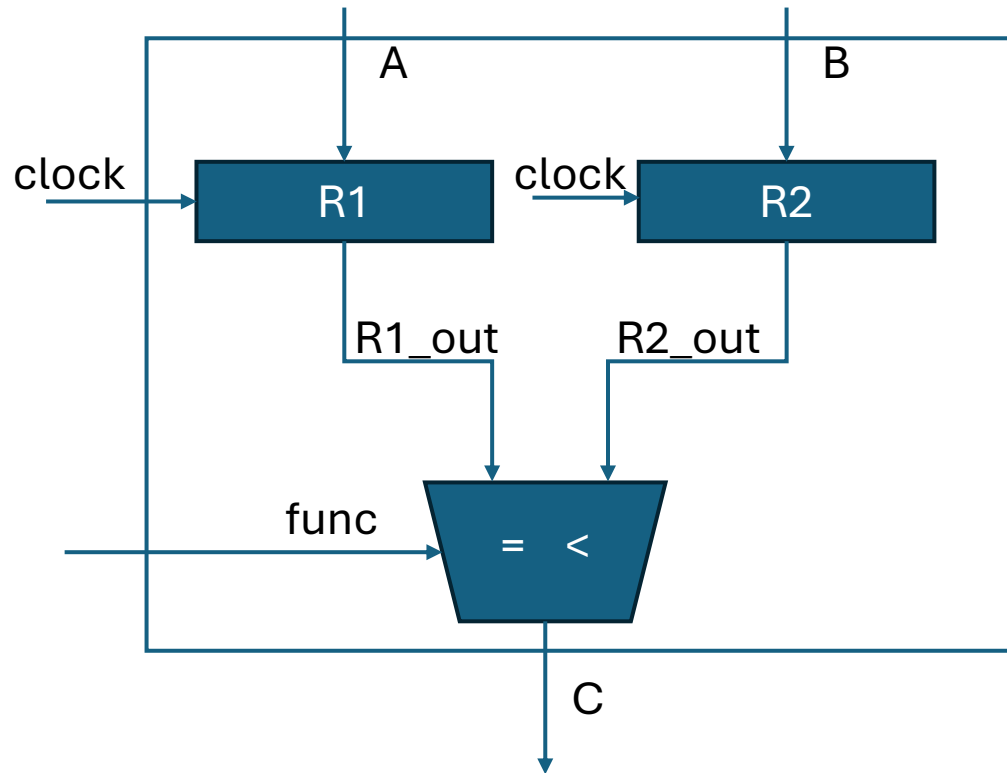


Por Wilson Ruggiero

# Descrição Estrutural em VHDL

- ❑ Uma descrição estrutural em VHDL tem a finalidade de definir os módulos que compõem o Sistema, suas entradas e saídas, eventuais parâmetros associados ao módulo e as respectivas interconexões entre os elementos que compõem o Sistema.
- ❑ Essas descrições ficam contidas nos aspectos de nomeação dos componentes, identificação de suas entradas e saídas e de suas respectivas interconexões, criando uma lista de ligações entre as portas de entrada e saída dos módulos componentes do sistema.
- ❑ Nenhum aspecto de comportamento encontra-se descrito, não se elabora como cada módulo se comporta, mas sim como eles são nomeados e como estão interconectados.

# Exemplo de Descrição estrutural



```

entity Sistema is
  generic ( num_bits: integer := 8);
  port (
    A,B      : in      std_logic_vector (num_bits - 1 downto 0);
    C        : out     std_logic_vector (num_bits - 1 downto 0);
    clock     : in      std_logic;
    func      : in      std_logic
  );
  architecture estrutura of Sistema is
    component R is
      generic (num_bits: integer := 8)
      port (
        d      : in  std_logic_vector (num_bits - 1 downto 0);
        clk     : in  std_logic;
        q      : out std_logic_vector (num_bits - 1 downto 0)
      );
    component comp is
      port (
        ina,inb : in  std_logic_vector(num_bits - 1 downto 0);
        func     : in  std_logic;
        sai      : out std_logic_vector(num_bits - 1 downto 0)
      );
    signal R1_out, R2_out :std_logic_vector(num_bits - 1 downto 0);

    R1: R
      d      => A,
      clk     => clock,
      q      => R1_out
    );

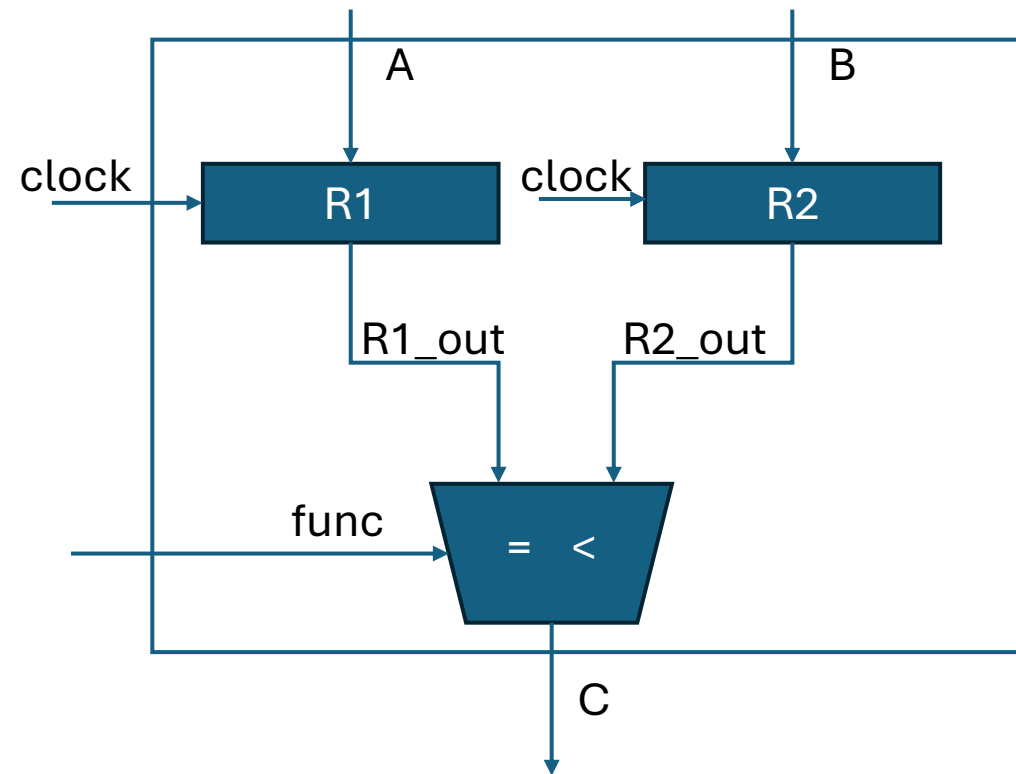
    R2: R
      d      => B,
      clk     => clock,
      q      => R2_out
    );

    comparador: comp
      ina     => R1_out,
      inb     => R2_out,
      func    => func,
      sai     => C
    );
  end entity;
  
```

# Descrição Comportamental em VHDL

- ❑ Uma descrição comportamental se concentra em descrever em sua arquitetura como o modulo se comporta ou qual é a funcionalidade dele quando seus sinais de entrada se alteram e quais as implicações dessas alterações em seus sinais internos e de saída.
- ❑ Essas descrições podem utilizar comandos sequencias, como processos, ou comando concorrentes do VHDL.
- ❑ Uma descrição comportamental representa a função de transferência do modulo.
- ❑ Para compor sistemas hierarquicamente, as descrições comportamentais são ativadas pela descrição estrutural do Sistema.

# Descrição comportamental em VHDL



```
entity Sistema is
```

```
    generic ( num_bits: integer := 8);
```

```
    port (
```

```
        A, B      : in      std_logic_vector (num_bits - 1 downto 0);
        clock     : in      std_logic;
        func      : in      std_logic;
        zero      : out     std_logic;
        less      : out     std_logic
```

```
    )
```

```
end entity;
```

```
architecture comportamento of Sistema is
```

```
    signal R1_out, R2_out : std_logic_vector (num_bits -1 downto 0) := x"00";
    signal resultado      : std_logic_vector (num_bits -1 downto 0) := x"00";
```

```
begin
```

```
    R1_out <= A when (clock'event and clock = '1');
    R2_out <= B when (clock'event and clock = '1');
    resultado <= R1_out - R2_out;
    zero <= '1' when resultado = x"00000000" else
           '0';
    less <= resultado(7);
```

```
end architecture;
```

# Dúvidas ???

Consultem o professor por email na ferramenta mensagens



Por Wilson Ruggiero