版本历史

文档更新记录	文档名:	Lab08_例外与中断支持（一）
	版本号	V0.1
	创建人:	计算机体系结构研讨课教学组
	创建日期 :	2019-10-18

更新历史

序号	更新日期	更新人	版本号	更新内容
1	2019/10/18	贾凡	-	草稿。
1	2019/10/24	邢金璋	V0.1	初版。

文档信息反馈: xingjinzhang@loongson.cn

1 实验八 例外和中断支持（一）

在学习并尝试本章节前，你需要具有以下环境和能力：

(1) 装有 Vivado 的电脑一台。

(2) 熟悉 Vivado，并能初步使用。

如果对 Vivado 不熟悉，请参考课程讲义中的第一讲内容。

(3) 掌握 Verilog 的简单语法。

(4) 熟悉龙芯体系结构实验箱（Artix-7）。

(5) 了解 CPU 流水线结构。

通过本章节的学习，你将获得：

(1) 深入理解例外和中断的工作过程。

(2) 理解 MIPS 体系结构中 CP0 寄存器的作用。

(3) 掌握在流水线 CPU 中添加例外和中断的方法。

本次实验需要参考的文档包括但不限于：

(1) Lab08 任务书（本文档）。

(2) 体系结构研讨课总讲义之第七章“例外和中断的支持”。

(3) 体系结构研讨课总讲义之附录 D“‘体系结构研讨课’MIPS 指令系统规范”。

(4) MIPS 官网文档——MIPS32 手册。

1.1 实验目的

1. 加深对流水线结构的理解。
2. 了解 MIPS 体系结构中的 CP0 寄存器。
3. 学会在流水线 CPU 中添加例外和中断的方法。

1.2 实验设备

1. 装有 Xilinx Vivado 的计算机一台。
2. 龙芯体系结构教学实验箱（Artix-7）一套。

1.3 实验任务

本次实验只有一个任务：

1. 在实验七的 CPU 代码基础上，完成：
   a) CPU 增加 MTC0、MFC0、ERET 指令。
   b) CPU 增加 CP0 寄存器 STATUS、CAUSE、EPC。
   c) CPU 增加 SYSCALL 指令，也就是增加 syscall 例外支持。

d) 运行功能测试通过，lab8 共有 69 个功能点测试。

e) 运行 func_lab8，要求成功通过仿真和上板验证。

2. 本次实验要求以组为单位提交实验报告和 RTL 代码，以报告评分和现场检查评分作为最后的实验得分：

(1) 报告评分：描述自己的设计方案，记录调试过程（错误记录应该配截图）。实验报告模板请使用 lab3 的模板。

(2) 现场检查评分：检查包含仿真检查和上板检查。

1.4 实验检查

检查前需提交实验报告和调试好的 RTL 代码。本次实验在 2019 年 10 月 29 日进行检查。

现场检查，分仿真检查和上板检查：

1) 仿真检查：对照波形进行描述新加入的指令的执行过程。

2) 上板检查：查看上板行为。

现场检查要求能正确应对检查者的提问，并根据要求进行正确的操作演示

1.5 实验提交

提交的作品包括纸质档和电子档。

(1) 纸质档提交

提交方式：课上现场提交，每组提交一份。

截止时间：2019 年 10 月 29 日 18:10。

提交内容：纸质档 lab8 实验报告。

(2) 电子档提交

提交方式：打包上传到 Sep 课程网站 lab7 作业下，每组只需要一人提交。

截止时间：2019 年 10 月 29 日 18:10。

提交内容：电子档为一压缩包，文件名是“lab8_箱子号.zip”，目录层次如下（请将其中的“箱子号”替换为本组箱子号）。

|-lab8_箱子号/	目录，lab8 作品。
| |--lab8_箱子号.pdf/	Lab8 实验报告，实验报告模板参考“Lab03 实验报告模板_仅供参考.docx”
| |--**myCPU /**	**目录，myCPU 源码。目录请加一个 readme，简单描述下各文件。**

1.6 实验环境

本次实验的硬件环境沿用 lab7 发布的 UCAS_CDE，软件环境使用新发布的软件环境 func_lab8.zip，本次软件加入了对前述的新加入指令的测试内容。

本次实验的步骤是：

1) 准备好 lab7 的实验环境，UCAS_CDE，该环境会也会作为 lab8 的实验环境。

2) 将 lab8 发布的软件程序 func_lab8.zip，解压后，将 func_lab8/拷贝到 UCAS_CDE/soft/目录里，与 func_lab7 同层次。

3) 打开 cpu132_gettrace 工程（UCAS_CDE/cpu132_gettrace/run_vivado/cpu132_gettrace/cpu132_gettrace.xpr）。

4) 对 cpu132_gettrace 工程中的 inst_ram 重新定制，此时选择加载 func_lab8 的 coe（UCAS_CDE/soft/func_lab8/obj/inst_ram.coe）。

5) 运行 cpu132_gettrace 工程的仿真（进入仿真界面后，直接点击 run all 等待仿真运行完成），生成新的参考 trace 文件 golden_trace.txt（UCAS_CDE/cpu132_gettrace/golden_trace.txt）。要等仿真运行完成，golden_trace.txt 才有完整的内容。

6) 打开 myCPU 工程（UCAS_CDE/mycpu_verify/run_vivado/mycpu_prj1/mycpu_prj1.xpr）。

7) 对 myCPU 工程中的 inst_ram 重新定制，此时选择加载 func_lab8 的 coe（UCAS_CDE/soft/func_lab8/obj/inst_ram.coe）。

8) 运行 myCPU 工程的仿真（进入仿真界面后，直接点击 run all），开始 debug。

9) 仿真通过后，进行综合、布局布线和生成 bit 流文件，并进行上板验证。

1.7 实验说明

1.7.1 ERET 指令

这条指令是本次实验中唯一一条不是 MIPS I 指令集的指令，ERET 指令的功能就是“Exception RETurn”，即从例外处理程序返回，在本实验涉及的指令集范围内，其具体的执行过程包括：

(1) 清 CP0 中 Status 寄存器的 EXL 位；

(2) 跳转到 CP0 中 EPC 寄存器所存的地址开始取指。

ERET 指令没有延迟槽，建议复用例外刷新流水线的通路。