Debugger Async Start Phase

- 这个阶段从检测到来自调试器的JTAG时钟信号的上升沿时开始。

- 这个阶段持续一个固定数量的192-MHz时钟周期。也就是说，DEBUG引脚被驱动到高电平的周期相当于半个24-MHz时钟，即20.8ns。这个驱动与片上24-MHz时钟完全是异步的，也就是说，在这一点上关系是未知的。

- 软上拉由FPGA/CPLD开启，并在阶段结束时保持开启。

- 这个阶段在强驱动关闭和进入定时标记阶段时结束。

STMP3770 Timing Mark Phase

- 当FPGA/CPLD释放其强驱动时，即三态驱动时，就进入了这个阶段。

- 芯片上的SJTAG控制器检测到DEBUG引脚的上升沿，并使其同步。

- 这个动作启动了一个移位寄存器定时链，贯穿这个阶段和下一个阶段。

- 当同步边沿被芯片上的SJTAG控制器识别时，它将DEBUG线拉回时钟到Q，以在其24MHz时钟的上升边沿之后垫底。这是在FPGA/CPLD中检测到的关键定时标记，并用于下一阶段的数据计时。

- 当片上SJTAG停止驱动串行JTAG线的低电平一个周期时，计时标记阶段结束。

Debugger Send TDI, Mode Phase

- 在这个阶段的第一个24-MHz时钟周期，FPGA/CPLD发送一个一个时钟范围的信号，这个信号要么告诉片上SJTAG它的存在和JTAG时钟的开始，要么告诉片上SJTAG对ARM JTAG TAP控制器做一个JTAG复位操作。

- 如果一个噪声突变错误地触发了ASYNC开始阶段，那么在大多数情况下，片上SJTAG将把它当作TAP控制器的复位。

- 如果调试器正在进行JTAG时钟周期操作，那么，它接下来会在线路上依次发送调试器TDI和MODE引脚的状态，即在接下来的两个24-MHz时钟中各发送一个。注意，对于这个阶段，FPGA/CPLD知道在电线上改变这三个数据元素的正确时间，因为它从计时标记阶段学到了计时信息。

- 这个阶段在FPGA/CPLD在这个阶段的第四个24MHz时钟上驱动串行线为低电平后结束。

回顾一下，发送的第一个数据元素是区分时钟周期和TAP复位周期的信号。接下来发送的两个位是调试器的JTAG MODE和TDI位。最后，该线被驱动为低电平，并被拉低为半个24-MHz的时钟，然后驱动器被关闭，拉低电平被打开。这个阶段在半个时钟的下拉完成后结束。在这个阶段，JTAG时钟的上升沿被发送到ARM TAP控制器。

STMP3770 Wait For Return Clock Phase

- 片上SJTAG控制器等待ARM TAP控制器发回返回时钟。这对片上TAP控制器和FPGA/CPLD控制器都是一个异步事件。

- 片上控制器在一个24MHz的时钟周期内驱动串行线为高电平，以告诉FPGA/CPLD，等待返回时钟周期的可变长度已经完成。

- 当片上SJTAG检测到返回时钟为高电平并驱动串行线为高电平的一个24-MHz时钟时，这个阶段结束。

STMP3770 Sends TDO and Return Clock Timing Phase

- 片上SJTAG控制器在电线上发送ARM TAP控制器的TDO信号的值，这个周期从片上24-MHz时钟的上升沿开始，为一个完整的24-MHz周期。

- 这个阶段在TDO值发送完毕后结束。

STMP3770 Terminate Phase

这个阶段的主要目的是使SJTAG的串行线处于低电平状态。

- 片上SJTAG控制器通过在半个24-MHz时钟内将其驱动为低电平，在其内部24-MHz时钟的下降沿将其释放。

- 这允许FPGA/CPLD在进入这个阶段后，在3/4个24-MHz时钟左右开始下一个JTAG周期。

- 当这一阶段结束时，片上SJTAG控制器复位其 "Active "触发器，并在其定时链和状态机中返回其空闲状态。片上SJTAG总是在24-MHz时钟的上升沿驱动出串行线。它可以驱动一个24-MHz时钟周期（返回时钟和TDO）或半个周期（终止阶段）。