Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики

Функциональная схемотехника

Лабораторная работа №1.

Введение в проектирование цифровых интегральных схем

Вариант 2

Работу выполнили студенты :

Борисенко Елизавета Александровна

Расковалова Алёна Дмитриевна

Группа: Р33011

Санкт-Петербург

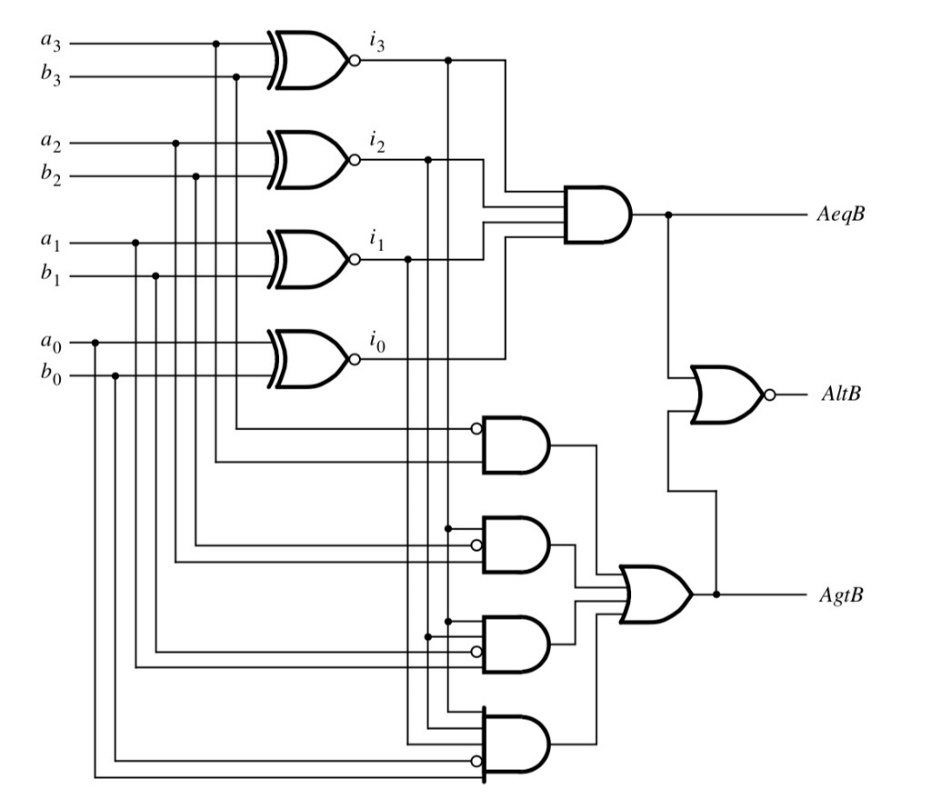
2021

Цели работы:

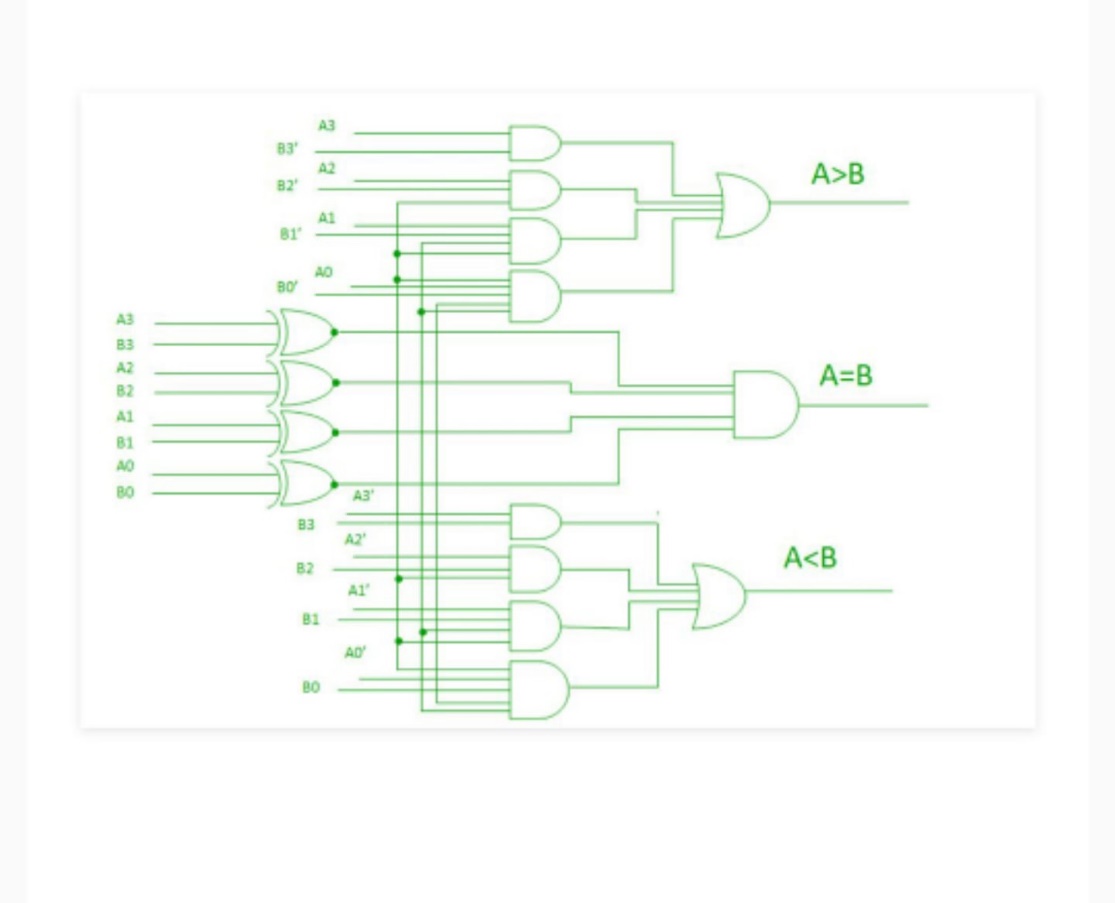
Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.

|  |  |  |
| --- | --- | --- |
| № варианта | Логический базис | БОЭ |
| 2 | NAND | Полный четырехразрядный компаратор |

Реализованная схема:

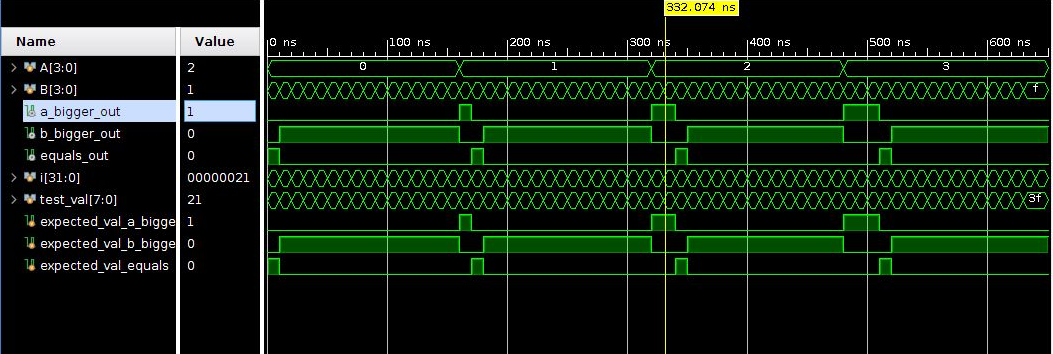


Вариант менее эффективной схемы:



Код разработанного модуля БОЭ и тестового окружения БОЭ:

<https://github.com/ResedentSleeper/S-tech-1>

Временная диаграмма процесса тестирования БОЭ:

Вывод: Познакомились с языком описания аппаратуры Verilog HDL, изучили особенности его использования для описания схем на вентильном уровне и осуществили базовое тестирование одной из таких схем.