有時候邏輯錯gate會過不了，如溢位，沒reset，未知的值是X。所以去找看01\_RTL的邏輯是不是有跑出你宣告的記憶體以外的地方如:reg [1:0]a[9:0]，卻有a[10]這個問題。在RTL會過但在gate不過。特別注意!!尤其是有在判斷條件中溢位的情況，在某幾個pattern就會錯!!!!!!可以跑一下03\_\_GATE看是哪個pattern出錯，然後用01\_RTL找出溢位置的bug。

對SYN而言，執行時間超過cycle time會過不了。要把所有條件寫滿，以及要把所有的值在所有條件下都賦值，或是把自己的值傳給自己(combinational loop)。在01\_RTL可以過得cycle time不代表03\_GATE可以過。因為03\_GATE有delay，所以可能要放寬一點。