

تقریریں سسٹم ۵۵  
مہارہا الکندری

پرہا، منی

400108547

تغییر که ایجاد کردیم اتصال کلاک به سیستم به صورت AND با سه بار نات شده است  
است که بخاطر تأخیر موجود در گیت ها رفتار مخفی می داند.

در اینجا که C ثابت بوده برای مدت ما C و  $\bar{C}$  را AND کردیم یعنی خروجی AND = 0  
معادل لatch عادی هنگام clock = 1 است پس مدار Q و  $\bar{Q}$  ثابت باقی می ماند.

حال اگر C تغییر کند، از 0 به 1 برود. C = 1 شده ولی تا زمانی که سه بار نات شده آن  
از 0 به 1 تغییر پیدا می کند. اندازه تأخیر 3 گیت 0 می ماند.

اما همچنان چه تبدیل گیت تأخیر می دهد تا تغییر یکی از ورودی ها حاصل می شود است در AND پس  
خروجی AND = 1 پس مدار Q و  $\bar{Q}$  ثابت می ماند (حالت عادی کلاک 0)

اگر C از 0 به 1 تغییر کند، C = 1 شده و اندازه 3 تأخیر ثابت ورودی دیگر 1 می ماند  
پس تا 3 اندازه تأخیر خروجی AND 1 و خروجی  $\bar{Q}$  = 0 می شود.  
پس 3 تا تأخیر معادل لatch با کلاک فعال هستند.

پس عماداً با فرض محقق بستن تابع داریم که این مدار تنها در لحظه بالا ریزنده کلاک فعال

لatch می باشد و در غیر این صورت غیر فعال است.

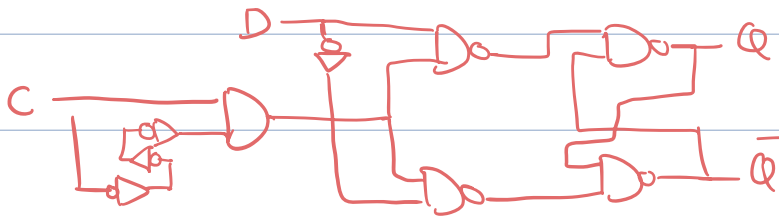
C	S	R	$Q^+$	$\bar{Q}^+$
0	x	x	Q	$\bar{Q}$
1	0	0	Q	$\bar{Q}$
1	0	1	0	1
1	1	0	1	0
1	1	1	x	x
0	x	x	Q	$\bar{Q}$

(ب)

برای D-latch شدن، باید  $S=D$  و  $R=\bar{D}$  باشد.

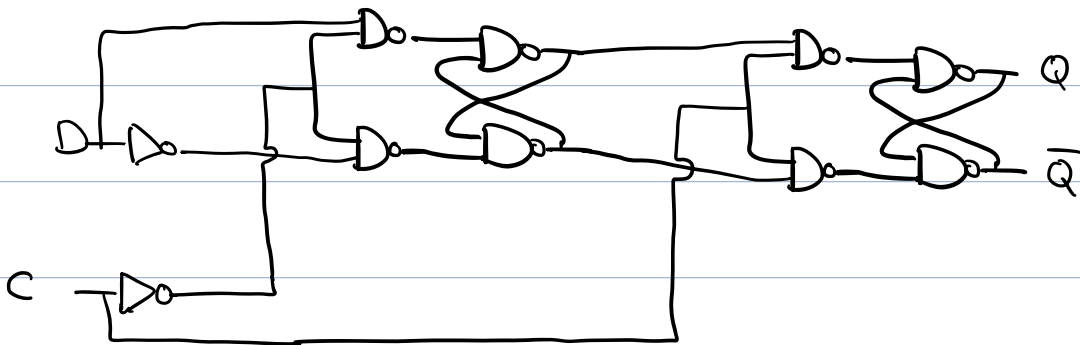
حال اگر  $D=0$  باشد  $SR=01$  پس ریست شده و  $Q=0$  می‌شود و اگر

$D=1$  داریم  $SR=10$  پس ست شده و  $Q=1$  می‌شود. پس  $Q^+=D$



C	D	S	R	$Q^+$	$\bar{Q}^+$
↑	x	x	x	Q	$\bar{Q}$
↓	0	0	1	0	1
↓	1	1	0	1	0
→	x	x	x	Q	$\bar{Q}$

(ج)

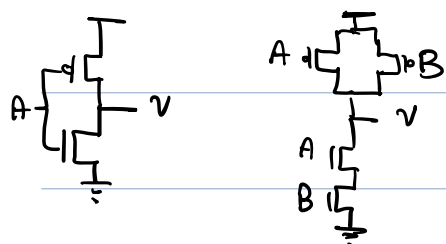


در این روش 8 nand و 2 not داریم.

هر nand 4 ترانزیستور و not 2 ترانزیستور

$$\Rightarrow 8 \times 4 + 2 \times 2 = 32 + 4 = 36 \text{ ترانزیستور}$$

در روش قبل داشتیم که



$$4 + 2 = 6$$

Do-Do

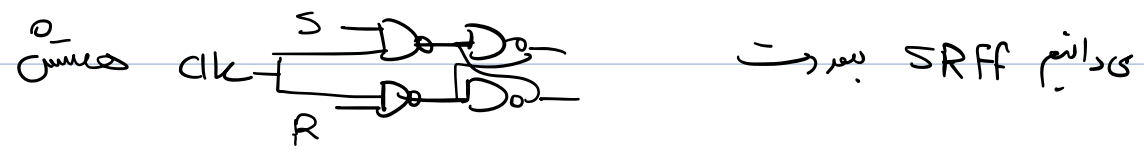


4 nand دانستم، 4 مات، 1 and .

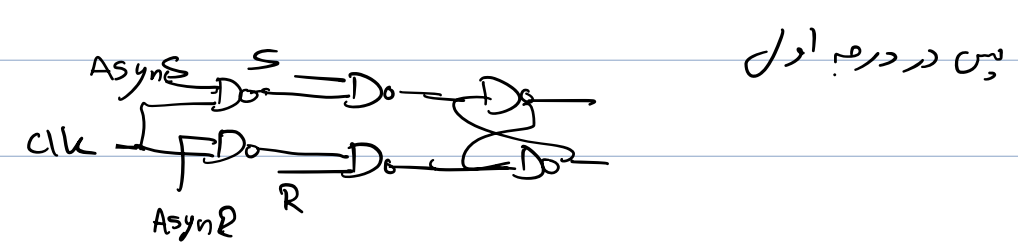
6 nand به 6 تانزیقه، 2 مات 2 تانزیقه، دارند، and به 6 تانزیقه.

$$\rightarrow 4 \times 4 + 4 \times 2 + 1 \times 6 = 16 + 8 + 6 = 30$$

برای ساخت nand استفاده می‌کنیم.



حال اگر مدفاً رفتار آن‌ها را می‌خواهیم، می‌توانیم آنها را به Async وصل کنیم. باید می‌دانیم  $clk = 1$  عمل می‌کند.

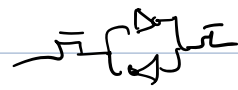


در این صورت با روشن شدن AsyncS خروجی Q به 1 است و پس از مدول  $clk = 1$  برمی‌گردد به 0. حال اگر  $AsyncR = 1$  پس از مدول  $clk = 1$  به 0 می‌گردد و پس از مدول  $clk = 1$  به 1 می‌گردد. پس رفتار  $AsyncR = 0$  همان 1 و  $AsyncR = 1$  همان 0 است. البته می‌توانیم با نوشتن معادلات با سطح پایین‌تر خواهیم داشت.

کماهم 6 تا nand به 4 ترانزیستور، 24 استفاده می‌شود. ترانزیستورهای اضافی 26 = 24 + 2 برای سطح 0.

3

الف)

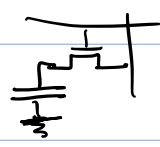
در SRAM   $6 = 2 \times 2 \times 2$  ترانزیستور داریم

پس

$$\frac{2^{25}}{6} \text{ bit} \rightarrow \frac{2^{25-3}}{6} \text{ byte} = \frac{2^{22}}{6} = \frac{2^{21}}{3} \text{ byte}$$

4

DRAM

  $\rightarrow$  1 ترانزیستور  $\rightarrow$  2

$$\frac{2^{25}}{2} \text{ bit} = \frac{2^{25-1}}{2} \text{ byte} = \frac{2^{24}}{2} = 2^{23} \text{ byte}$$

4

بر همین مقدار بیت حافظه 3 برابر DRAM فضا نیاز دارد و تعداد قطعات

استاده شده نیز با فرض تخمین برابر قیمت خازن و ترانزیستور عدد 1 برابر شود.  
سویگن تر است که البته با سرعتی بودن جریان می کند.

ب)

1

در DRAM هر بار که داده را می خوانیم باید دوباره بازنویسی شده انجام بشود

اما SRAM به زنی نیاز ندارد پس recall که DRAM بسیار نوشتن دوباره داره تا بار خازن به اولی برگردد پس زمان بیشتری میبرد.

از طرف دیگر هم رمبرد دو خط بیت در SRAM به کمک می کشد که سرعتی با تغییرات نسبی به هم می خواندن را انجام دهیم.

(2) در SRAM جابجایی که سرعت زیاد می‌خواهیم حتی تعداد بیت کم بودن حجم زیاده

در SRAM در نتیجه در cache استفاده می‌شود ولی DRAM در خود که حجم زیاد می‌خواهیم هزینه برایشان هم و سرعت زیادی کمتر است.  
مستم نوشته.

(3) به کمک می‌کنند که با تغییر ولتاژ بتوانیم ولتاژهای را سریع‌تر

تشخیص دهیم و همچنین ریزش کنیم. برای مثال در SRAM با شارژ

$\frac{V_{DD}}{2}$  می‌توانیم از اینکه کدام یک کم و زیاد شده بفهمیم که اگر به آن راه تبدیل

می‌شود. این کم زیاد شدن است ابرده که افزوده شده و (سریع) کاهش می‌یابد.

(4) با اینکار اطلاعات از هدر طرف نوشته و مات هم خوانده می‌شوند

ما می‌توانیم با sense amplifier صرفاً از یک تغییر این دو از هم سریع‌تر نتیجه را

تشخیص دهیم. همچنین اگر BL در SRAM نبوده باشد، باید اندازه مدخل گیت

نا = صبر می‌کردیم برای خروجی چرا که اگر لا قطع می‌شد گیت مات دوم

حکوک تغییر خروجی را می‌کند. همچنین رجیستر این در در نوشتن موجب می‌شود  
مسئله رمات که در نبود BL است رخ نهد.

(5)

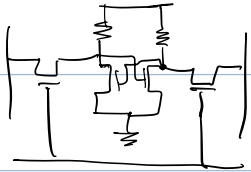
این SRAM از ترانزیستورها خاص بهره می‌برد.

این ترانزیستورها Thin-Film-Transistor نام دارند و ساختار مشابهی دارند  
در آنها از لایه اضافی Poly-Silicon استفاده می‌شود.

این SRAM ویژگی‌های خوبی نظیر کاهش فضای مصرفی و همچنین انرژی  
مصرفی را دارد.

اما از مشکلات آن می‌توان به پایداری کمتر و همچنین افت ولتاژ بیت اشاره کرد.  
همچنین نرخ مارجین آن نیز نسبت به 6 مای بیت است  
(رسانا ارور)

\* جدا از این یک روش با مقومت هم سافت SRAM داریم با 4 ترانزیستور.



(6)

دی رم از خازن برای نگه داری بیت ذخیره شده استفاده می‌کند. از آنجا که به مرور زمان خازن بار ذخیره شده خود را از دست می‌دهد نیاز داریم که به مرور زمان حتی اگر از بیت نخواندیم آن را رفرش کنیم. این موجب می‌شود که توان مصرفی ما افزایش یابد چراکه با هربار رفرش نیاز به مصرف توان برای شارژ کردن خازن داریم. دلیل دیگر نیاز به رفرش در ۷ ذکر کردم.

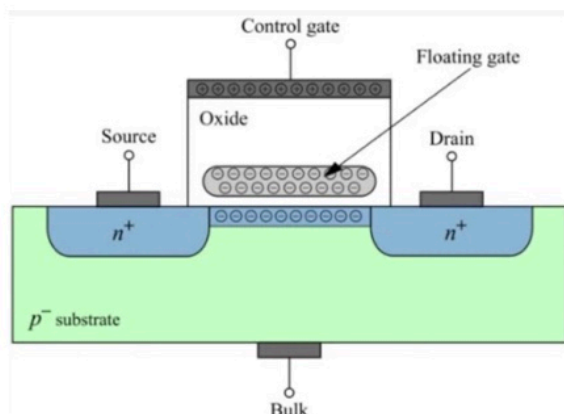
(7)

به دلیل اینکه خواندن در DRAM به این صورت است که در خط بیت لایمان خازن در مدار قرار می‌گیرد و شروع به از دست دادن به دست آوردن بار می‌کند تا بتوانیم توسط با کمک تغییر بار ایجاد شده روی لاین ما مقدار آن را به دست بیاوریم بنابراین هر بار که داریم از آن میخوانیم در واقع بار آن را به سمت مخالف تغییر می‌دهیم که به موجب آن دیتای ما در حال از دست رفتن است به همین سبب به آن destructive read می‌گویند.



#### سوال ۴)

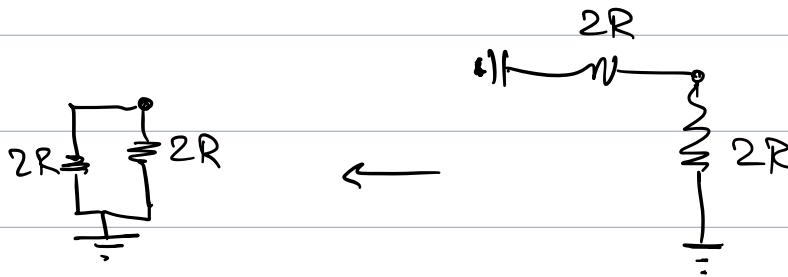
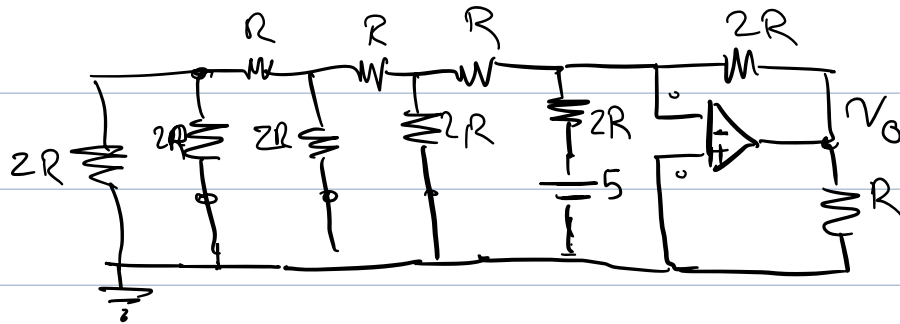
با خود ترانزیستور ماسفت اشنایی داریم که  $s$   $g$   $d$  دارد و برای فعال شدن به  $g$  ولتاژ اعمال می‌کردیم. حال در  $ssd$  ها از مموری غیر ولتاژ نیمه رسانا به اسم  $flash$  استفاده می‌شه. دو نوع داره که  $nor$  و  $nand$  می‌گیم. اولی برای میکروکنترلر ها که اکسس هر بیت مهمه ولی دومی وقتی ساینز مهم تره. دومی اساسا در یک سری  $page$  ها ذخیره میکنه و اکسس یک بیت کل اون پیجه که خونده میشه. حالا برخلاف  $mosfet$  از یک ترانزیستور با گیت شناور یا  $floating$   $gate$   $mosfet$  استفاده می‌کنیم.



بین  $G$  و کانال یک گیت دیگه داریم که به چیزی متصل نیست و اساسا فلوت است. اگه بارها ترپ شن بین گیت فلوت اونها میان فیلد الکتریکی میسازند و دوباره بار توی کانال جذب میشه و ترانزیستور وصل میشه. ولی نوشتن خواندن مقداری دشوار تره و نیاز به  $hot\ carrier\ injection$  برای مثال سر نوشتن داریم. منظور از هات انرژی زیاده مثلا پونزده ولت اینطوره. در این حالت یک فیلد الکتریکی قوی ایجاد میشه که جنبش کافی برای پرش از  $insulftor$  به گیت فلوت و ترپ شدن اونجا میده. و برای مثال برای پاک کردن از کوانتوم تانلینگ استفاده می‌کنیم. حال اگر یک توضیح کلی از کار بخواهیم بدهیم، این گیت شناورمون یک گیت کنترل طبق عکس دارد و یک گیت شناور. وقتی ولتاژ کافی به گیت کنترل بدهیم گیت شناورمون به نقطه شناور میرسه و عبور الکترون غیروابسته به برق ممکن می‌شود و با وارد کردن ولتاژ دیگری به گیت کنترل می‌توانیم این ارتباط را قطع کنیم. این گیت شناور محیط کلا مقاومت بالا هستش برای همین مدت خیلی طولانی ای تغییری نداریم. که این قابلیت نگه داری غیروابسته به برق برای استفاده در  $eprom$ ,  $eeeprom$  و فلش مموری ها و ... کاربردی کرده است.

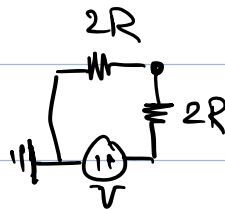
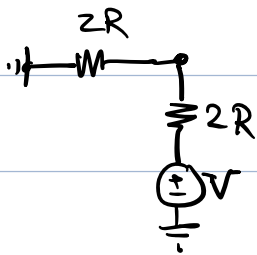
داریم که

دما  
b<sub>3</sub> :



لم 1

$$R_{th} = 2R \parallel 2R = R$$



$$R_{th} = 2R \parallel 2R = R$$

لم 2

$$\frac{V_{th} - 0}{2R} = \frac{V}{2R + 2R} \Rightarrow V_{th} = \frac{V}{2}$$

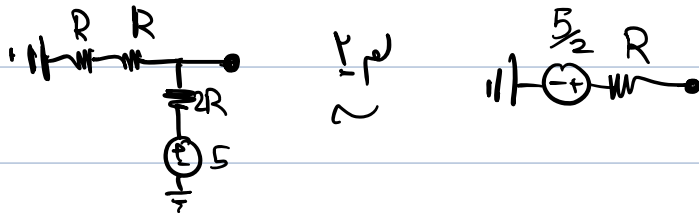


حل برای بدست آوردن  $V_{th}$  می‌باشد از اصل برهم‌کنش بهره می‌بریم.

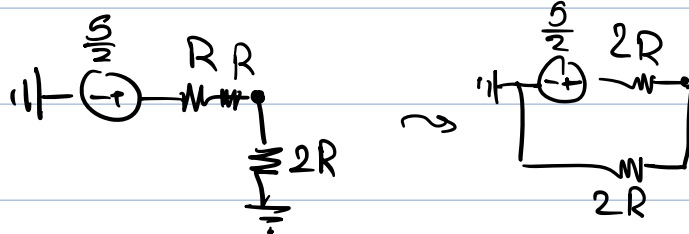
از رابطه‌ای که  $V_{th}$  را بدست می‌آوریم که معادل تر است  $R$  می‌باشد.

حال

$$b_3 = 1:$$



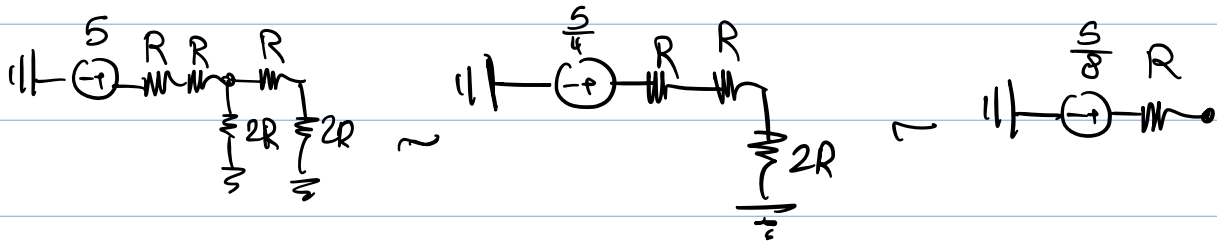
$$b_2 = 1:$$



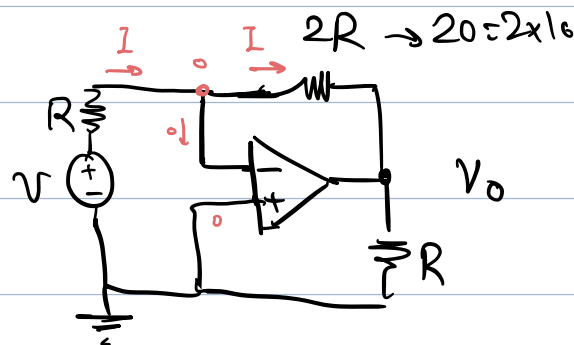
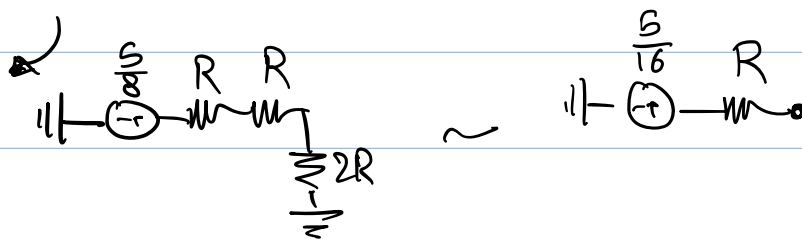
$$R_{th} = 2R \parallel 2R = R$$

$$V_{th} = \frac{5}{4}$$

$$b_1 = 1:$$



$$b_0:$$



حل داريم

$$RI = V - 0 \Rightarrow I = \frac{V}{R}$$

$$\frac{0 - V_o}{2R} = I \Rightarrow V_o = -2RI = -2R \frac{V}{R} = -2V$$

$$\begin{matrix} b_3 & \frac{5}{2} \\ b_2 & \frac{5}{4} \\ b_1 & \frac{5}{8} \\ b_0 & \frac{5}{16} \end{matrix}$$

$$V_o = -2 \left( \frac{5b_3}{2} + \frac{5b_2}{4} + \frac{5b_1}{8} + \frac{5b_0}{16} \right)$$

$$= -5 \left( b_3 + \frac{b_2}{2} + \frac{b_1}{4} + \frac{b_0}{8} \right)$$

$$\Rightarrow V_o = -\frac{5}{8} (8b_3 + 4b_2 + 2b_1 + b_0) = -\frac{5}{8} \sum b_i 2^i$$