



GENERADOR DE FUNCIONES POR SÍNTESIS DIGITAL DIRECTA

Grupo 6

Reymundo Ramos, Renzo Edmundo

Aldana Antezana, Andy Jesús

Calixto Ruiz, Joastin Jeremi

Vargas Quispe, Alexandra Antonella

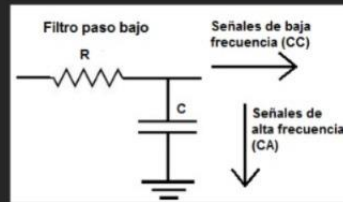


TEMARIO

- 1) Materiales y Herramientas
- 2) Desarrollo del proyecto
- 3) Funcionamiento del sistema
- 4) Conclusiones
- 5) Bibliografía

MATERIALES Y HERRAMIENTAS

Filtro pasa bajas



FPGA EP2C5T144C8



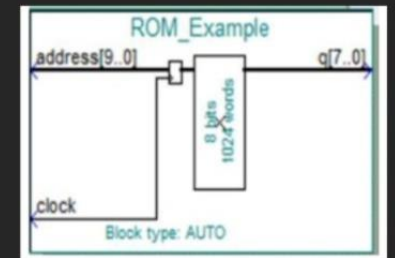
Pulsadores



Quartus II

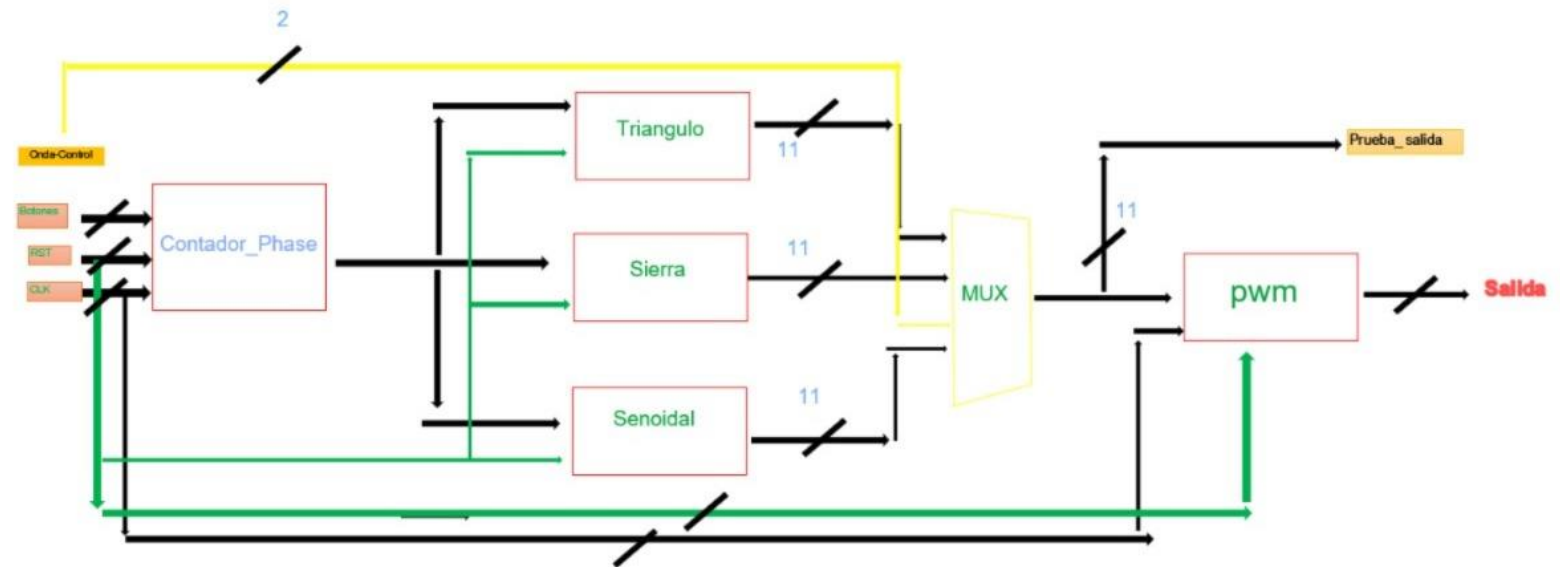


Memory ROM



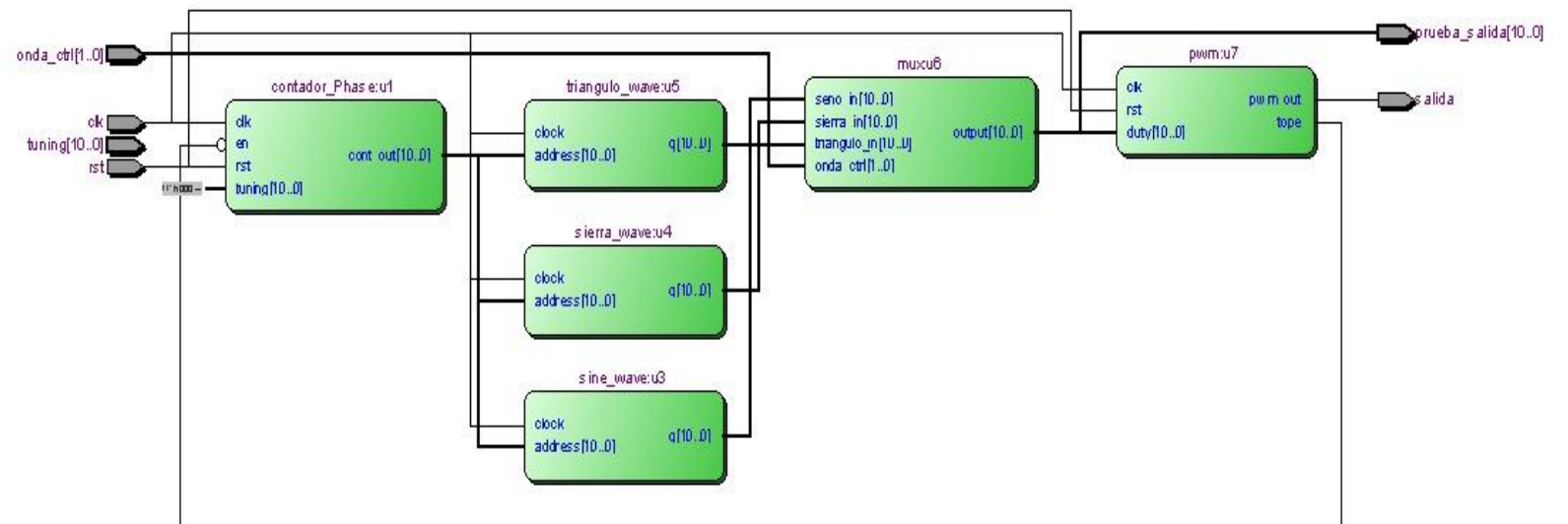
DESARROLLO DEL PROYECTO

- DIAGRAMA DE BLOQUES DEL SISTEMA



DESARROLLO DEL PROYECTO

- DIAGRAMA RTL DEL SISTEMA



DESARROLLO DEL PROYECTO

- CÓDIGO VHDL

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4
5  entity TF3 is
6  port
7  (
8      -- Input ports
9      clk, rst : in  std_logic;
10     tuning   : in  std_logic_vector(10 downto 0);
11     onda_ctrl : in  std_logic_vector(1 downto 0);
12     prueba_salida: out std_logic_vector(10 downto 0);
13     -- Output ports
14     salida   : out std_logic);
15 end TF3;
16
17
18 architecture fn of TF3 is
19
20     signal w1, w2, w3      : std_logic_vector(10 downto 0);
21     signal w7, w8, w9      : std_logic_vector(10 downto 0);
22     signal tope : std_logic;
23
24     component mux
25     port(
26         seno_in, sierra_in, triangulo_in: in  std_logic_vector(10 downto 0);
27         onda_ctrl: in  std_logic_vector(1 downto 0);
```

DESARROLLO DEL PROYECTO

- CÓDIGO VHDL

```
28      output: out std_logic_vector(10 downto 0)
29      );
30  end component;
31
32  component sine_wave
33  PORT
34  (
35      address      : IN std_logic_vector (10 DOWNTO 0);
36      clock        : IN std_logic      := '1';
37      q            : OUT std_logic_vector (10 DOWNTO 0)
38  );
39  END component;
40
41  component sierra_wave
42  PORT
43  (
44      address      : IN std_logic_vector (10 DOWNTO 0);
45      clock        : IN std_logic      := '1';
46      q            : OUT std_logic_vector (10 DOWNTO 0)
47  );
48  END component;
49
50  component triangulo_wave
51  PORT
52  (
53      address      : IN std_logic_vector (10 DOWNTO 0);
54      clock        : IN std_logic      := '1';
```


DESARROLLO DEL PROYECTO

- CÓDIGO VHDL

```
55      q      : OUT STD_LOGIC_VECTOR (10 DOWNT0 0)
56    );
57    END component;
58
59    component demux
60    port(
61      input: in std_logic_vector(10 downto 0);
62      onda_ctrl: in std_logic_vector(1 downto 0);
63      seno_out, sierra_out, triangulo_out: buffer std_logic_vector(10 downto 0)
64    );
65    end component;
66
67    component pwm
68    port(
69      rst, clk : in std_logic;
70      duty  : in std_logic_vector(10 downto 0);
71      tope: out std_logic;
72      pwm_out: out std_logic
73    );
74    end component;
75
76    -- en este caso, decidi encapsular el contador en un component llamado "contador_labsem9"
77    component contador_Phase is
78    port(
79      rst, clk, en : in std_logic;
80      tuning      : in std_logic_vector(10 downto 0);
81      cont_out     : out std_logic_vector(10 downto 0)
```

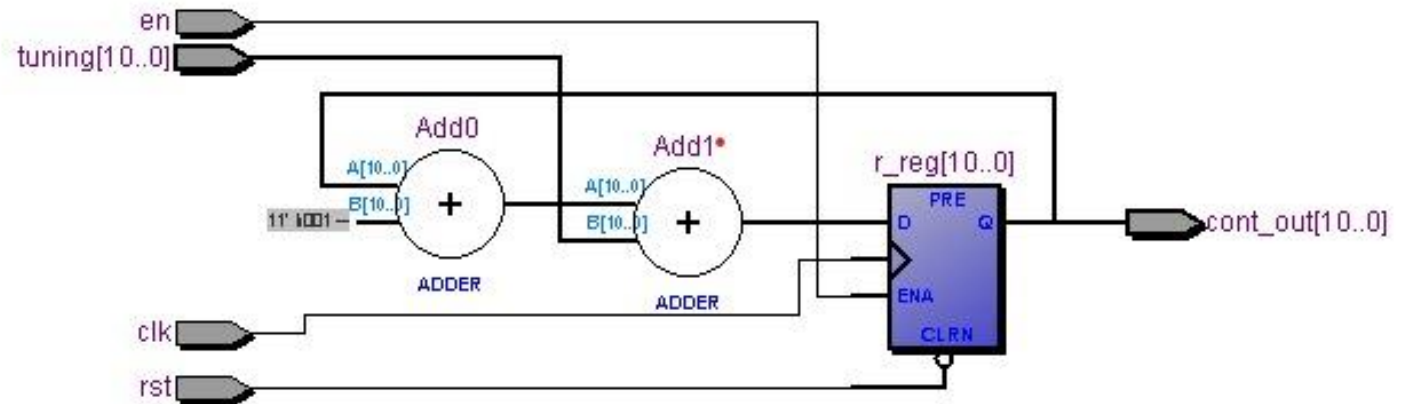

DESARROLLO DEL PROYECTO

- CÓDIGO VHDL

```
82      );  
83      end component;  
84  
85      begin  
86          -- en este caso, decidi encapsular el contador en un component llamado "contador_Phase"  
87          u1: contador_Phase  
88              port map(rst => rst, clk => clk, en => NOT tope, tuning => "00000000000", cont_out => w1);  
89  
90          u3: sine_wave  
91              port map(clock => clk, address => w1, q => w7);  
92  
93          u4: sierra_wave  
94              port map(clock => clk, address => w1, q => w8);  
95  
96          u5: triangulo_wave  
97              port map(clock => clk, address => w1, q => w9);  
98  
99          u6: mux  
100             port map(seno_in => w7 , sierra_in => w8, triangulo_in => w9, onda_ctrl => onda_ctrl,  
101                 output => w3);  
102  
103          u7: pwm  
104              port map(rst => rst, clk => clk, duty => w3, pwm_out => salida, tope => tope );  
105  
106              prueba_salida <= w3;  
107  
108      end fn;
```

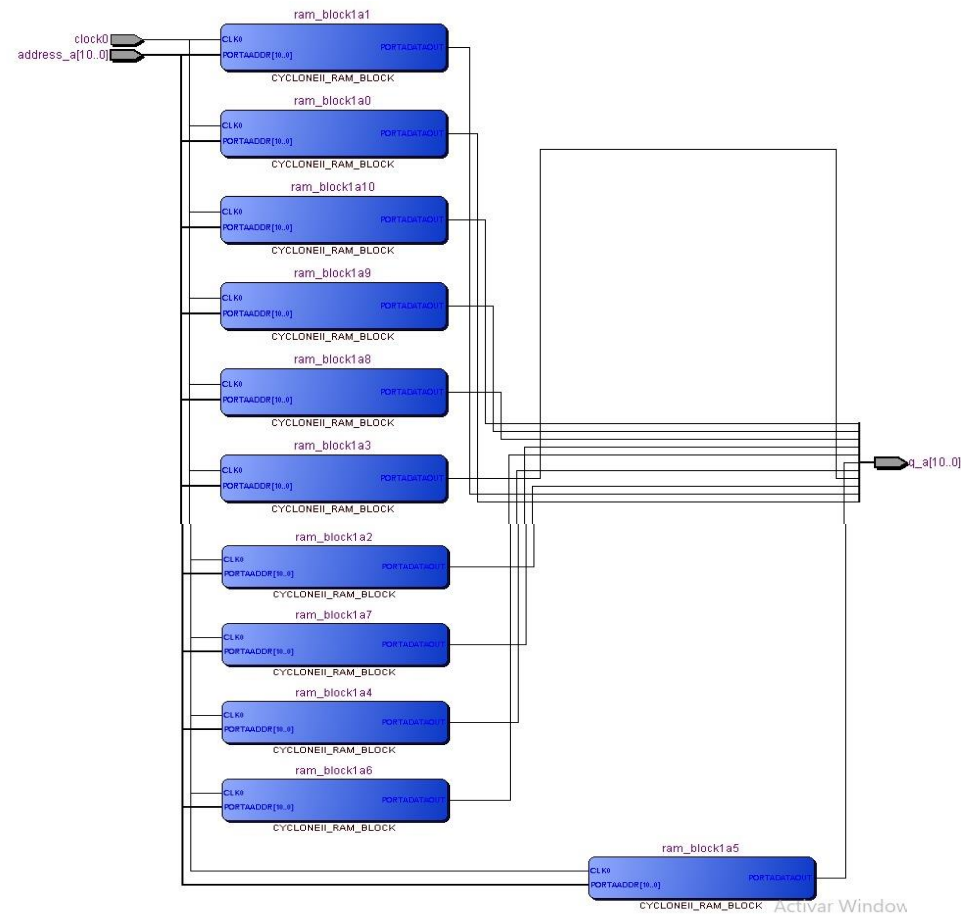
DESARROLLO DEL PROYECTO

- DIAGRAMA RTL DEL CONTADOR_PHASE



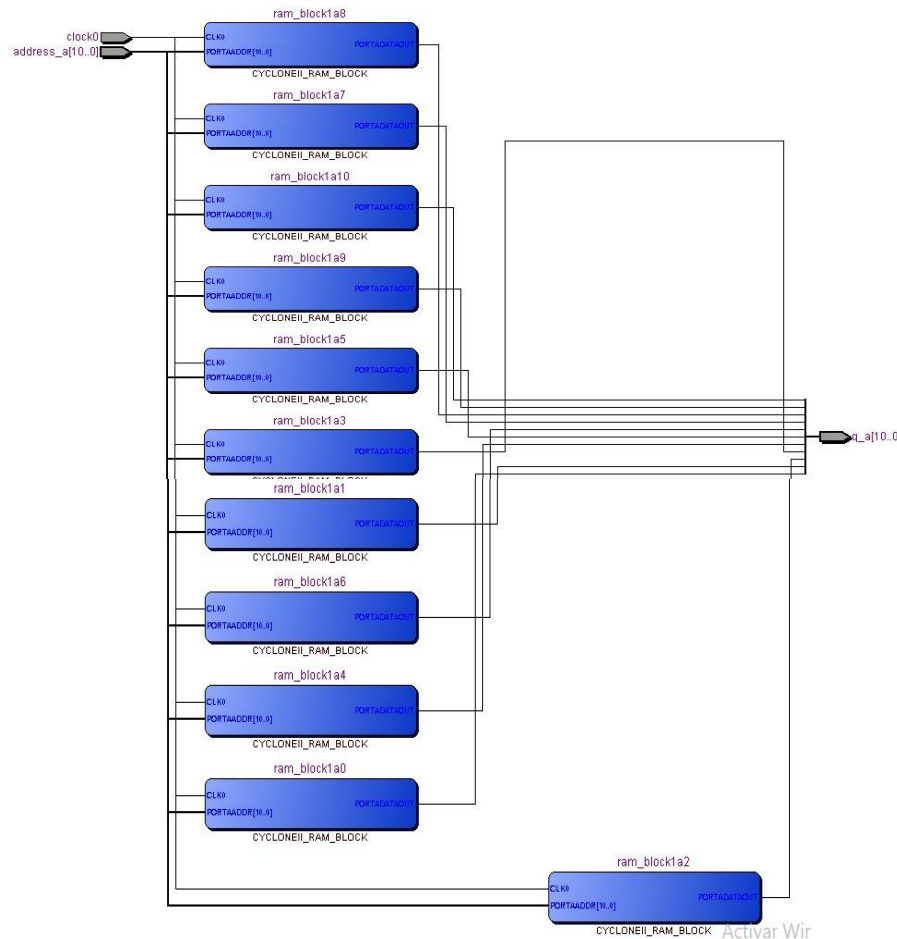
DESARROLLO DEL PROYECTO

- DIAGRAMA RTL DE LA SEÑAL DE DIENTE DE SIERRA

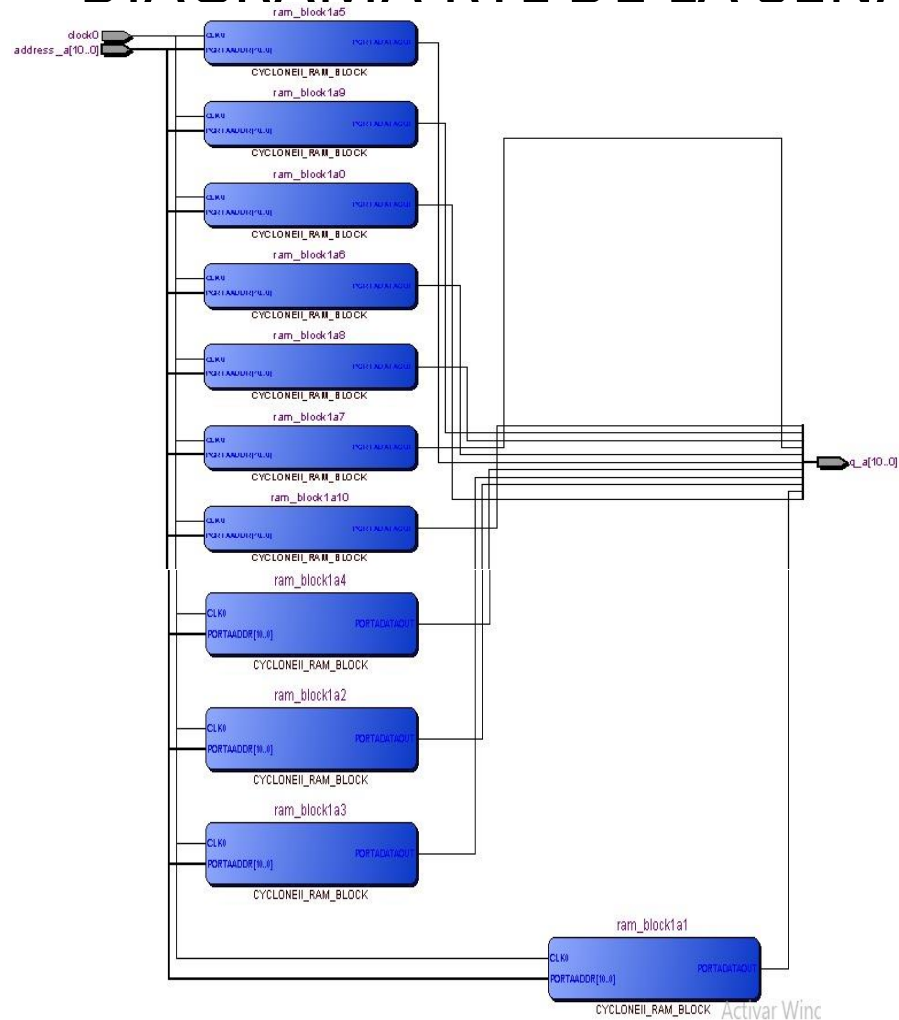


DESARROLLO DEL PROYECTO

- DIAGRAMA RTL DE LA SEÑAL SENOIDAL

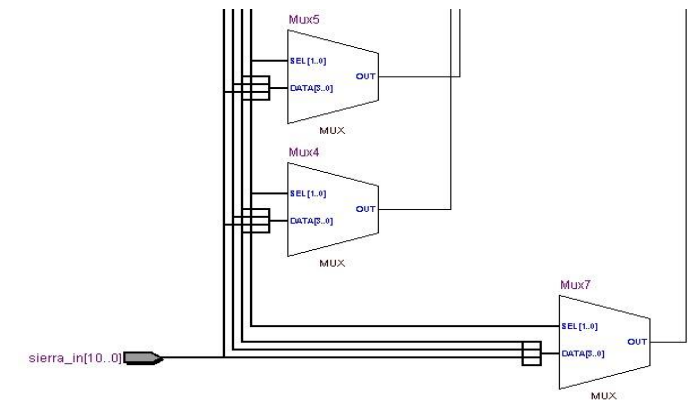
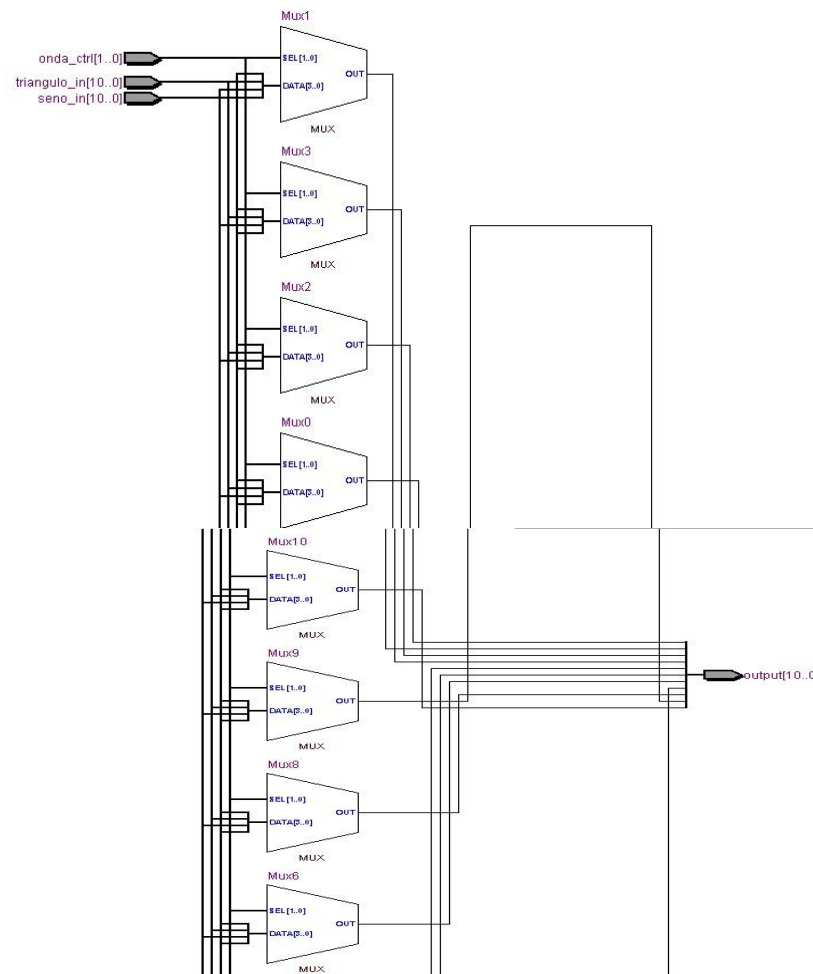


- DIAGRAMA RTL DE LA SEÑAL TRIANGULAR



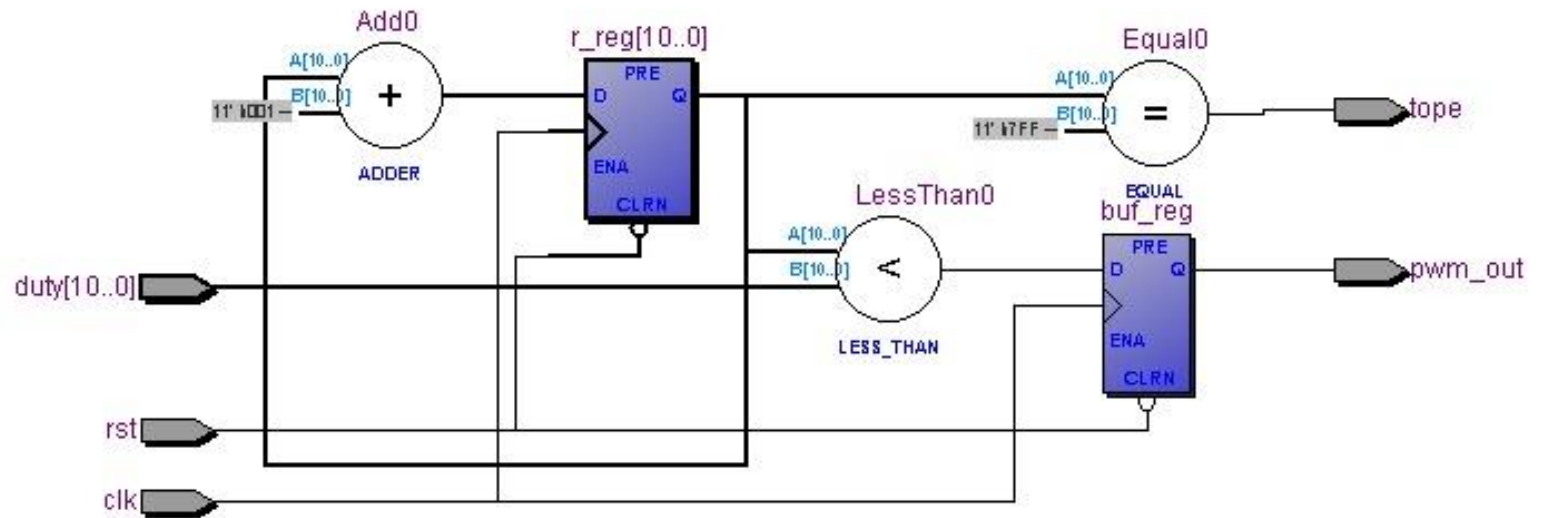
DESARROLLO DEL PROYECTO

- DIAGRAMA RTL DEL MULTIPLEXOR



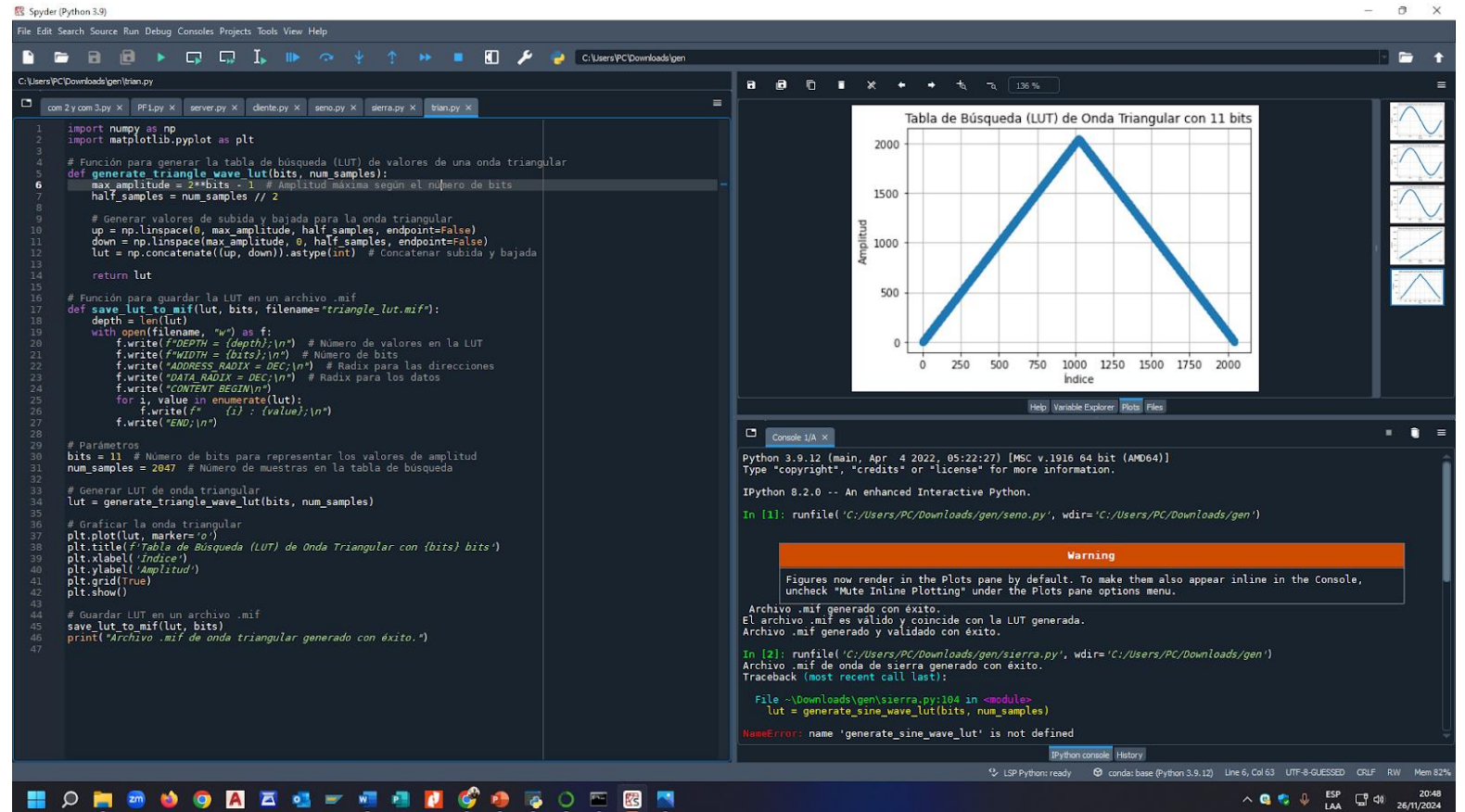
DESARROLLO DEL PROYECTO

- DIAGRAMA RTL DEL PWM



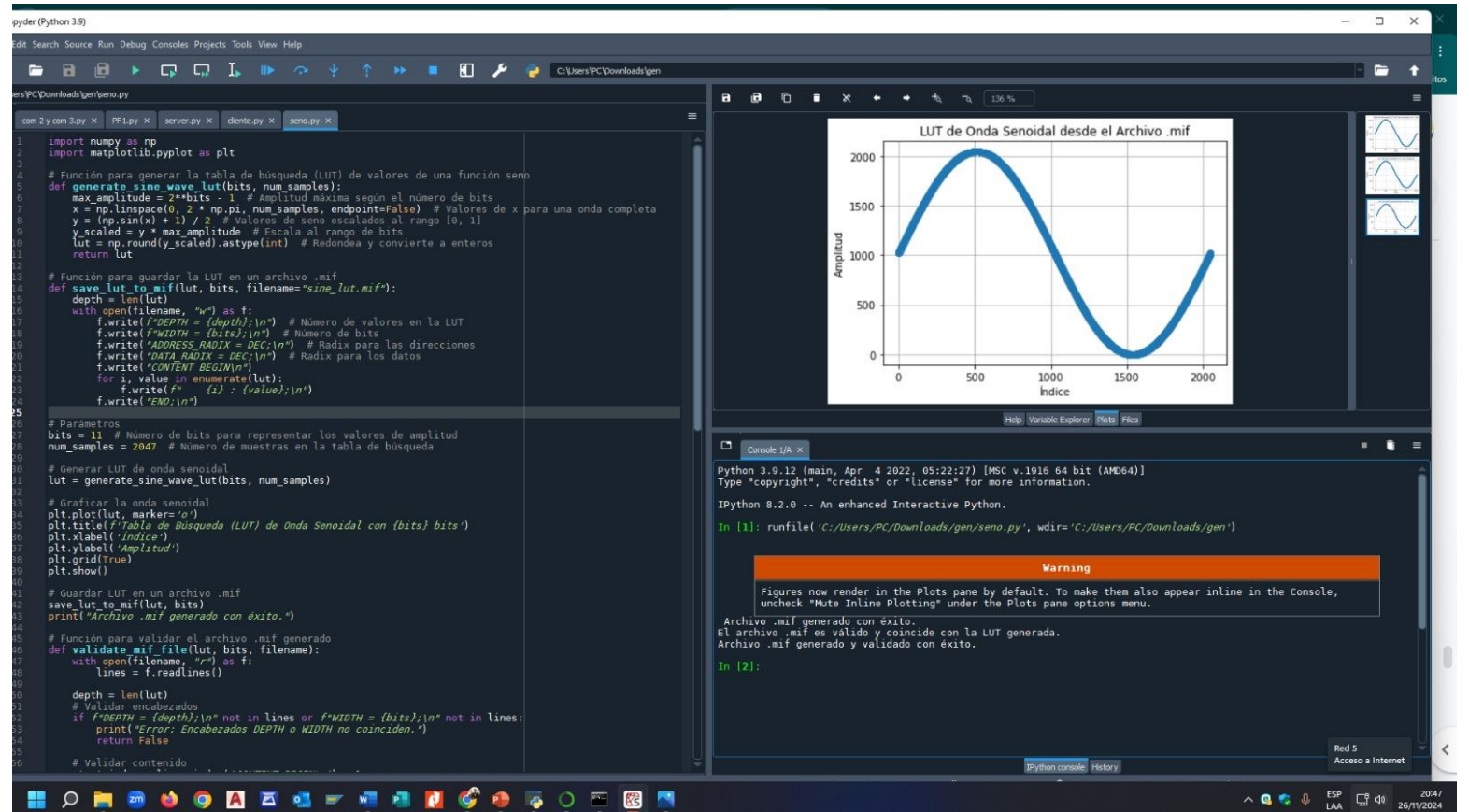
DESARROLLO DEL PROYECTO

- CÁLCULOS TEÓRICOS



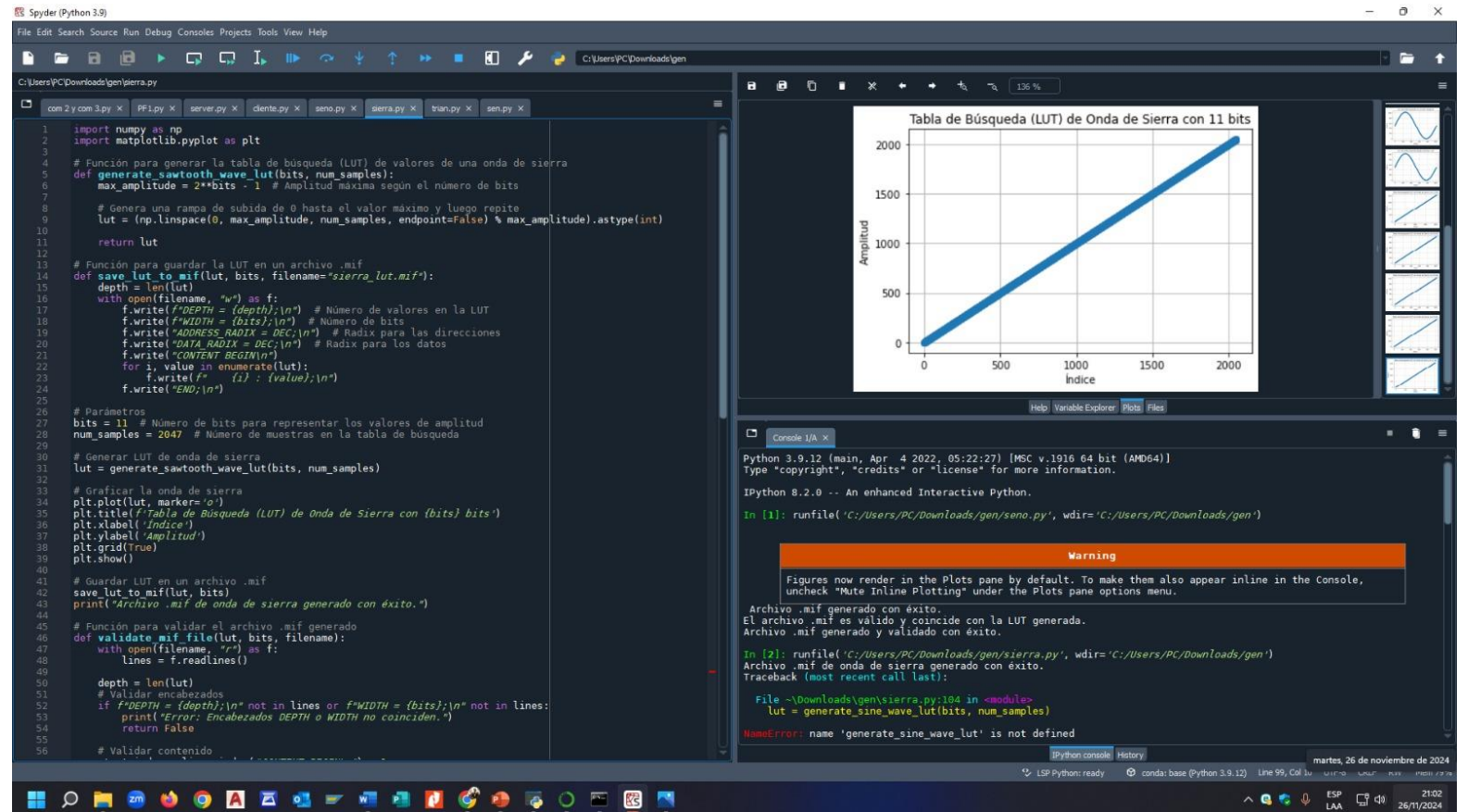
DESARROLLO DEL PROYECTO

- CÁLCULOS TEÓRICOS

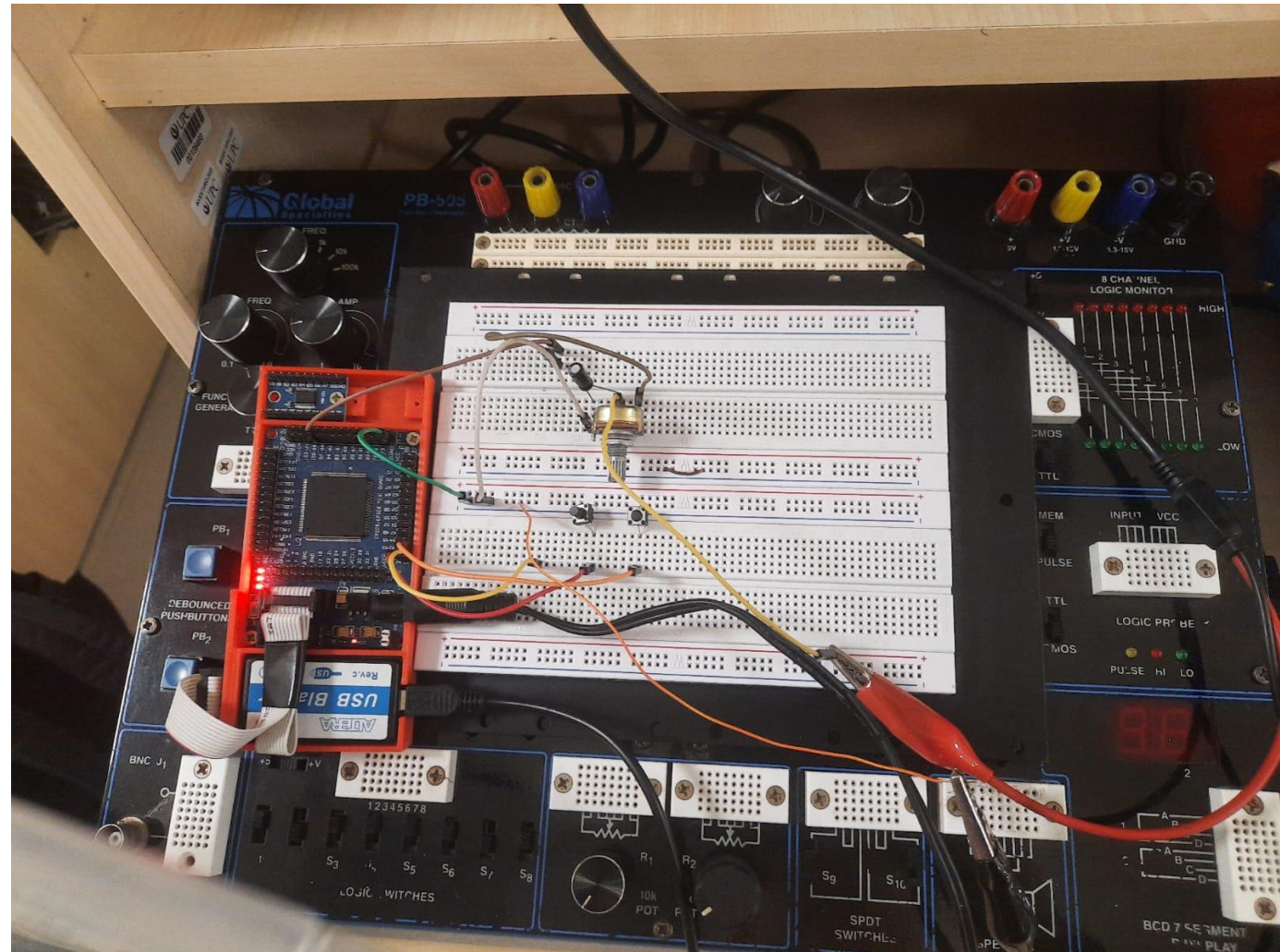


DESARROLLO DEL PROYECTO

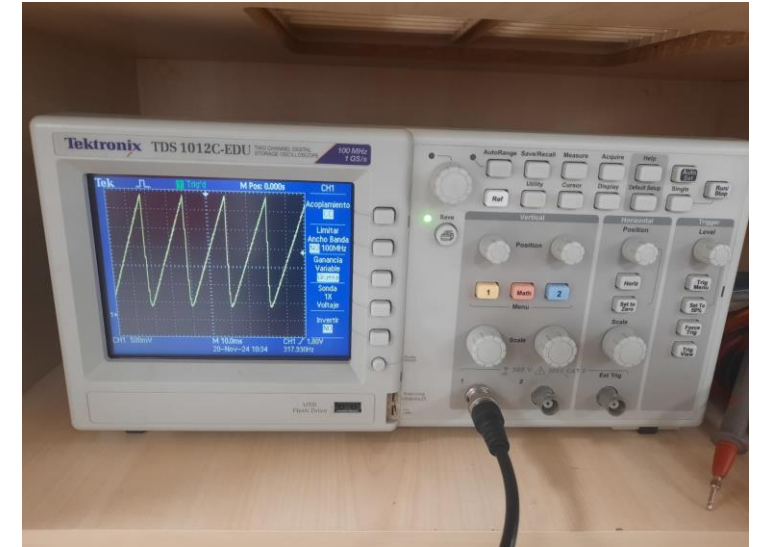
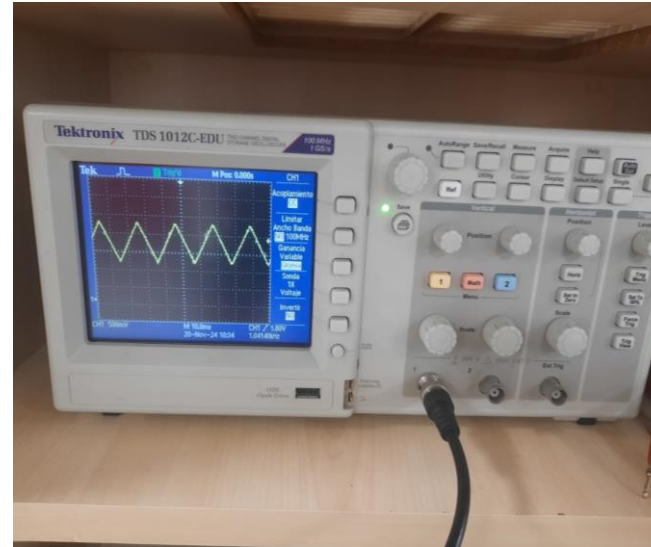
- CÁLCULOS TEÓRICOS



FUNCIONAMIENTO DEL SISTEMA



FUNCIONAMIENTO DEL SISTEMA





CONCLUSIONES



BIBLIOGRAFÍA

- "¿Qué es un capacitor o condensador eléctrico?," Quartux, [En línea]. Disponible en: <https://quartux.com/blog/que-es-un-capacitor-o-condensador-electrico/>. [Accedido: 24-Nov-2024].
- "¿Qué es un pulsador eléctrico?," Promelsa, [En línea]. Disponible en: <https://www.promelsa.com.pe/blog/post/que-es-pulsador-electrico.html>. [Accedido: 24-Nov-2024].
- "¿Qué es la resistencia?," Fluke Corporation, [En línea]. Disponible en: <https://www.fluke.com/es-pe/informacion/blog/electrica/que-es-la-resistencia>. [Accedido: 24-Nov-2024].