

INFORME DE LABORATORIO CALIFICADO

Número de evaluación LB(1-3): 2

Sección del curso: EL61

Integrantes (apellidos, nombres – código):

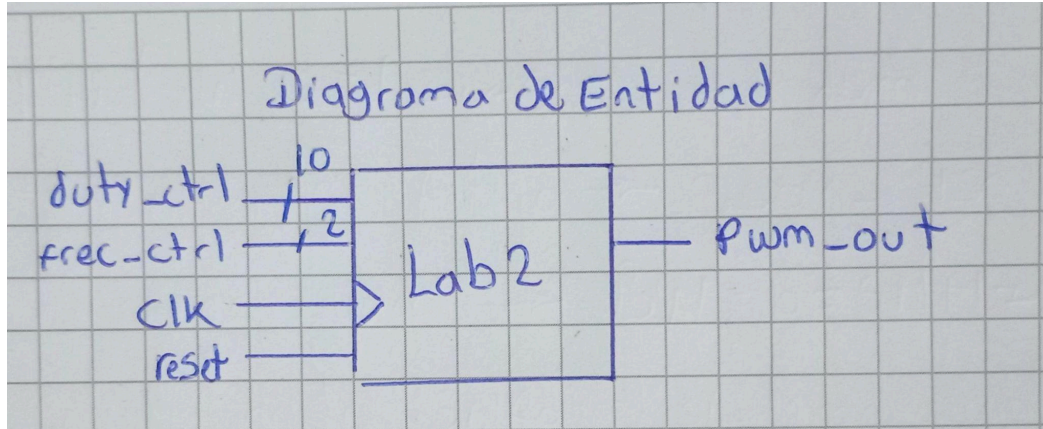
1. Chipana Barrientos, Jeam Carlos – U20201B207
2. Reymundo Ramos, Renzo Edmundo – U202119710

Fecha: Miércoles 18 de Setiembre

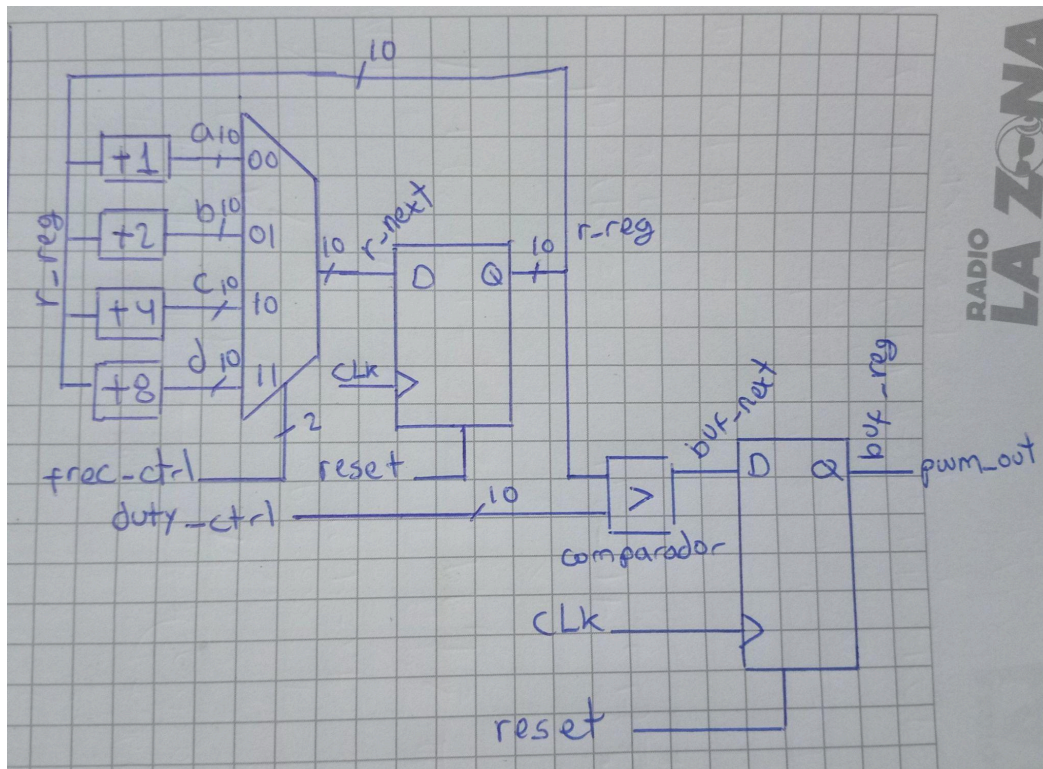
Nombre del profesor: Alonso Sanchez Huapaya

Desarrollo del laboratorio calificado: (Cada ítem deberá tener un párrafo introductorio donde se detalla textualmente lo que se realizó en dicho ítem) (Deben colocar la cantidad de ítems según corresponda en la guía del laboratorio).

1. Se muestra el diagrama de entidad implementado llamado "Lab2" en el cual se declaran los puertos de entradas y salidas.

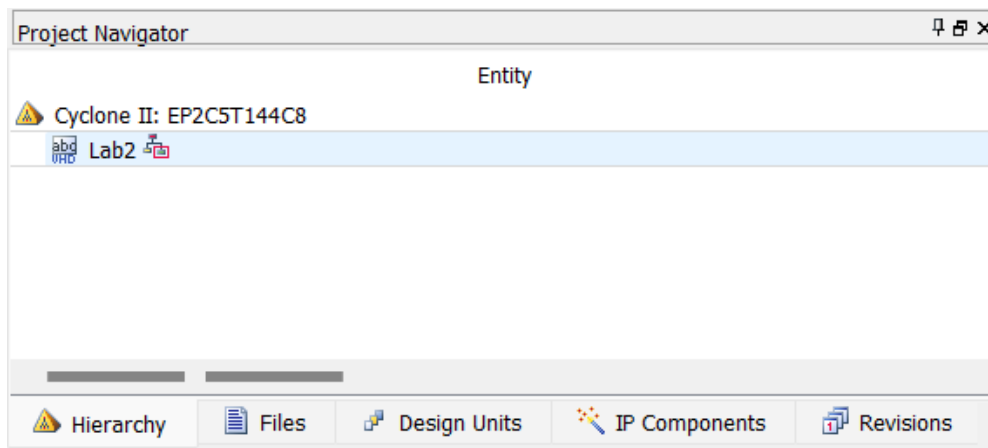
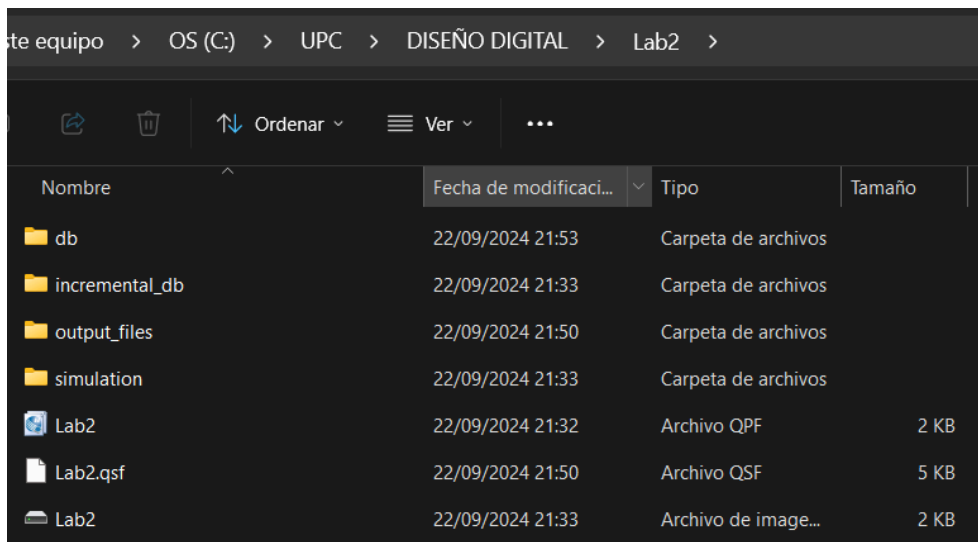


2. Se muestra el diagrama RTL

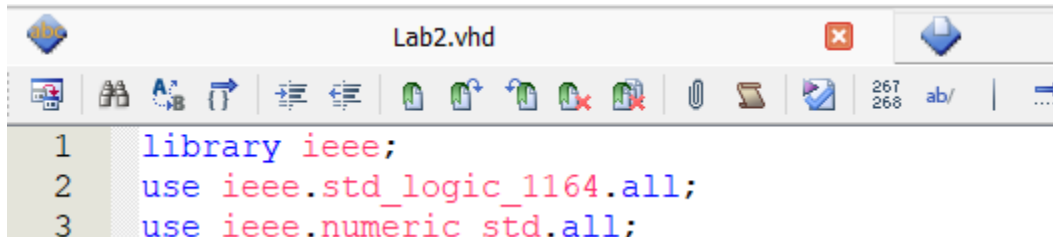


3. Se muestra la creación correcta del archivo y el código en VHDL.

A) Nombre correcto del proyecto, del top-level, del nombre del archivo VHD y el nombre de la entidad

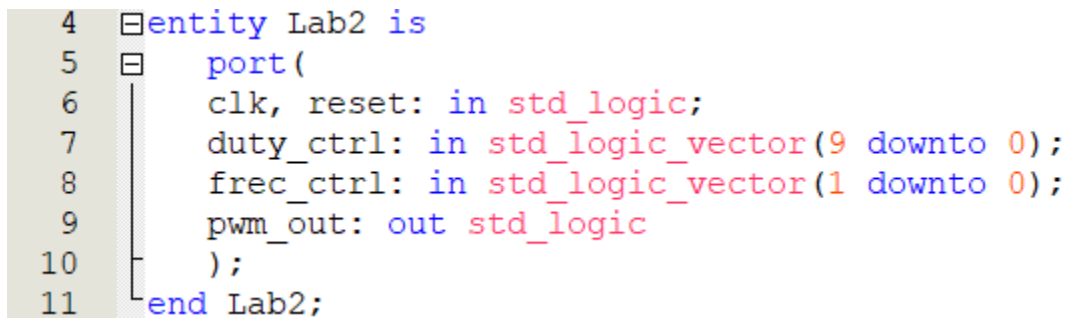


B) Declaración de las librerías necesarias para la aplicación:



```
1 library ieee;  
2 use ieee.std_logic_1164.all;  
3 use ieee.numeric_std.all;
```

C) Declaración de la entidad teniendo en cuenta el nombre correcto, cantidades y tipos de señales según lo detallado:



```
4 entity Lab2 is  
5     port(  
6         clk, reset: in std_logic;  
7         duty_ctrl: in std_logic_vector(9 downto 0);  
8         freq_ctrl: in std_logic_vector(1 downto 0);  
9         pwm_out: out std_logic  
10    );  
11 end Lab2;
```

D) Declaración de la arquitectura con la descripción adecuada de la entidad

```
12 architecture fn of Lab2 is
13     signal buf_next,buf_reg: std_logic;
14     signal r_next,r_reg: unsigned(9 downto 0);
15     signal a,b,c,d: unsigned(9 downto 0);
16 begin
17     process (clk, reset)
18     begin
19         --register & output buffer
20         if (reset='0') then
21             r_reg <= (others=>'0');
22             buf_reg <= '0';
23         elsif (clk'event and clk='1') then
24             r_reg <= r_next;
25             buf_reg <= buf_next;
26         end if;
27     end process;
28     -- next state logic
29     a<= r_reg + 1; --f/2^10
30     b<= r_reg + 2; --f/2^9
31     c<= r_reg + 4; --f/2^8
32     d<= r_reg + 8; --f/2^7
33
34     with freq_ctrl select
35     r_next<= a when "00",
36             b when "01",
37             c when "10",
38             d when "11";
39
40     --output logic
41     buf_next <=
42         '1' when (r_reg<unsigned(duty_ctrl)) or (duty_ctrl="0000000000") else
43         '0';
44
45     pwm_out <= buf_reg;
46
47 end fn;
```

4. Se observa una captura de la compilación correcta del programa.

The screenshot displays the Quartus II software interface during a successful compilation. The main window is titled 'Lab2.vhd' and shows a 'Flow Summary' report. The report indicates that the compilation was successful on September 22, 2024, at 21:50:10. The report includes details about the Quartus II version (13.0.1), the device (Cyclone II EP2CST144C8), and various timing and resource usage statistics.

Flow Summary

Flow Status	Successful - Sun Sep 22 21:50:10 2024
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 S3 Web Edition
Revision Name	Lab2
Top-level Entity Name	Lab2
Family	Cyclone II
Device	EP2CST144C8
Timing Models	Final
Total logic elements	67 / 4,608 (1 %)
Total combinational functions	67 / 4,608 (1 %)
Dedicated logic registers	11 / 4,608 (< 1 %)
Total registers	11
Total pins	15 / 89 (17 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

The 'Tasks' pane on the left shows the compilation process with a 'Compilation' task selected. The 'Status' pane at the bottom shows the progress of the compilation, with all tasks (Full Compilation, Analysis & Synthesis, Fitter, Assembler, TimeQuest Timing Analyzer) completed at 100%.

Tasks

Task	Time
Compile Design	00:00:07
Analysis & Synthesis	00:00:01
Edit Settings	
View Report	
Analysis & Elaboration	
Partition Merge	
View Report	
Design Partition Planner	

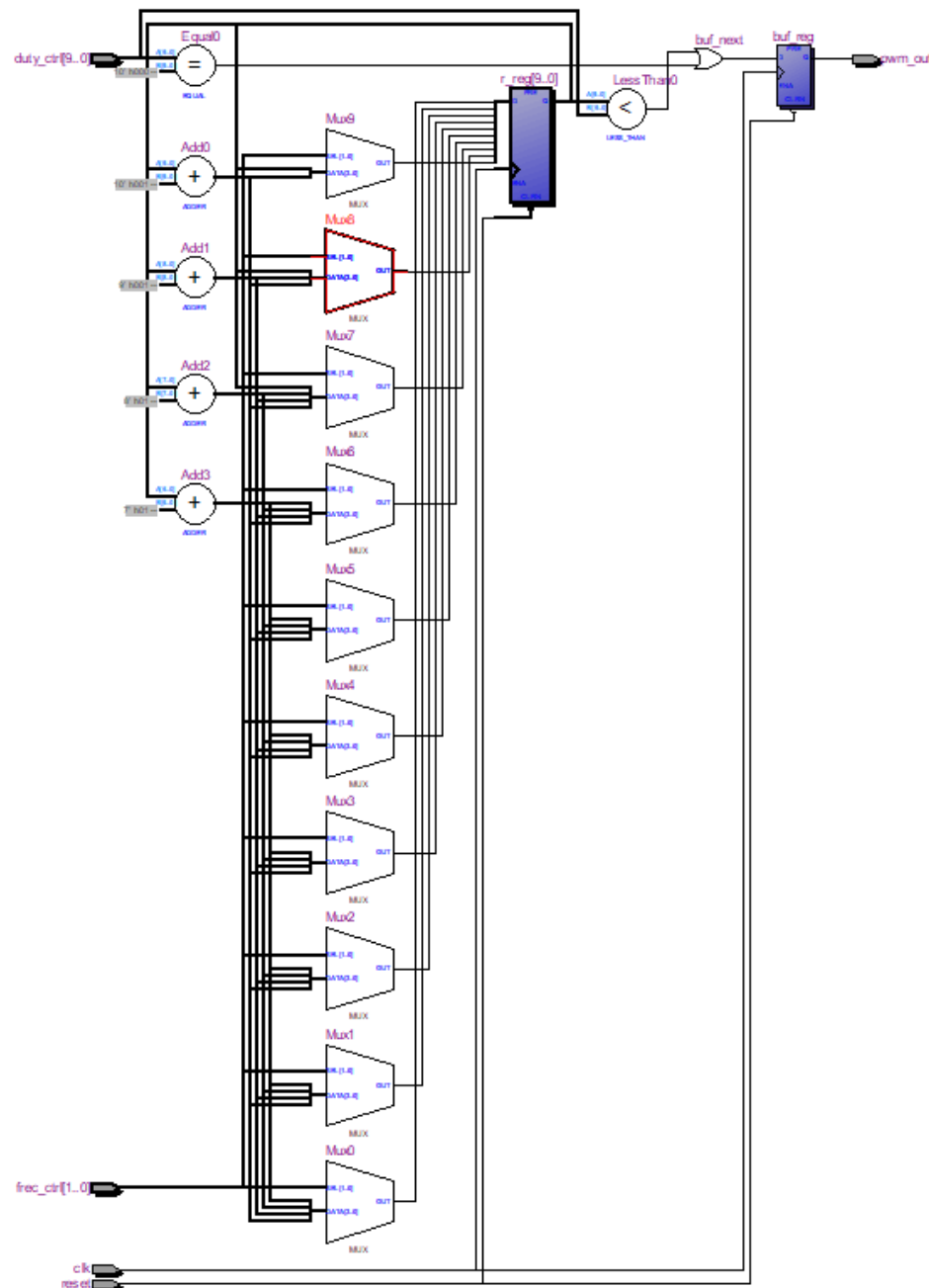
Status

Module	% Progress	Time
Full Compilation	100%	00:00:07
Analysis & Synthesis	100%	00:00:01
Fitter	100%	00:00:03
Assembler	100%	00:00:01
TimeQuest Timing Analyzer	100%	00:00:01

The 'Quartus II Tcl Console' at the bottom shows the command 'tcl>' and the status 'x'.

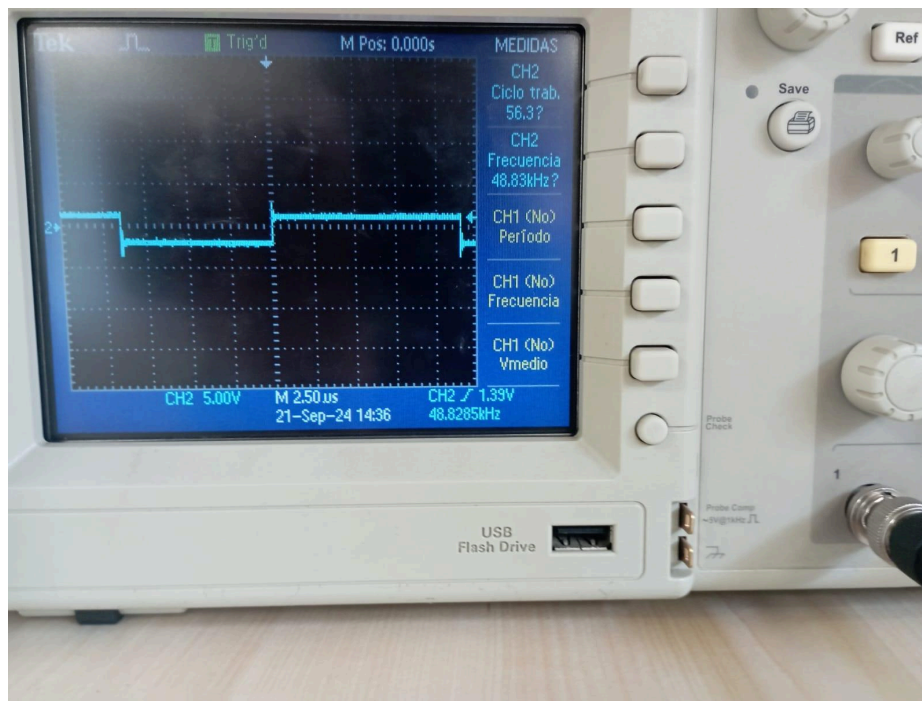
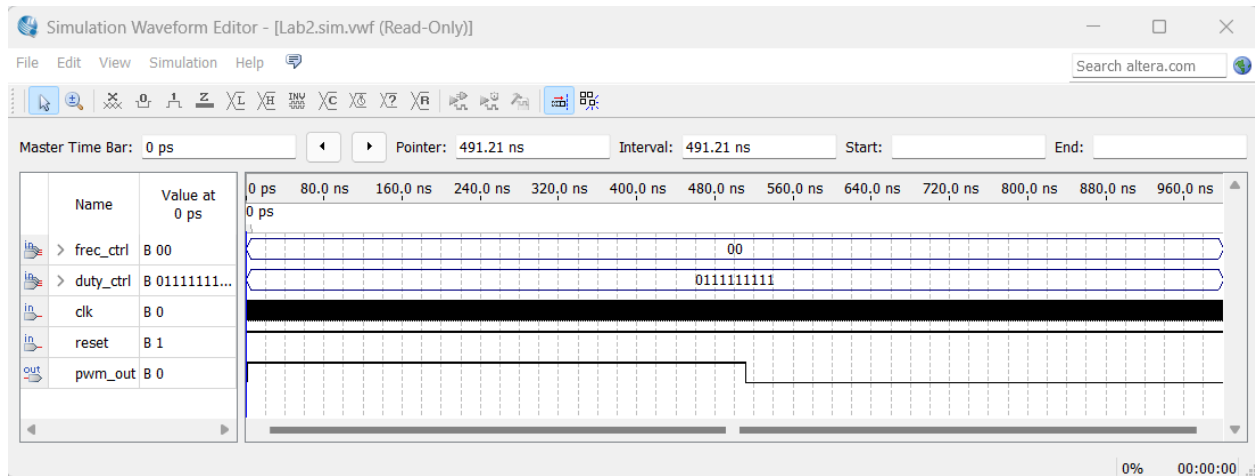
5. Se visualiza el modelo RTL que proporciona el Quartus.

Lab2:1

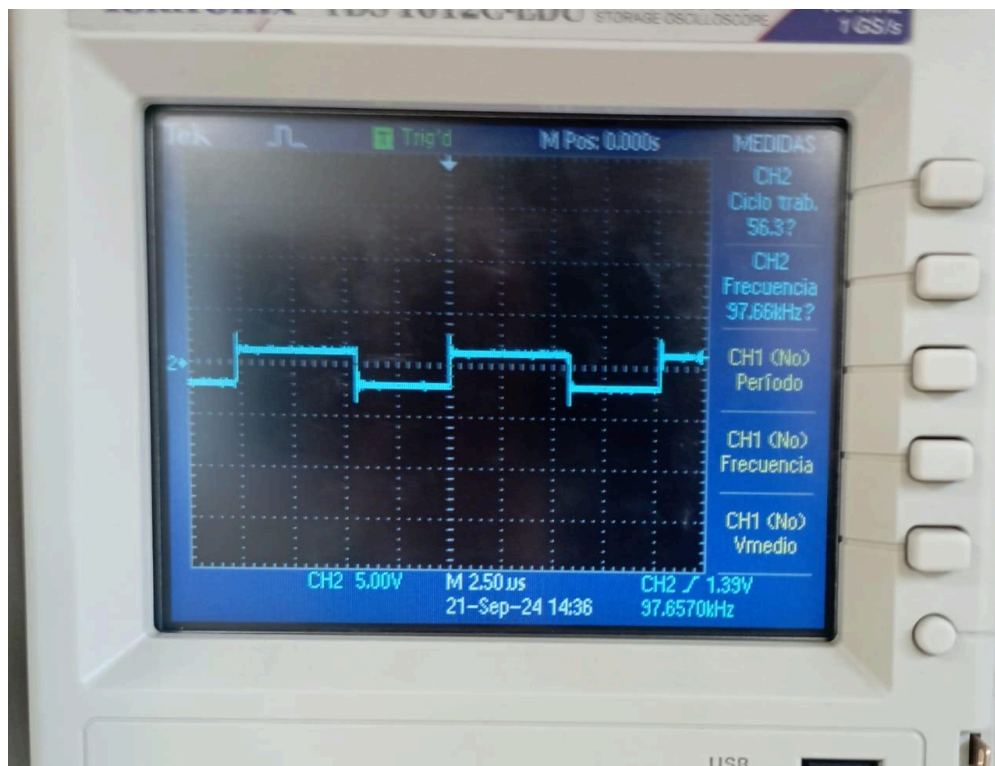
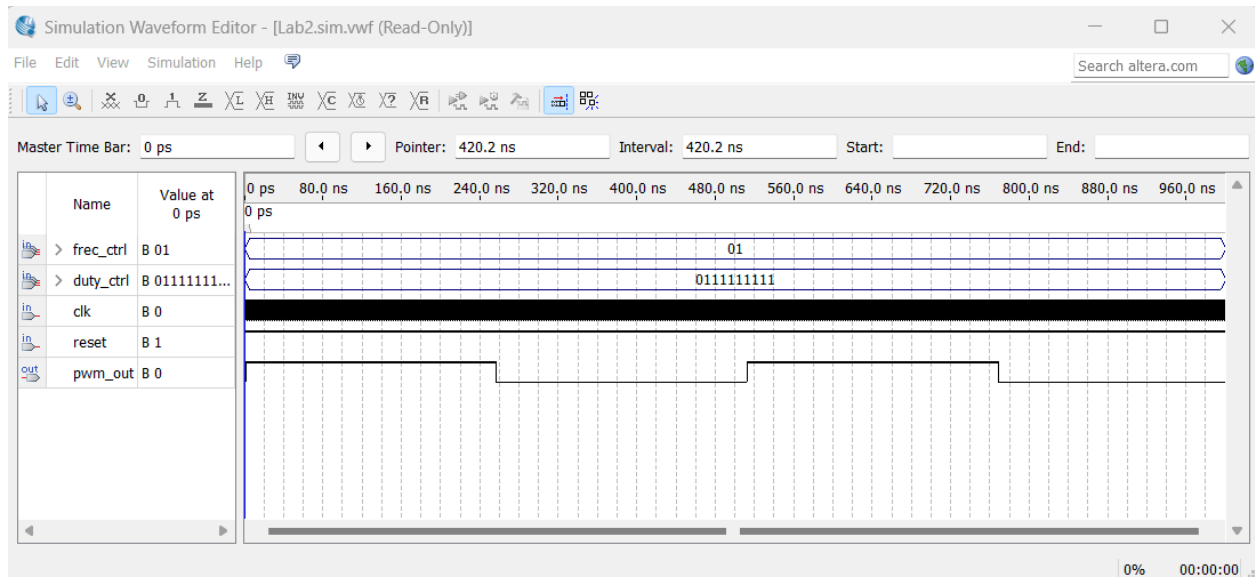


6. Se muestra varios resultados de la salida en la simulación del archivo VWF

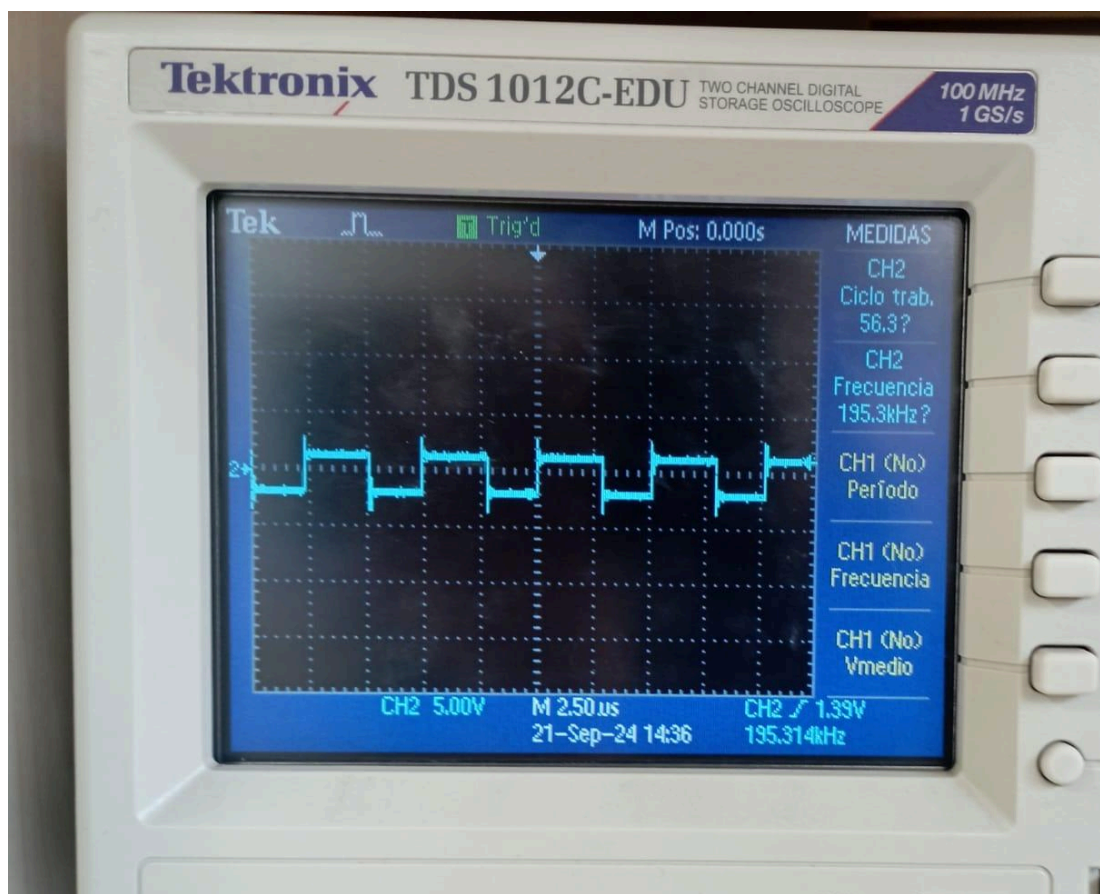
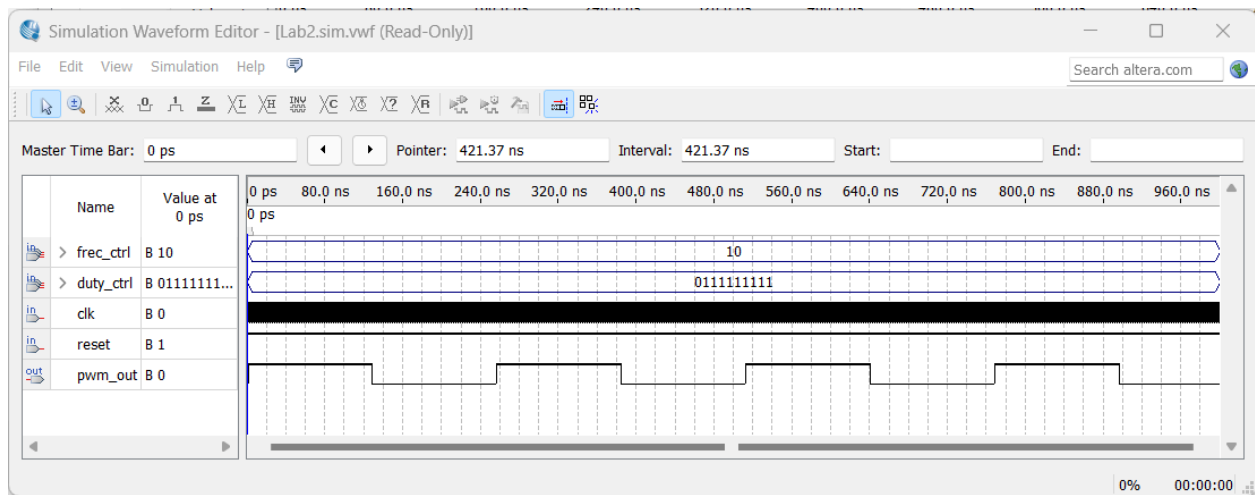
DEMO 1:



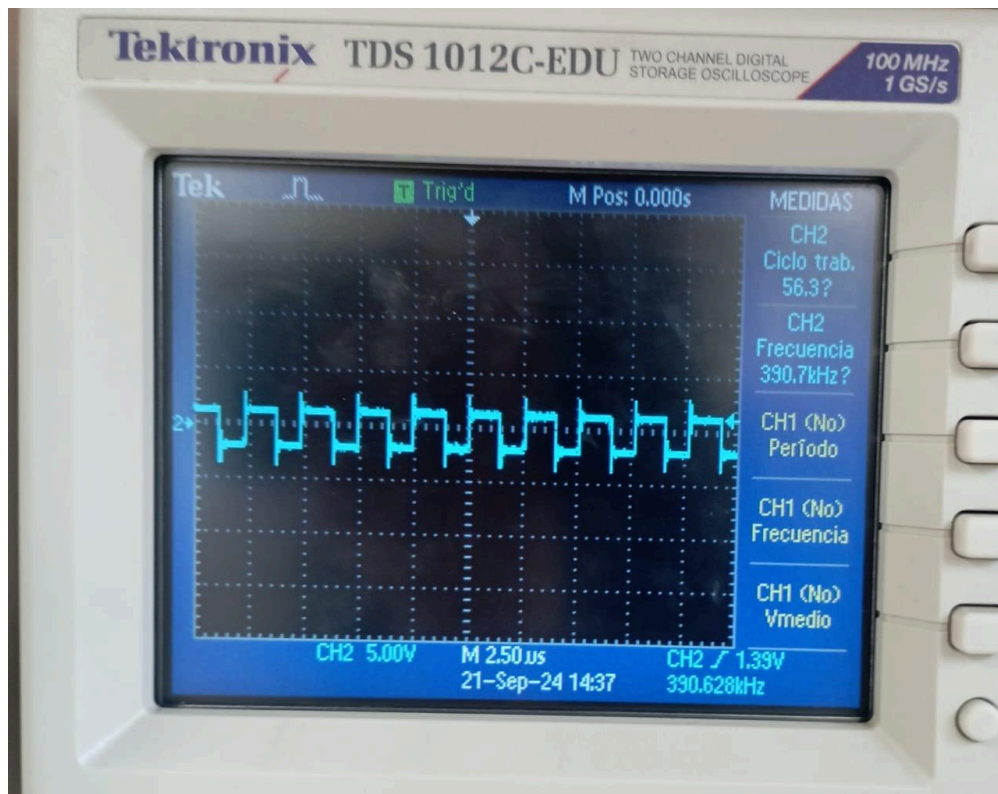
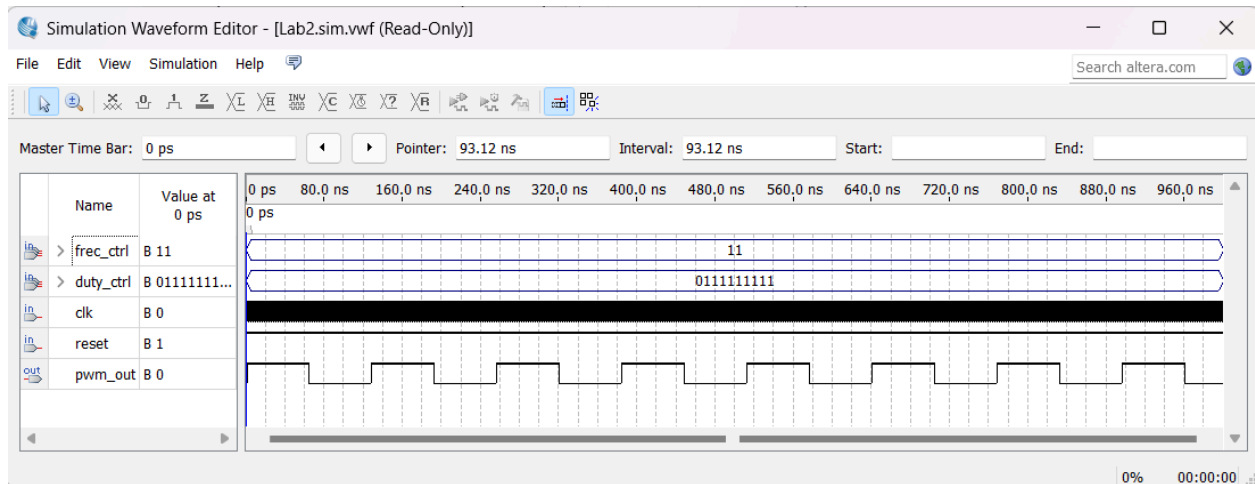
DEMO 2:



DEMO 3:



DEMO 4:



7. Video donde se muestra el correcto funcionamiento del hardware

<https://youtu.be/6MLGty8LjhM>

Comentarios finales acerca del laboratorio calificado:

En este laboratorio se desarrolló un circuito secuencial síncrono, el cual contiene un reset y un reloj de un bit. Además, se podrá controlar 4 diferentes frecuencias en el contador mediante fec_ctrl(2 bits) y luego siendo comparado con una entrada de ancho de pulso el cual es duty_ctrl(10 bits), para al final mostramos una onda generada en la salida pwn_out de 10 bits.