**INFORME DE LABORATORIO CALIFICADO**

Número de evaluación LB(1-3): 2

Sección del curso: EL61

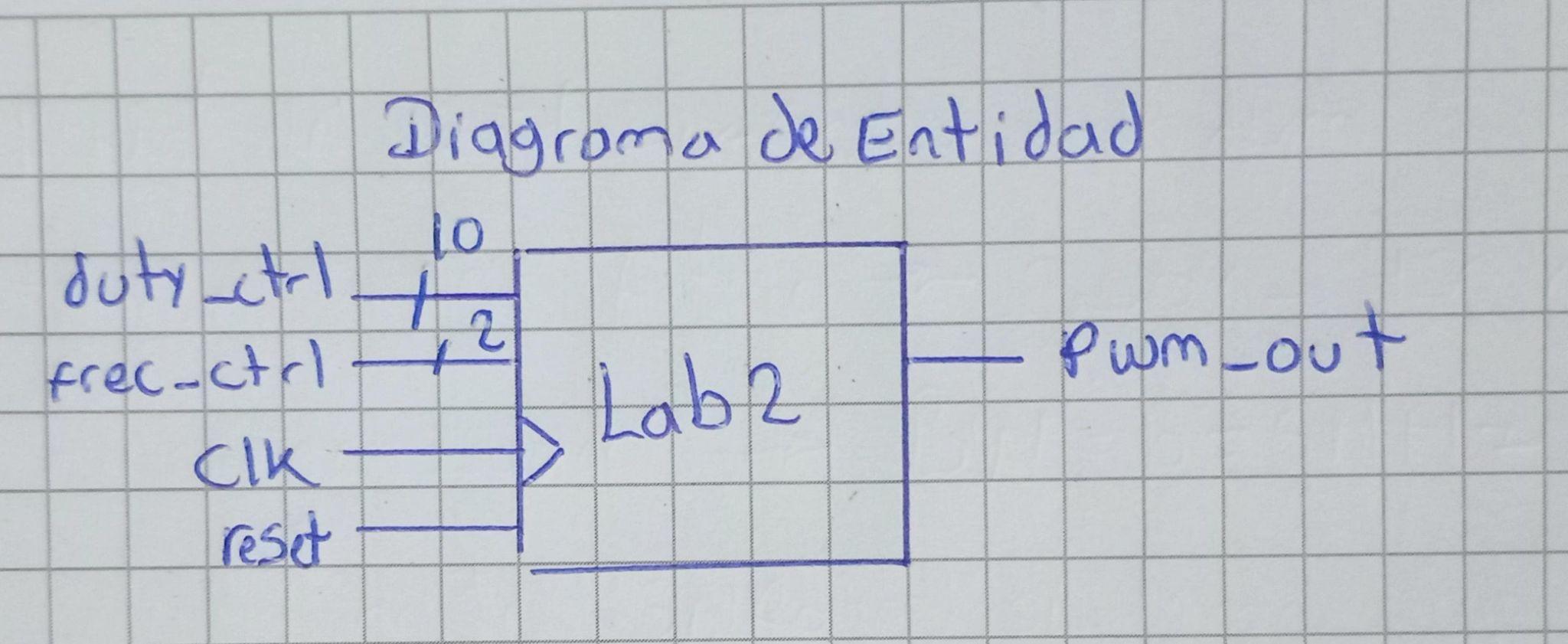
Integrantes (apellidos, nombres – código):

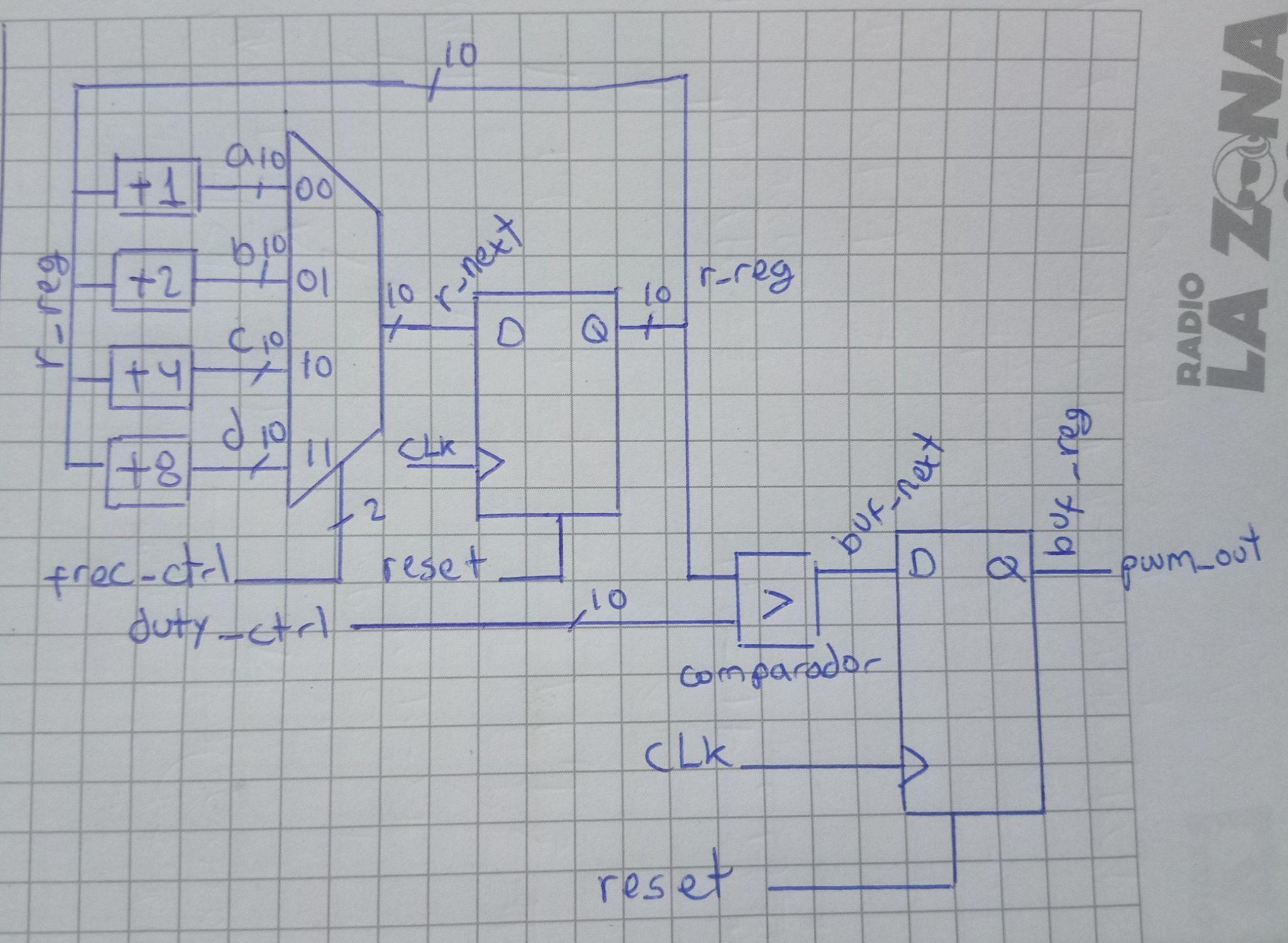
1. Chipana Barrientos, Jeam Carlos – U20201B207
2. Reymundo Ramos, Renzo Edmundo – U202119710

Fecha: Miércoles 18 de Setiembre

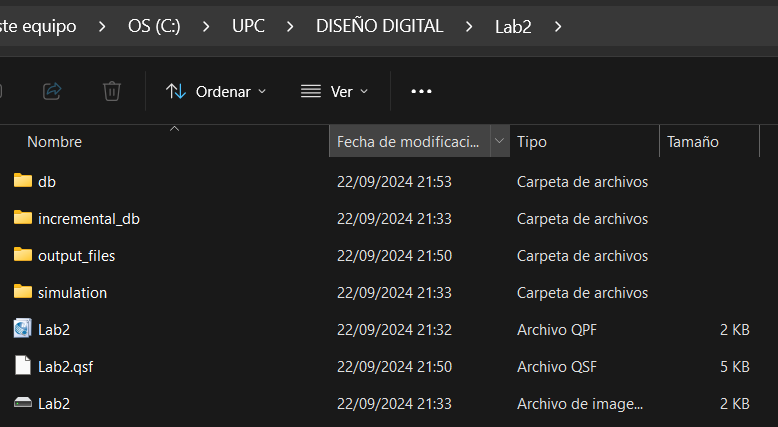
Nombre del profesor: Alonso Sanchez Huapaya

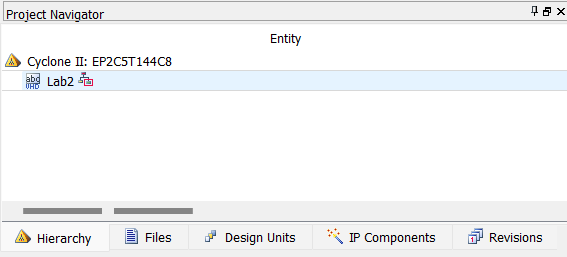
**Desarrollo del laboratorio calificado: (Cada ítem deberá tener un párrafo introductorio donde se detalla textualmente lo que se realizó en dicho ítem) (Deben colocar la cantidad de ítems según corresponda en la guía del laboratorio).**

1. Se muestra el diagrama de entidad implementado llamado “Lab2” en el cual se declaran los puertos de entradas y salidas.
2. Se muestra el diagrama RTL



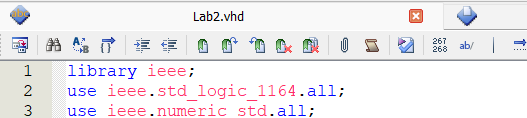
1. Se muestra la creación correcta del archivo y el código en VHDL.
2. Nombre correcto del proyecto, del top-level, del nombre del archivo VHD y el nombre de la entidad



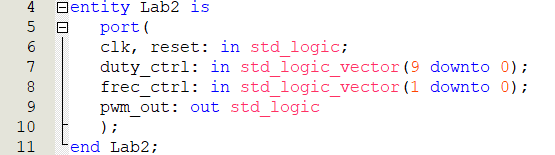




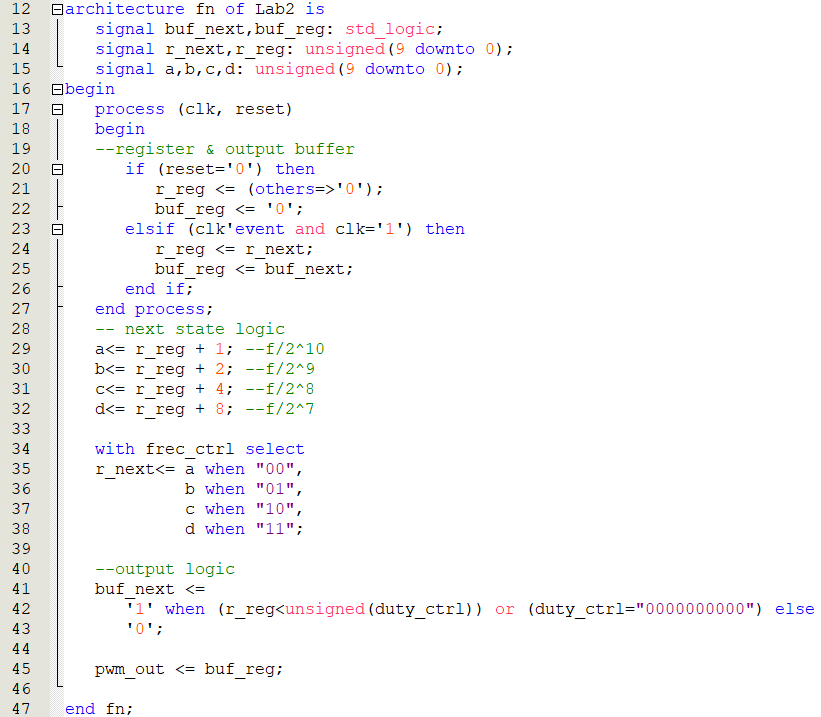
1. Declaración de las librerías necesarias para la aplicación:



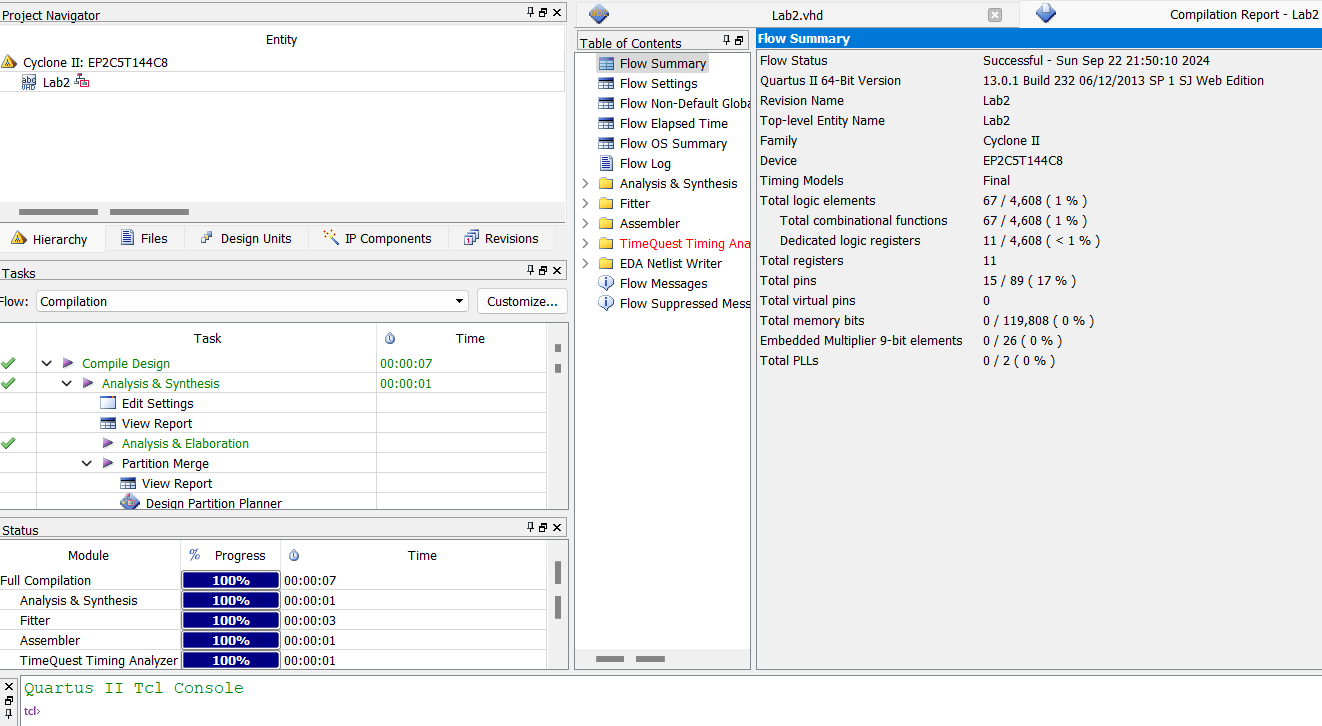
1. Declaración de la entidad teniendo en cuenta el nombre correcto, cantidades y tipos de señales según lo detallado:



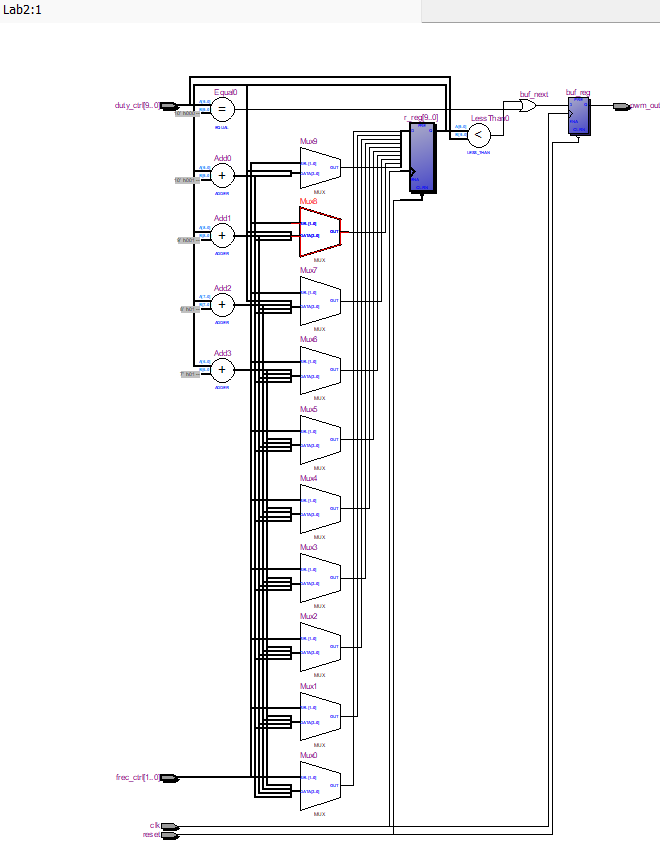
1. Declaración de la arquitectura con la descripción adecuada de la entidad



4. Se observa una captura de la compilación correcta del programa.

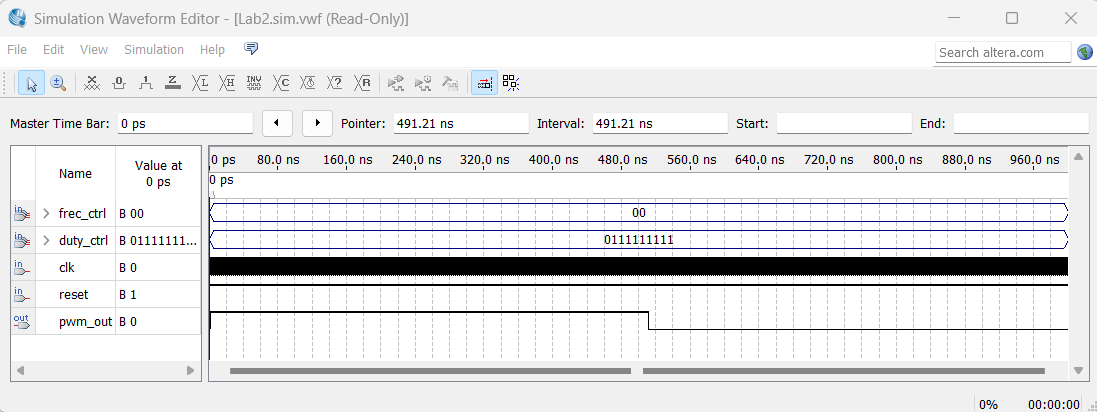


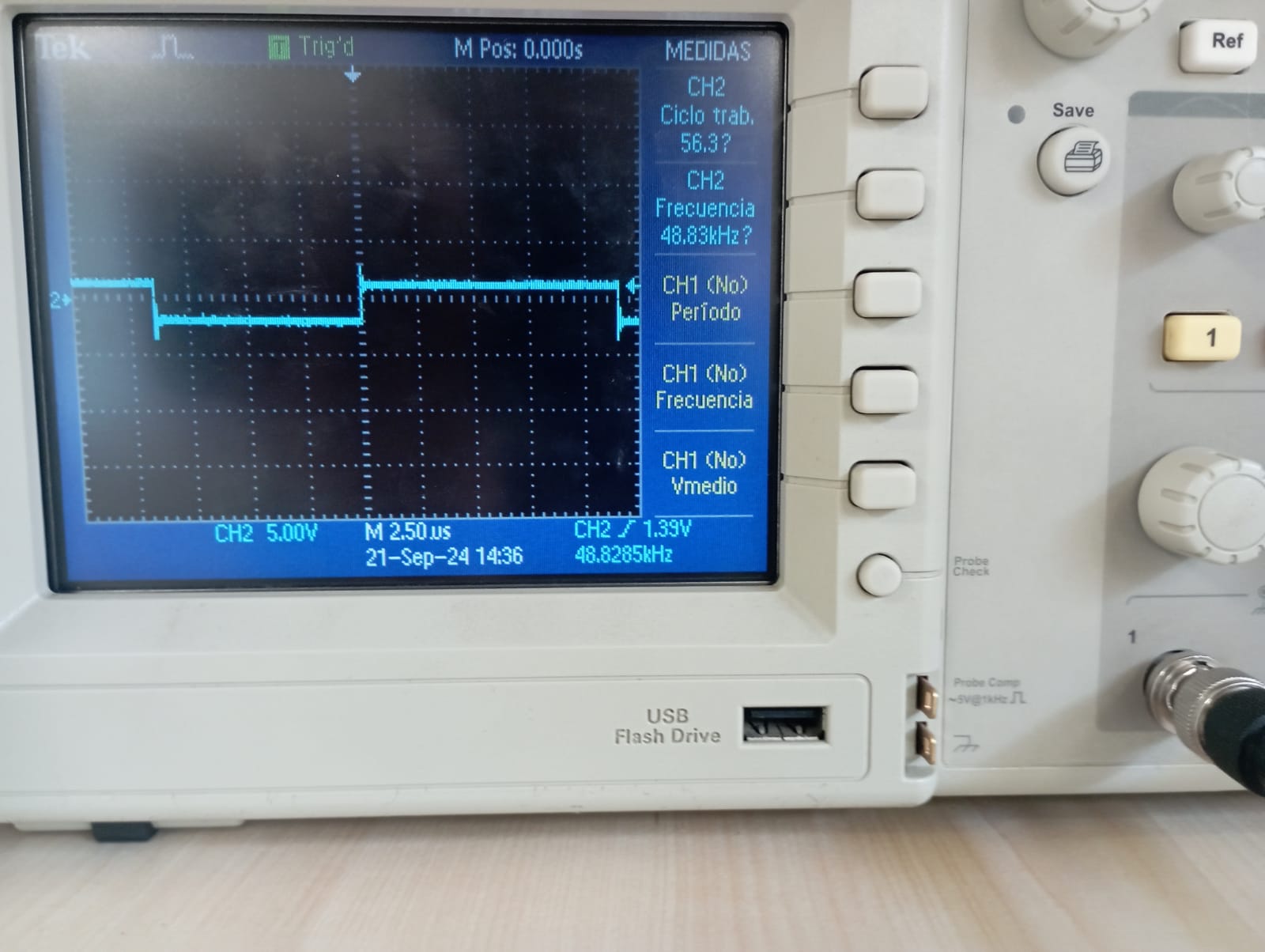
5. Se visualiza el modelo RTL que proporciona el Quartus.



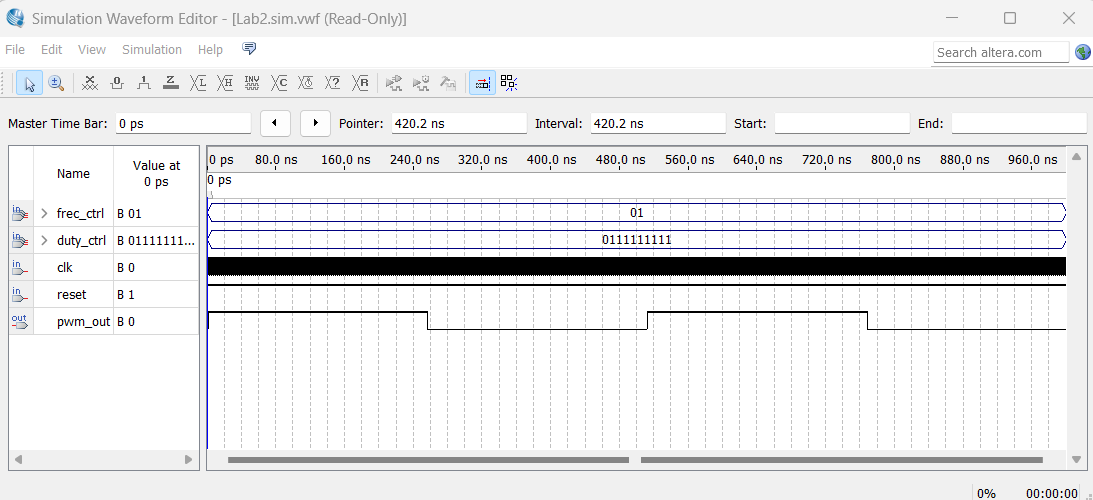
6. Se muestra varios resultados de la salida en la simulación del archivo VWF

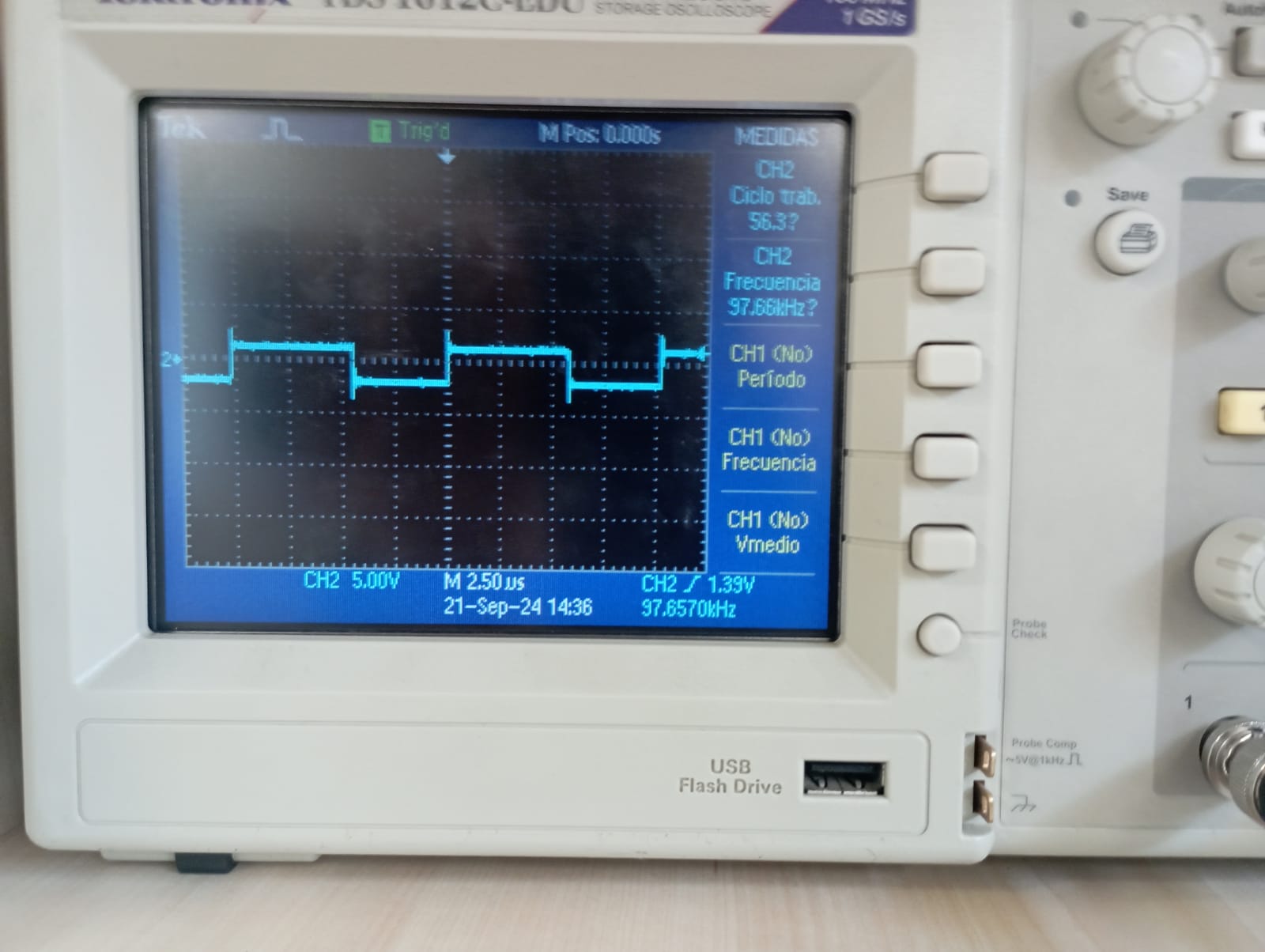
DEMO 1:



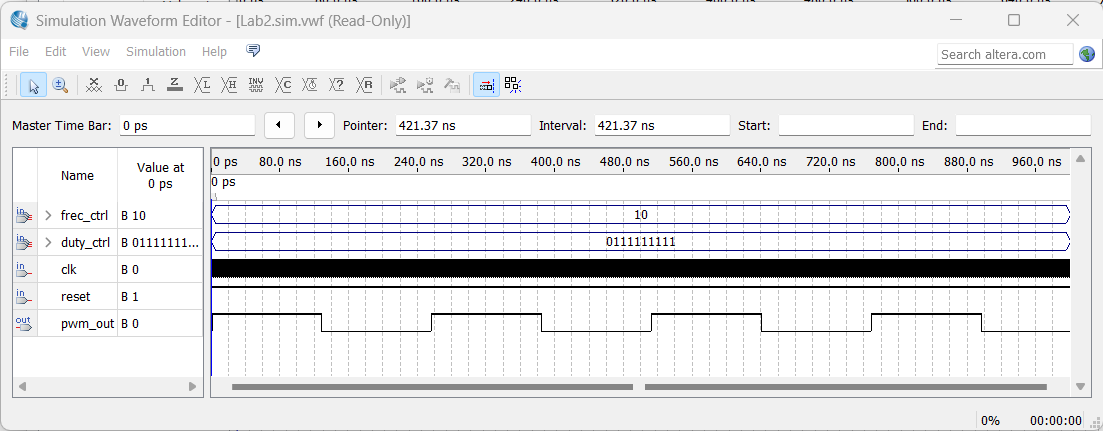


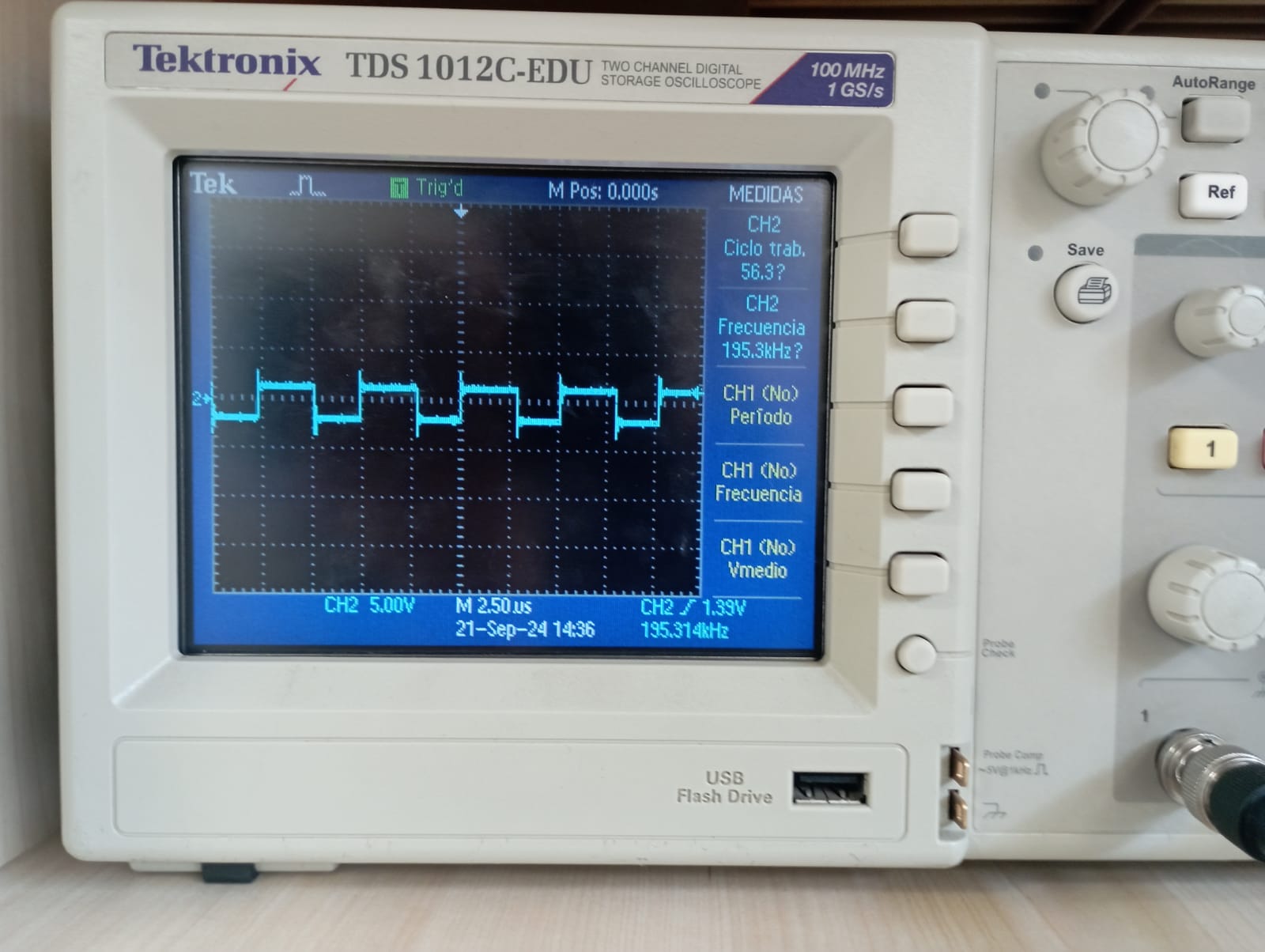
DEMO 2:



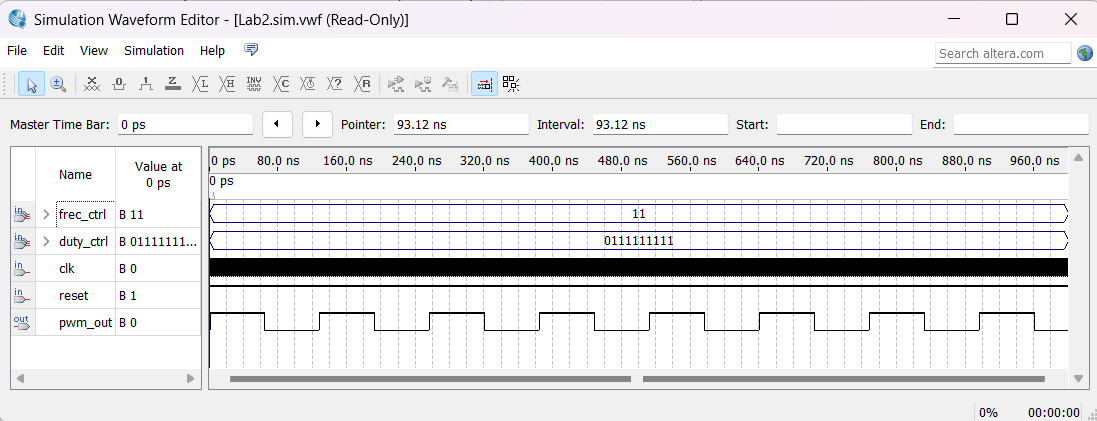


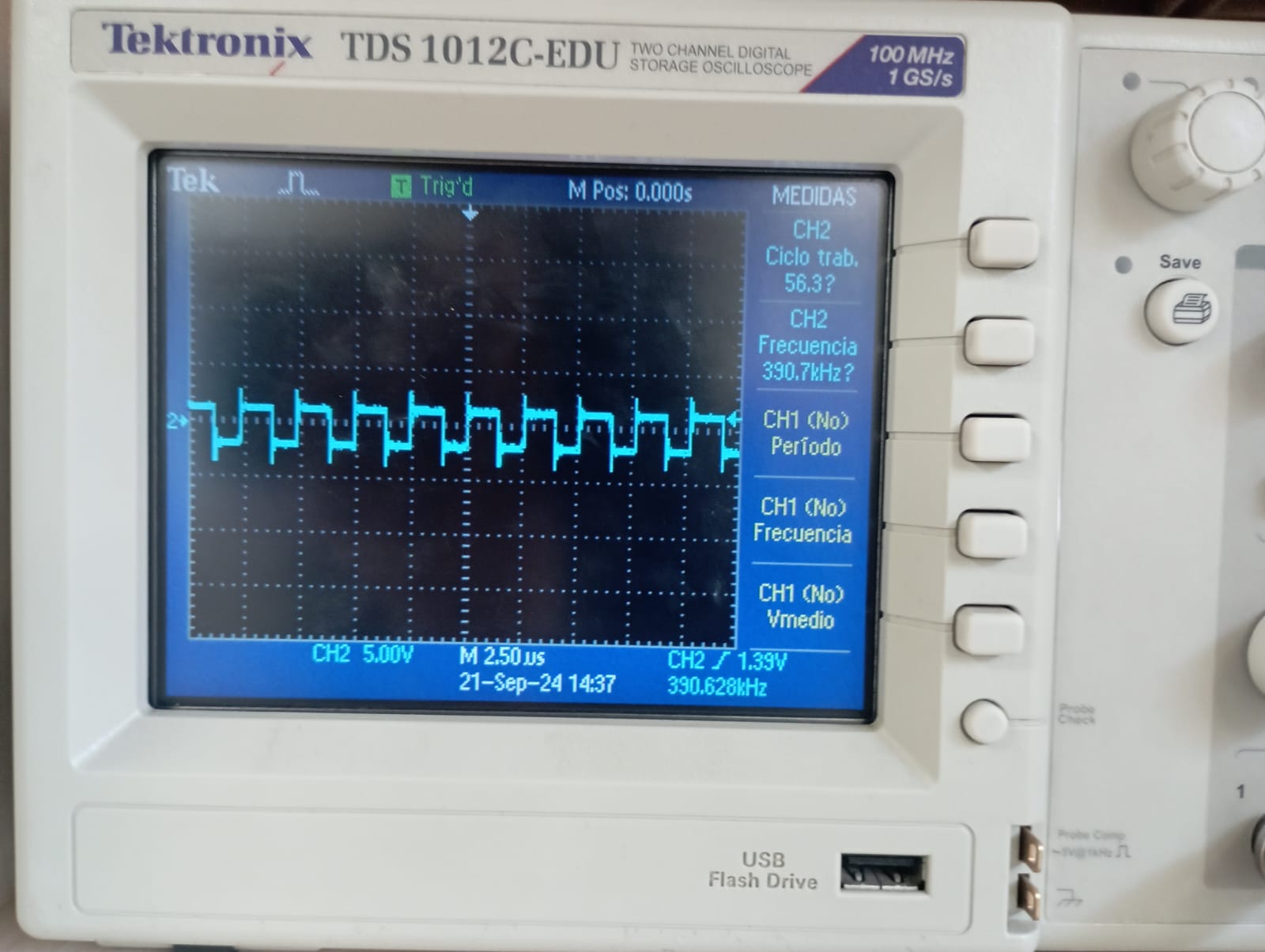
DEMO 3:





DEMO 4:





7. Video donde se muestra el correcto funcionamiento del hardware

<https://youtu.be/6MLGty8LjhM>

**Comentarios finales acerca del laboratorio calificado:**

En este laboratorio se desarrolló un circuito secuencial síncrono, el cual contiene un reset y un reloj de un bit. Además, se podrá controlar 4 diferentes frecuencias en el contador mediante fec\_ctrl(2 bits) y luego siendo comparado con una entrada de ancho de pulso el cual es duty\_ctrl(10 bits), para al final mostramos una onda generada en la salida pwn\_out de 10 bits.