



**INSTITUTO
FEDERAL**

Santa Catarina

Câmpus
São José

Modificações Timer

DISPOSITIVOS LÓGICOS PROGRAMÁVEIS II (DLP029007)

Matheus Pires Salazar, Rhenzo Hideki Silva Kajikawa

2 de abril de 2024

Sumário

1. Introdução	3
2. Resolução	4
2.1. Adicionar o centesimo	4
2.2. Adicionar PLL	5
2.3. Modificar contadores para o BCD	10
2.4. Modificar para o LFSR	11
2.5. Comparativos	12
3. Conclusão	12

1. Introdução

No relatório será apresentado o desenvolvimento de um relógio digital, utilizando diferentes metodos e evoluções do código, começando com um clock de 50MHz e posteriormente utilizando um PLL para a geração de um sinal de clock de 10 kHz.

2. Resolução

2.1. Adicionar o centesimo

A primeira parte do projeto foi a adição do centésimo de segundo. Inicialmente foi-se dado um código para ser adaptado. O código trabalhado tinha os contadores de segundos e de minutos.

A implementação teve 2 etapas. Primeiramente ajustando o código que foi dado em aula e o adaptando para adicionar mais uma contagem , sendo essa os centissegundos . A segunda parte foi corrigir a contagem do clock , isso ocorreu pois o código original contava para o ciclo de 50 MHz seria igual a 1 segundo, porém agora seria necessário contar valores abaixo de 1 segundo , e como queríamos contra o centissegundo a adaptação foi dividir os contadores que geravam 1 segundo por 100 , dessa forma foi possível obter o centésimo de segundo.

Esta parte foi a adição do centésimo de segundo.

A visualização do rtl ficou da seguinte maneira:

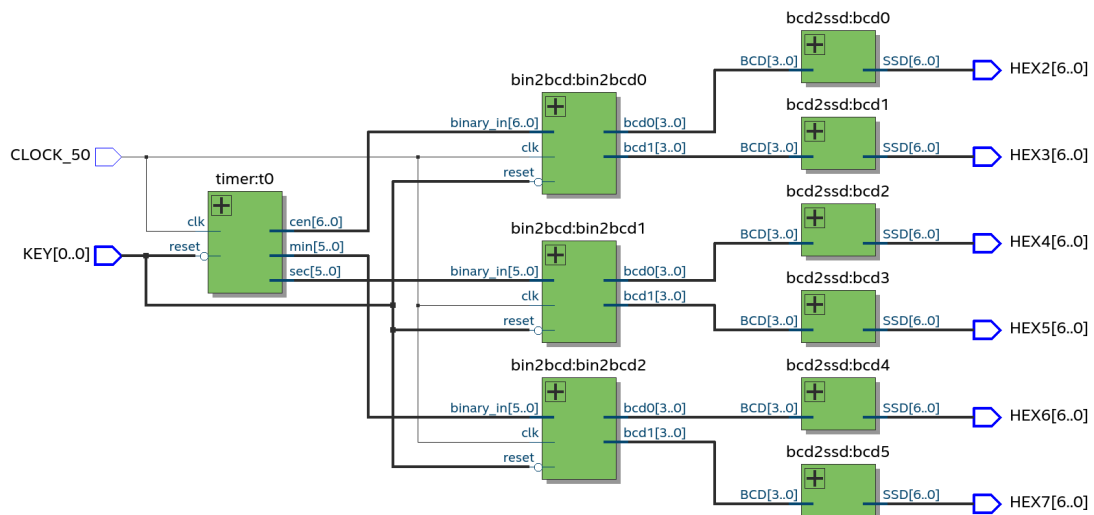


Figura 1: Fonte: Elaborada pelo autor

Visualização do .do para testar o código

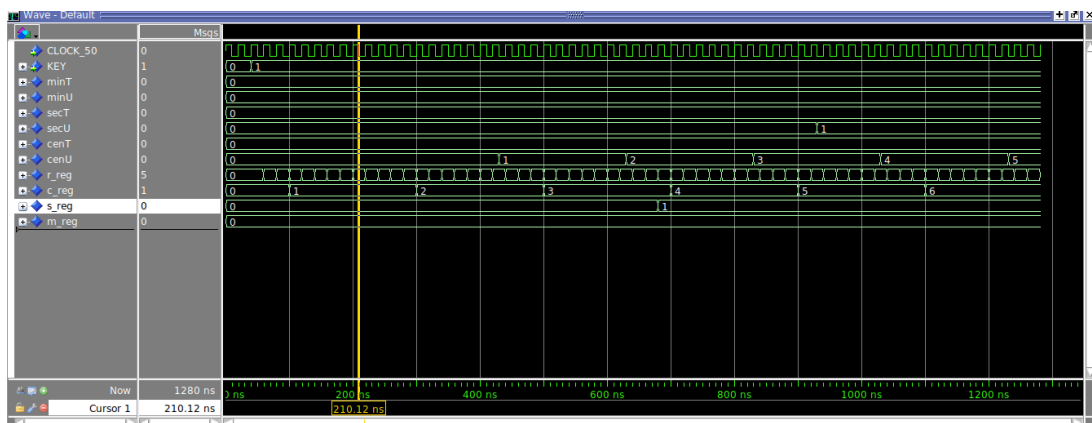


Figura 2: Fonte: Elaborada pelo autor

2.2. Adicionar PLL

A segunda parte do projeto foi a implementação da componente que converte o clock de 50MHz para 10KHz. A adição do PLL foi dada da seguinte forma :

Compilar o código, seguir na aba ipcatalog e procurar pelo elemento ALTPLL

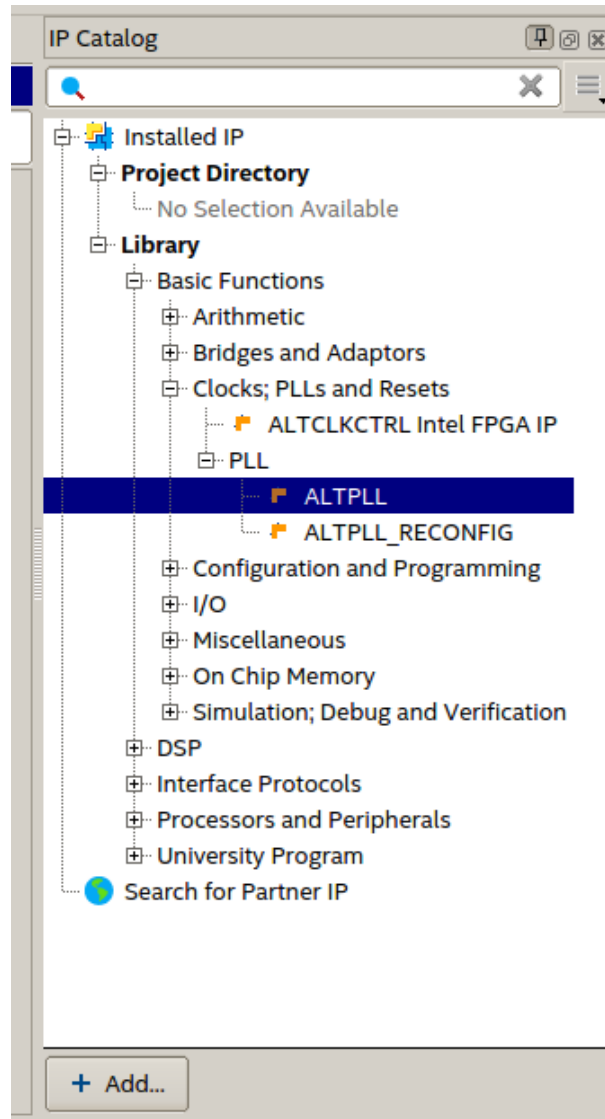


Figura 3: Fonte: Elaborada pelo autor

Selecionando o elemento ALTPLL será aberto uma aba nova, nesta aba serão configuradas os elementos para ser gerado o pll desejado. Primeiramente coloca-se a frequência correta de entrada em inclk0 input.

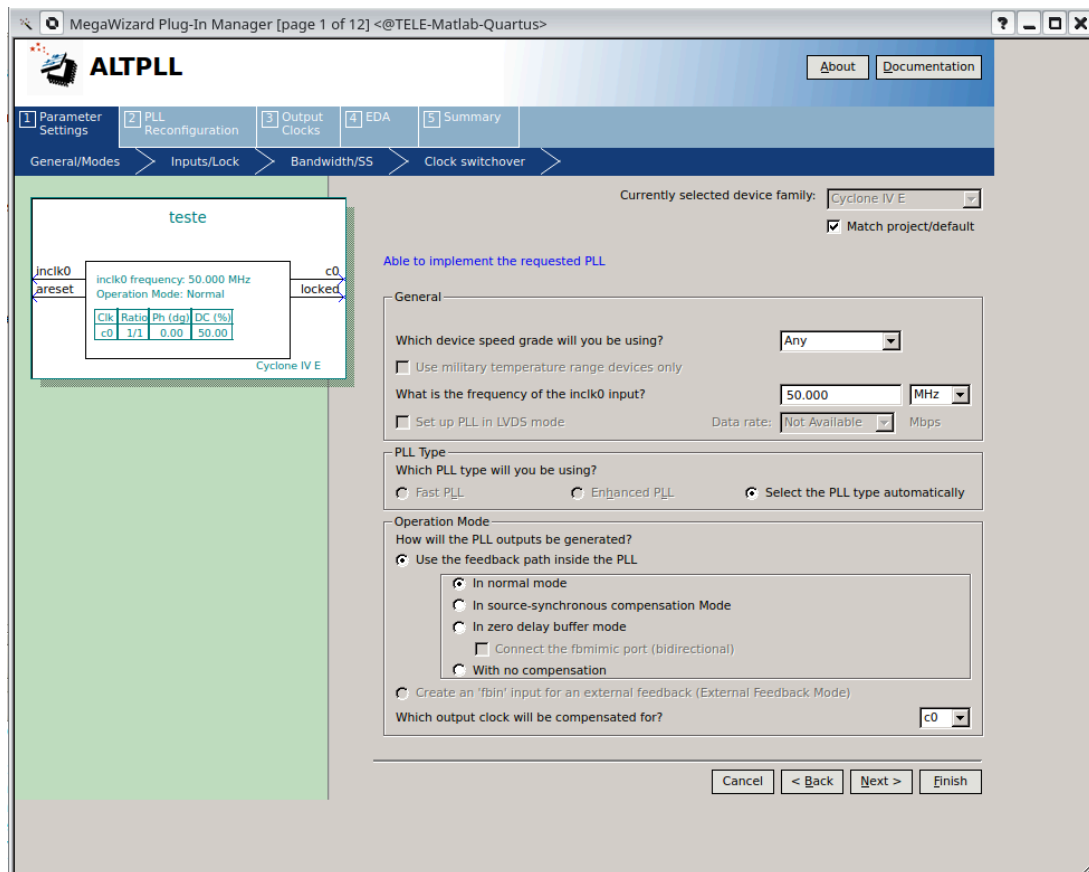


Figura 4: Fonte: Elaborada pelo autor

Após colocar a frequência de entrada correta , é colocado na terceira pagina das configurações em “Output clock”, nessa aba é necessário selecionar “Enter output clock frequency” para ajustar a frequência desejada, no caso deste projeto foi decidida a frequência de 10 MHz

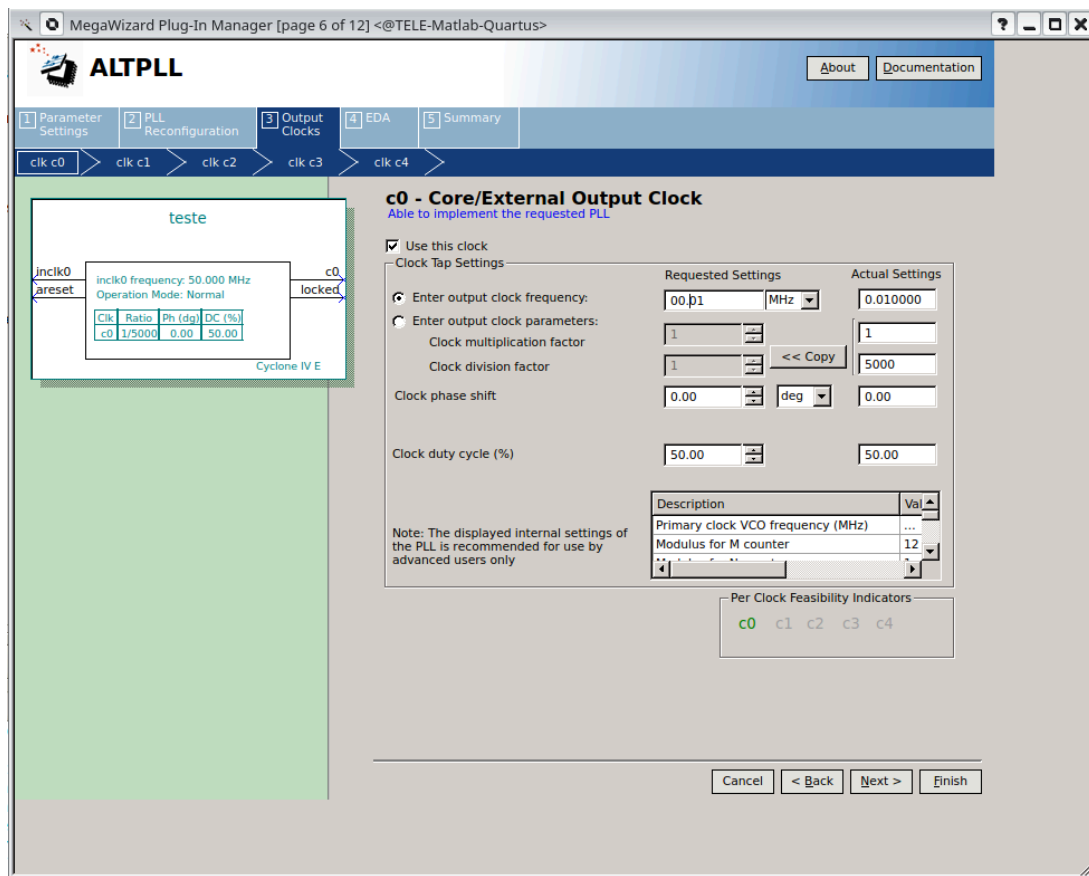


Figura 5: Fonte: Elaborada pelo autor

Após a selecionar a frequência de saída , pula-se para a ultima etapa e seliciona-se tanto os arquivos com final .cmp e .vhd

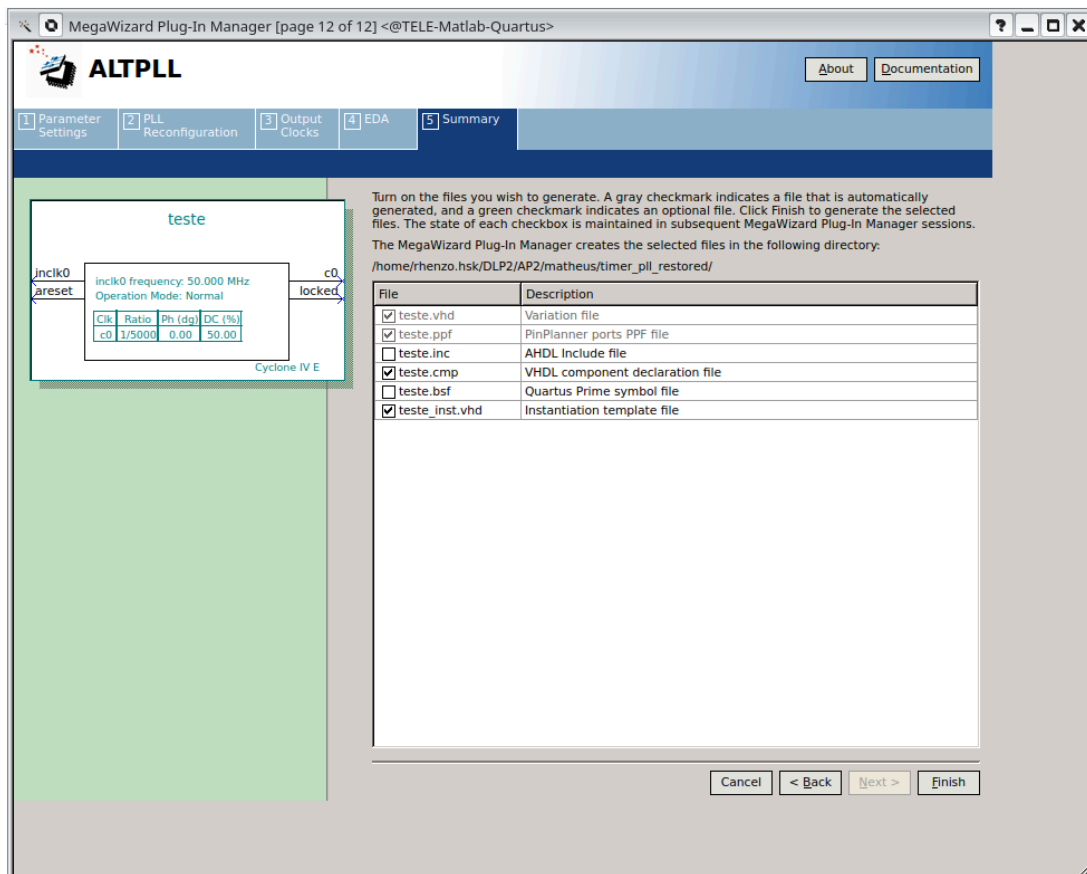


Figura 6: Fonte: Elaborada pelo autor

Desta forma é gerado o arquivo PLL , que deverá ser inserido no top-level do código do projeto desejado.

Abaixo parte do código gerado , nele é possível ver os parâmetros para a converção de clock que ocorre

```

GENERIC MAP (
    bandwidth_type => "AUTO",
    clk0_divide_by => 5000,
    clk0_duty_cycle => 50,
    clk0_multiply_by => 1,
    clk0_phase_shift => "0",
    compensate_clock => "CLK0",
    inclk0_input_frequency => 20000,

```

Após inserir o pll o novo RTL ficou desta maneira:

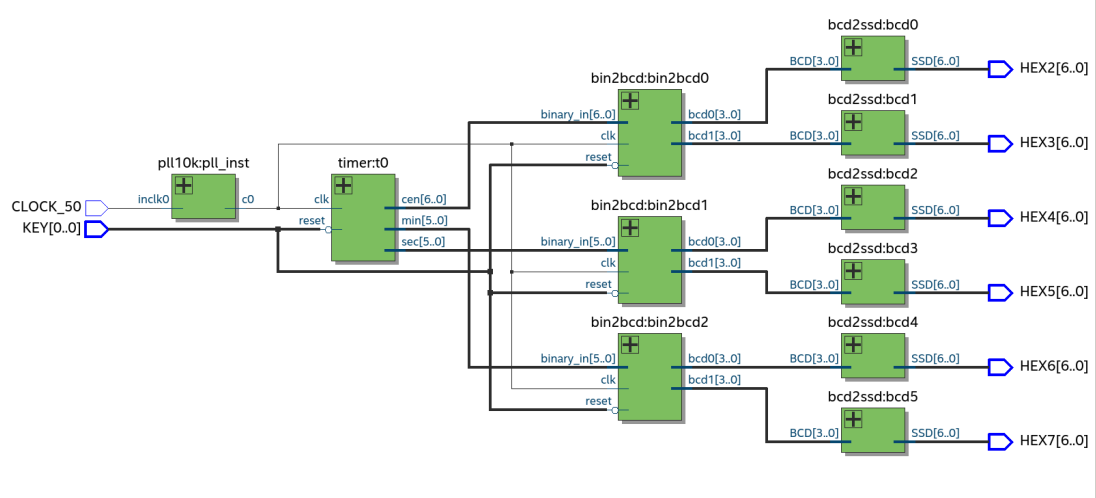


Figura 7: Fonte: Elaborada pelo autor

Uma visualização do .do sendo executado para visualizar o funcionamento do pll

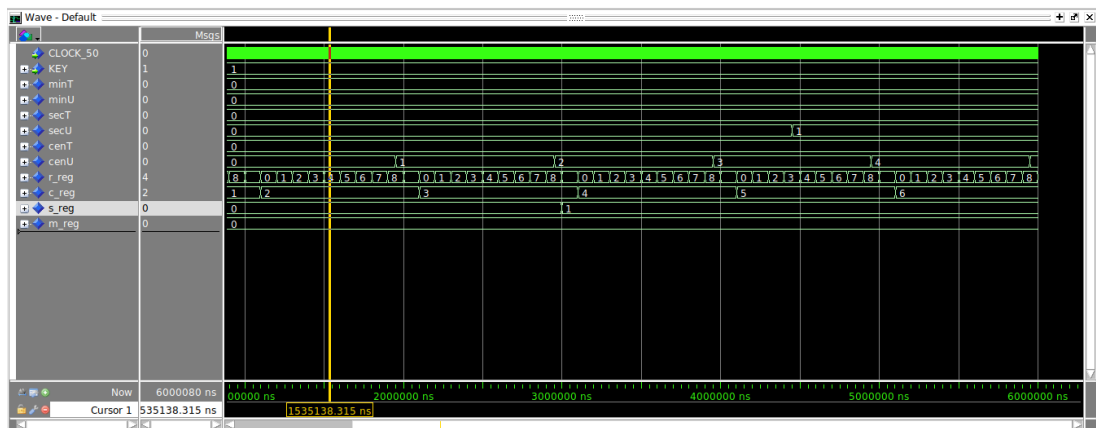


Figura 8: Fonte: Elaborada pelo autor

2.3. Modificar contadores para o BCD

Nesta etapa do projeto foi desejada a remoção dos conversores BCD vistos nos RTLs anteriores.

Para a adaptação do projeto foi primeiramente necessário remover os conversores Bin2BCD. Após esta remoção foi feita uma adaptação no código de contagem timer, esta que envolveu ao invés de contar-se os valores de unidade e decimais juntos, foi alterado para contagens separadas.

Desta forma as contagens saíram de forma separada em unidade e decimal dos centesegundos, segundos e minutos. Dessa forma cumprindo o requisito da parte 3.

Abaixo está o RTL da parte 3, nele é possível ver que houve a remoção dos conversores.

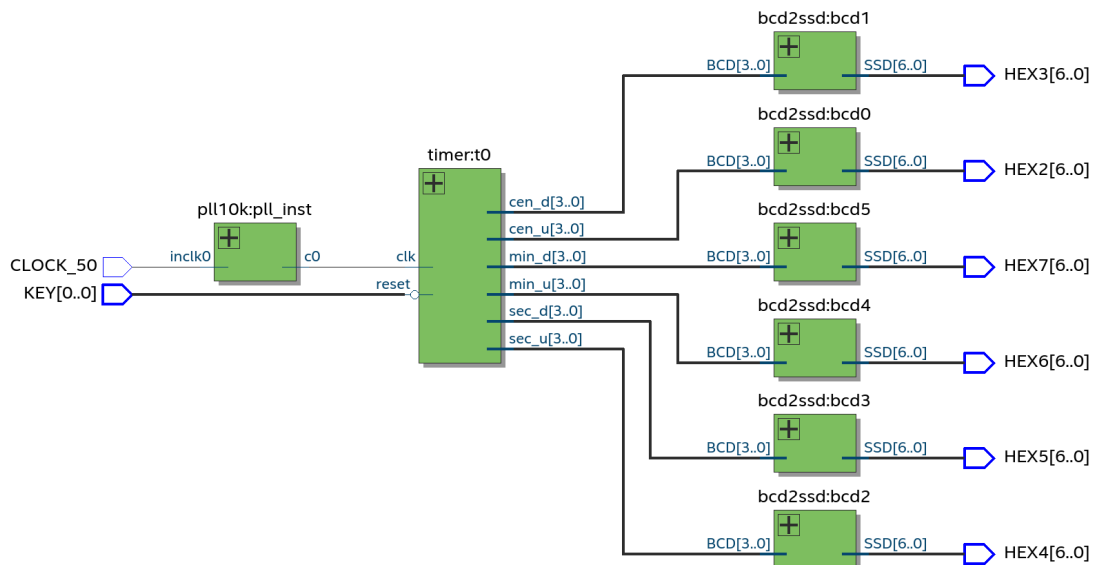


Figura 9: Fonte: Elaborada pelo autor

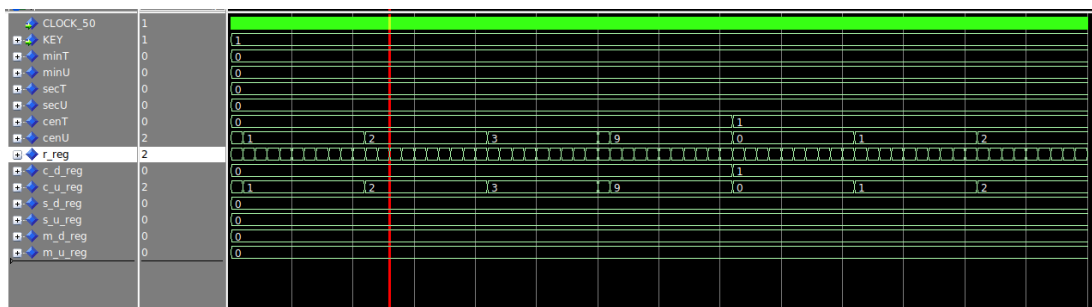


Figura 10: Fonte: Elaborada pelo autor

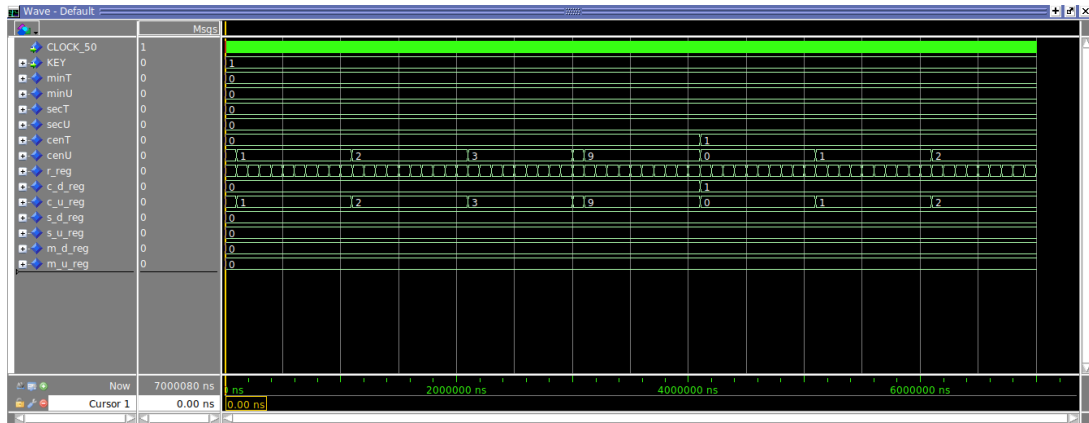


Figura 11: Fonte: Elaborada pelo autor

2.4. Modificar para o LFSR

A quarta parte é remover os contadores e substituí-los por LFSR

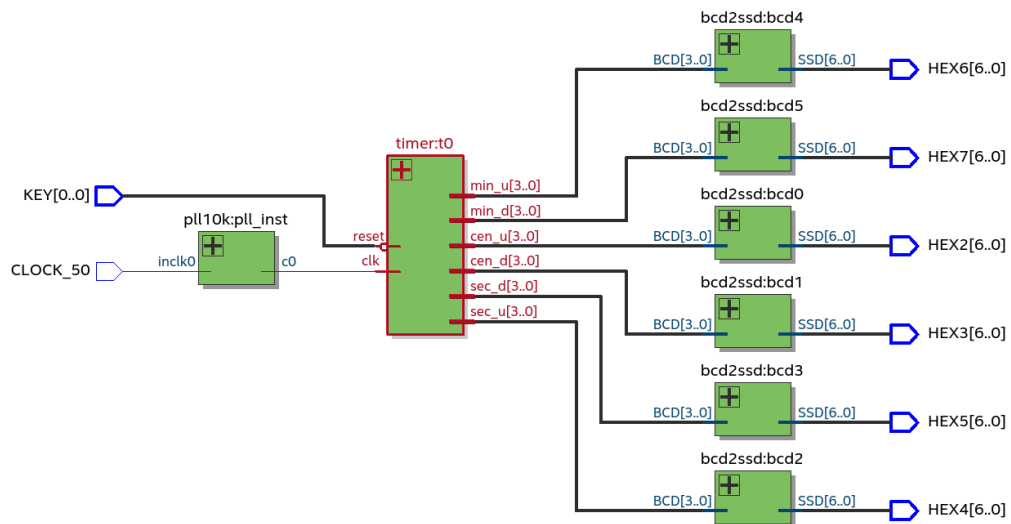


Figura 12: Fonte: Elaborada pelo autor

2.5. Comparativos

Como pedido , foi analisada as diferenças entres os resultados feitos nas diferentes partes.

	Binario	Binario	BCD	BCD
	50M	FreqGrupo	FreqGrupo	FreqGrupo LFSR
LE	262	249	86	73
Register	124	129	37	37

3. Conclusão

A partir da implementação das diferentes partes foi possível analisar a otimização dos sistemas.

A utilização e redução de elementos mostra diretamente como a otimização pode afetar o espaço ocupado pelo código.

A primeira etapa do Binario transicionando da primeira parte para a utilização do PLL reduziu a utilização de alguns elementos lógicos.

A transição da segunda parte para a terceira foi a maior otimização , evitar códigos que convertem binário para BCD economizaram vários elementos lógicos.

A terceira para quarta teve uma leve otimização , optando por não utilizar um contador convencional mas sim um contador LFSR