

# 涂沛杉

## 简历

Address

SHB 913, 香港中文大学

(86) 14715480365

tpeisharon@gmail.com



## 教育背景

8.2014–至今 博士, 计算机科学与工程专业, 香港中文大学, 香港.

指导教师: Prof.Evangeline F.Y.Young

8.2010– 学士, 网络工程专业, 计算机学院, 西安电子科技大学, 西安, 中国.

7.2014 排名:2/83

## 奖项 & 荣誉

2016 第一名, in ICCAD 2016 NP3:Non-exact Projective NPNP Boolean Matching Contest.

2016 第二名, in ISPD 2016 Routability-Driven FPGA Placement Contest.

2015 第三名, in ICCAD 2015 Incremental Timing-driven Placement Contest.

2015 第三名, in ISPD 2015 Contest in Detailed Routing Driven Placement.

2016 优秀教课助理, 计算机科学与工程专业, 香港中文大学.

2014 博士奖学金, 香港中文大学.

2014 优秀毕业生, 西安电子科技大学.

2013 国家奖学金, 西安电子科技大学.

## 工作经历

5 2017–0 2017 实习生, 铿腾, 圣何塞, 优化团队, DSG.

基于机器学习的时钟树延时估计

## 研究领域

○ 计算机辅助技术(CAD)

○ 实体设计

○ 时序优化

○ 电子设计自动化(EDA)

○ 布局和布线

## 出版

5, 2018 **Peishan Tu**, Chak-Wa Pui, Evangeline F.Y. Young, 'Simultaneous Timing Driven Tree Surgery in Routing with Machine Learning-based Acceleration', ACM Great Lakes Symposium on VLSI (GLSVLSI), Chicago, IL, USA, May 23-25, 2018.(**Best Paper Award Nomination**)

June, 2017 **Peishan Tu**, Wing-Kai Chow, Evangeline FY Young, "Timing driven routing tree construction", System Level Interconnect Prediction (SLIP), June 17, 2017(**Best Paper Award**)

Jan, 2018 Chak-Wa Pui, **Peishan Tu**, Haocheng Li, Gengjie Chen, Evangeline F.Y. Young, "A Two-Step Search Engine For Large Scale Boolean Matching Under NP3 Equivalence", 23rd Asia and South Pacific Design Automation Conference(ASP-DAC 2018)

- Nov, 2017 Gengjie Chen, **Peishan Tu**, Evangeline FY Young, "SALT: Provably Good Routing Topology by a Novel Steiner Shallow-Light Tree Algorithm", In Proceedings of the 37th International Conference on Computer-Aided Design (ICCAD 2017) (**Best Paper Award**)
- June, 2017 Wing-Kai Chow, Jian Kuang, **Peishan Tu**, Evangeline FY Young, "Fence-aware detailed-routability driven placement", System Level Interconnect Prediction (SLIP), June 17, 2017
- Nov, 2016 Chak-Wa Pui, Gengjie Chen, Wing-Kai Chow, Ka-Chun Lam, Jian Kuang, **Peishan Tu**, Hang Zhang, Evangeline F.Y. Young and Bei Yu, "RippleFPGA: a routability-driven placement for large-scale heterogeneous FPGAs". In Proceedings of the 35th International Conference on Computer-Aided Design (ICCAD) (p. 67). ACM.
- May, 2016 Chuangwen Liu, **Peishan Tu**, Pangbo Wu, Haomo Tang, Yande Jiang, Jian Kuang and Evangeline F.Y. Young, "An Effective Chemical Mechanical Polishing Filling Approach", ACM Transactions on Design Automation of Electronic Systems (TODAES), vol. 21, no. 3, May, 2016
- July, 2015 Chuangwen Liu, **Peishan Tu**, Pangbo Wu, Haomo Tang, Yande Jiang, Jian Kuang and Evangeline F. Y. Young, "An Effective Chemical Mechanical Polishing Filling Approach ", International Symposium on VLSI (ISVLSI), July 8 - 10, 2015.

## 教学经验

- 2015 和 2016 教学助理: CSCI3190 离散数学和算法, Fall
- 2015 和 2016 教学助理: CSCI1020 C++基础, Spring
- 2014 教学助理: CSCI3310 移动技术和应用, 2014-2015 Fall

## 技能& 语言

- 基本 C/C++, Python, Tcl
- 中等  $\text{\LaTeX}$ , GitHub, Linux

## 审稿人/ 外部审稿人

- ACM/IEEE Design Automation Conference (DAC)
- ACM Great Lakes Symposium on VLSI (GLSVLSI)
- Integration, the VLSI Journal.

## 优选项目

在布线中同时修正布线树来考虑时序并用机器学习加速 (**GLSVLSI 2018**) 2017.3-2017.12

我们提出了一个公式来优化考虑时序的布线并求解。同时，我们也在优化时序的同时考虑了布线的拥塞问题。之后，我们根据电路的性质抽出特征，并用分类的方法来进一步加速我们的优化速度。

考虑时序的布线树的创建优化 (**SLIP 2017**) 2016.01-2017.03

我们提出了一个新的算法来创建考虑时序的布线树，这种算法可以平衡线长和时序。根据最短路径树和最小线长树的性质，我们抽出了两种图，这两种图有很好的时序性质。我们证明了我们问题的解存在于我们简化的图中。从最短路径树，我们依次增加和减少树的边以达到我们优化的目的。之后我们加入一些steiner的点来保证算法的质量。