



Microeletrônica I

LAB 3

Projeto I – Temporizador

- Um temporizador é apresentado na figura 1. O circuito possui uma entrada de clock (*clk*), de reset (*rst*) e de habilitação (*ena*) que habilita a contagem quando *ena*=‘1’. O contador conta de 0 a 9, incrementando a cada meio segundo e reiniciando a contagem ao atingir o valor máximo. O valor de contagem é apresentado em um display de 7 segmentos.

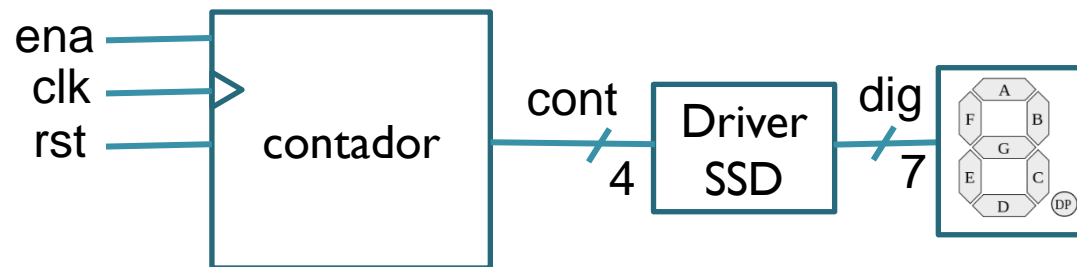


Figura 1 – Temporizador.

Projeto I – Temporizador

- 1) Projete o temporizador apresentado na figura 1.
- 2) Apresente a simulação para diferentes combinações das entradas;
- 3) Para implementação no kit Nexys 2 utilize os switches para as entradas *ena* e *rst* e um dos displays de 7 segmentos para mostrar o valor da contagem. A entrada *clk* deve ser mapeada no pino B8 da FPGA.

Obs: Os pinos de entrada e saída devem ser do tipo `std_logic` ou `std_logic_vector`

Projeto 2 – Contador 0-9

- O circuito apresentado na figura 2 corresponde a um contador de 0 – 9 que incrementa ou decrementa cada vez que o botão *bt* é pressionado. Neste caso, é necessário fazer o debouncing do botão, como mostra a figura 3.
- Quando a entrada *up/down* é igual a '1' a contagem é progressiva, quando é igual a '0' a contagem é regressiva. O contador reinicia a contagem quando o valor máximo (se *up/down*='1') ou mínimo (se *up/down*='0') for atingido.
- O circuito também possui uma entrada de clock (*clk*), de reset (*rst*) e de habilitação (*ena*), que habilita a contagem quando *ena*='1'.

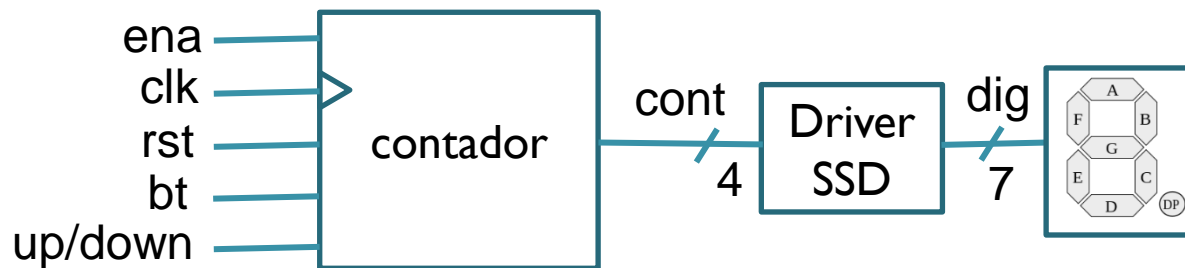


Figura 2 – Contador 0-9.

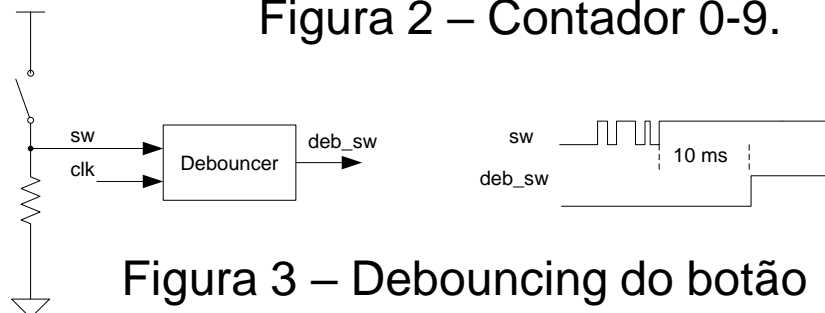


Figura 3 – Debouncing do botão

Projeto 2 – Contador 0-9

- 1) Projete o contador apresentado na figura 2, incluindo o debouncer da figura 3 para o botão *bt*.
- 2) Apresente a simulação para diferentes combinações das entradas;
- 3) Para implementação no kit Nexys 2 utilize um push button para a entrada *bt* e os switches para as entradas *ena*, *rst* e *up/down*. Para a saída, utilize um dos displays de 7 segmentos para mostrar o valor da contagem. A entrada *clk* deve ser mapeada no pino B8 da FPGA.

Obs: Os pinos de entrada e saída devem ser do tipo `std_logic` ou `std_logic_vector`

A frequência do clock é de 50 Mhz

Apresentação dos Resultados

- Implementar os projetos na ferramenta ISE e apresentar o funcionamento de cada projeto no kit Nexys2 (arquivo .BIT) durante a aula de laboratório.
- Elaborar um relatório técnico incluindo a descrição e o desenvolvimento de cada projeto, assim como os esquemáticos RTL obtidos após a síntese. As simulações para diferentes combinações das entradas também devem ser apresentadas (todos os resultados mostrados devem ser comentados e justificados). Lembre-se de incluir no relatório os códigos do design e do testbench e resumo dos recursos lógicos utilizados.
- O trabalho deverá ser entregue pela UFPR Virtual (faça um arquivo compactado incluindo os projetos no ISE e o relatório).