

Flip-Flops Sincronizados e J-K

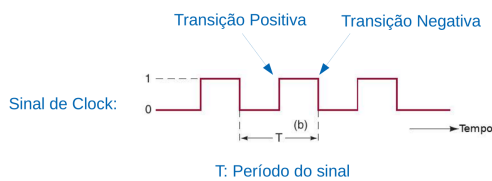
Yuri Kaszubowski Lopes

UDESC

Anotações

Sincronizando com um Clock

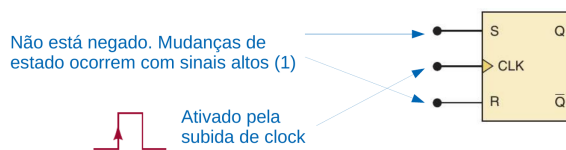
- Os latches S-R (Set-Reset) estudados são assíncronos
 - Podem mudar de estado a qualquer momento
- Podemos introduzir um sinal de clock para sincronizar as mudanças
 - Agora mudanças ocorrem somente na "borda" do sinal
 - Quando o sinal do clock muda (depende da configuração do circuito)
 - De baixo para alto
 - De alto para baixo



Anotações

S-R com clock

- Ao adicionar um clock no flip-flop S-R
 - As entradas **S** e **R** dizem **o que** fazer
 - O **sinal de clock** (**CLK**) diz **quando** fazer
 - S** e **R** só são lidos apenas quando o clock permitir



(Tocci, Widmer; 2016)

Obs.: Um flip-flop ativado pela descida do clock possui um círculo antes da entrada do clock



Anotações

S-R com clock

1

0

S

1

0

R

1

0

CLK

1

0

Q

CLK Não está negado. Mudanças de estado ocorrem com sinais altos (1) e na borda de subida do clock

S

Q

CLK

R

Q̄

YKL (UDESC)

Flip-Flops Sincronizados e J-K

4 / 23

Anotações

S-R com clock

1

0

S

1

0

R

1

0

CLK

1

0

Q

a b c d e f g h i j

No change Set Reset Set Set

S

Q

CLK

R

Q̄

YKL (UDESC)

Flip-Flops Sincronizados e J-K

5 / 23

Anotações

S-R com clock

S

1

Edge detector

CLK

2

R

3

SET

4

RESET

Q

Q̄

ou NANDs?

Detecta a subida do clock, e gera um sinal alto de curta duração

(Tocci, Widmer; 2016)

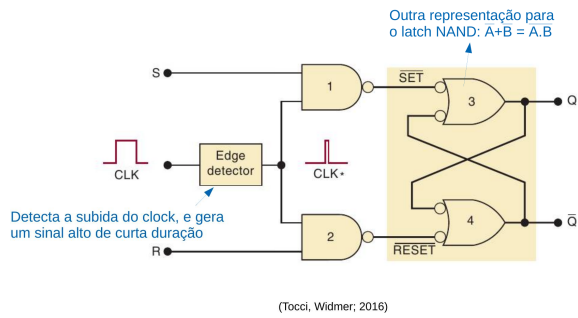
Anotações

YKL (UDESC)

Flip-Flops Sincronizados e J-K

6 / 23

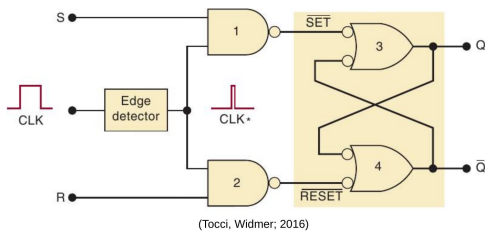
S-R com clock



Anotações

S-R com clock

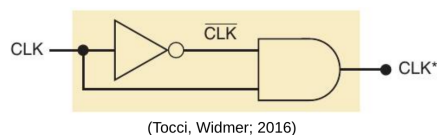
- Se, por exemplo, mantermos $S=1$ e $R=0$
 - Quando o sinal de clock for gerado, o NAND-1 vai receber $\overline{1.1} = 0$
 - Como vimos no latch NAND, isso envia um sinal de set
- Os NANDS 1 e 2 enviam alto (1) para o latch sempre que ao menos uma de suas entradas é baixa (0)
 - Logo, o sinal do clock e S/R devem estar em 1 para o sinal baixo (0) ser enviado
 - O latch se mantém estável quando enviamos 0 para S/R



Anotações

Detector de Borda

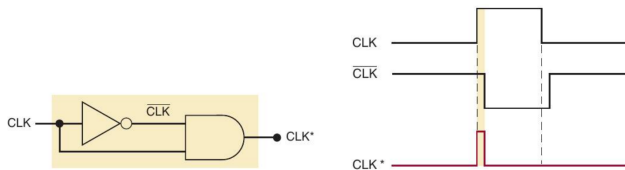
- O circuito a seguir pode ser utilizado como detector de borda
 - Como isso gera um sinal "estrito" somente quando o clock sobe?



Anotações

Detector de Borda

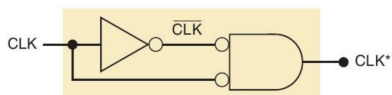
- O circuito a seguir pode ser utilizado como detector de borda
 - ▶ Devido aos atrasos de propagação, o inversor demora um tempo t_{PHL} para inverter sua saída
 - ▶ O sinal \overline{CLK} demora um pouco a mais para ser propagado do que CLK



Anotações

Exercício

- Como fica o sinal CLK^* gerado pelo circuito abaixo?
- Qual a diferença do sinal gerado por esse circuito para o anterior?



Anotações

Set e reset

- O que ocorre se enviarmos um set e um reset ao mesmo tempo nos latches NAND ou NOR (flip-flops S-R)?
 - ▶ O resultado é indeterminado!

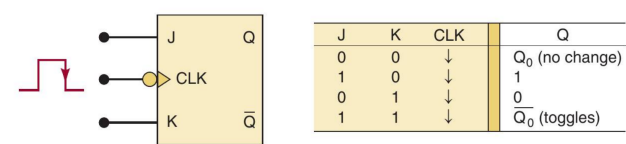
Anotações

Flip-Flop J-K

- Um flip-flop J-K opera da mesma maneira que os flip-flops S-R feitos com portas NAND/NOR
- No entanto, pulsos de **set e reset simultâneos** são **válidos**
 - Modo toggle
 - Um set e reset simultâneo faz com o que o estado do flip-flop seja trocado
 - ★ Se Q era 0, se torna 1
 - ★ Se Q era 1, se torna 0

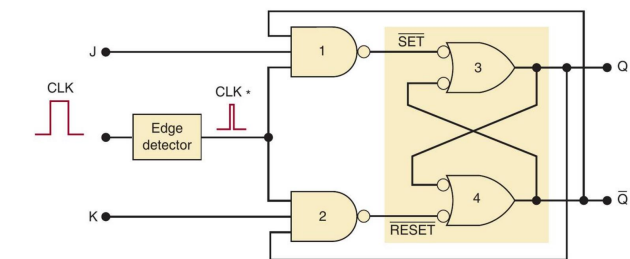
Anotações

Flip-Flop J-K



Anotações

Flip-Flop J-K



Anotações

Flip-Flop J-K

Prós e Contras

Vantagens

- Sets e resets simultâneos não são problema
- Podem ser utilizados em mais aplicações, como divisores de frequência (veremos adiante)

Desvantagens

- São mais complexos
- Ocupam mais espaço e podem ter atrasos de propagação maiores

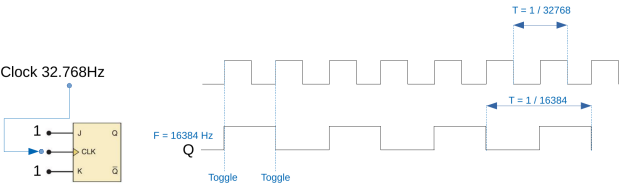
Anotações

Uso em divisor de frequência

- Muitos relógios (de pulso, de parede, ...) utilizam internamente um cristal de quartzo que geral um clock de exatamente 32.768 Hz
- Se mantivermos um flip-flop J-K com suas entradas J e K em 1 sempre, agora ele vai trocar de estado sempre que o clock permitir
- Vamos assumir um flip-flop J-K sincronizado por subida de clock
- Se alimentarmos o J-K com o clock original, ele vai dividir o clock por 2

Anotações

Uso em divisor de frequência



Anotações

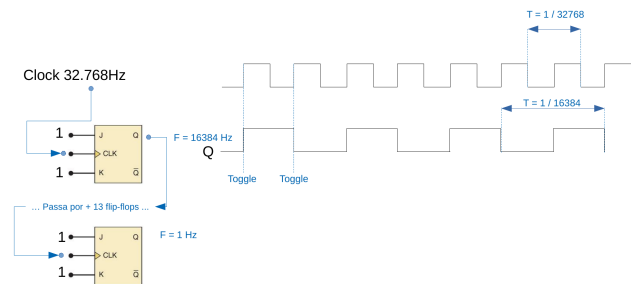
Uso em divisor de frequência

- Quandos flip-flops J-K precisamos encadear em série para que o sinal de 32.768Hz seja transformado em um sinal que oscila com frequência de precisamente 1Hz?
 - $\lg 32768 = 15$

Anotações

Uso em divisor de frequência

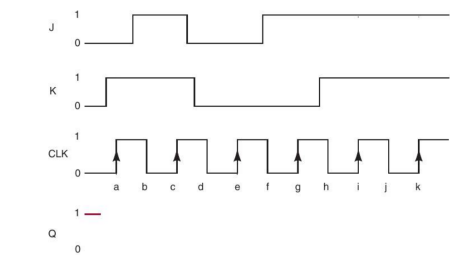
- Sinal de 32.768Hz para 1Hz



Anotações

Exercícios

- Considerando um Flip-Flop J-K com sincronia por transição positiva, e que Q inicialmente está em 1, qual o sinal de onda em Q de acordo com os sinais em J,K e CLK a seguir?



- Faça o mesmo que no exercício anterior, mas considere que o Flip-Flop é sincronizado por transição negativa.

Anotações

Referências

- TOCCI, R.J.; WIDMER,N.S. **Sistemas digitais: princípios e aplicações**. 11a ed, Prentice-Hall, 2011.
- Ronald Tocci, Neal Widmer, Greg Moss. **Digital Systems**. 12 ed. Pearson Education. 2016.
- TANENBAUM, Andrew S. **Organização estruturada de computadores**. 5. ed. São Paulo: Pearson, 2007.
- James Bignell, Robert Donovan. **Eletrônica digital**. Cengage Do Brasil, 2010.
- MELO, M. **Eletrônica Digital**. Makron Books. 2003.

Anotações

Anotações

Anotações
