

INSTITUTO POLITECNICO NACIONAL

ESCUELA SUPERIOR DE COMPUTO

Diseño de Sistemas Digitales
Circuito que Reconoce Números Primos

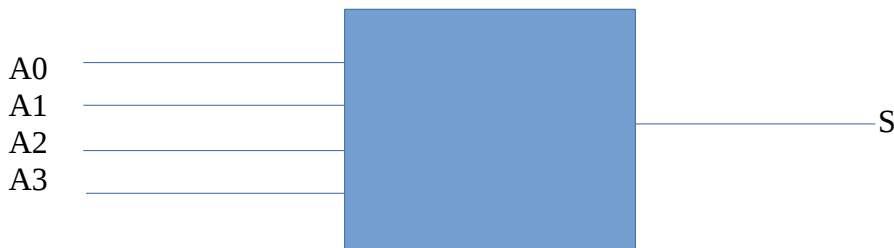
Alcaraz Fraga Ricardo
Cruz Contreras Karen Tiffany
Montaño Morales Angeles Aranza

Grupo 2CM9
Profesor Testa Nava Alexis

Diseño de la Práctica

Esta práctica tiene como objetivo diseñar e implementar un circuito que reconozca números primos de 4 bits. El diseño se hizo mediante la tabla de verdad del circuito y mapas de Karnaugh.

El circuito recibe 4 bits correspondientes a los bits del número que se ingresa y tiene una única salida que tiene valor de 1 cuando el número ingresado es primo y un 0 en caso contrario.



En este caso, A0 representa el bit menos significativo en nuestro circuito, mientras que A3 representa el bit más significativo.

El conocimiento aplicado para realizar esta práctica es básico pero útil y elemental en cualquier circuito digital, ya que aquí se tocaron temas como el plantear el problema, realizar la tabla de verdad y obtener la función que describe el comportamiento del circuito por medio de un mapa de Karnaugh.

Diseño del Circuito

Circuito que reconoce números primos de 4 bits

4 entradas \rightarrow bits del número

1 salida \rightarrow 1 en caso de ser primo, 0 en caso contrario

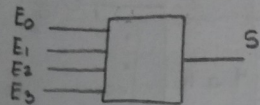


Tabla de Verdad

E_0	E_1	E_2	E_3	S
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Mapa de Karnaugh

$E_0 E_1$	00	01	11	10
$E_2 E_3$	00	0	1	1
01	0	1	1	0
11	1	1	0	1
10	1	0	0	0

$$S = \bar{E}_0 \bar{E}_1 E_2 + \bar{E}_1 E_2 E_3 + \bar{E}_0 E_2 E_3 + \bar{E}_0 E_1 E_3 + E_1 \bar{E}_2 E_3 //$$

Función Canónica

$$S_c = \bar{E}_0 \bar{E}_1 E_2 (E_3 + \bar{E}_3) + \bar{E}_1 E_2 E_3 (E_0 + \bar{E}_0) + \bar{E}_0 E_2 E_3 (E_1 + \bar{E}_1) + \bar{E}_0 E_1 E_3 (E_2 + \bar{E}_2) + E_1 \bar{E}_2 E_3 (E_0 + \bar{E}_0) //$$

Código Empleado

```
1 LIBRARY IEEE;
2 USE IEEE.STD_LOGIC_1164.ALL;
3 ENTITY DECO IS
4 PORT (
5     a0, a1, a2, a3: IN STD_LOGIC;
6     o: OUT STD_LOGIC
7 );
8     attribute pin_numbers of DECO:
9     entity is "a0:1 a1:2 a2:3 a3:4 o:22";
10 END DECO;
11
12 ARCHITECTURE ADECO OF DECO IS
13 BEGIN
14     o <= ((not a0) and (not a1) and a2) or ((not a1) and a2 and a3) or ((not a0) and a2 and a3) or ((not a0) and a1 and a3) or (a1 and (not a2) and a3);
15 END ADECO;
```

Conclusiones

Realizando las pruebas con los números que se pueden representar con 4 bits (del 0 al 15) se pudo comprobar que el circuito funciona de manera correcta, y la manera en la que indica si el número que se ingresó es primo es bastante sencilla, ya que la salida es una única señal.

La ecuación obtenida por medio del mapa de Karnaugh, misma que fue programada en la GAL, pudo ser reducida más, ya que en el mapa de Karnaugh se realizó una agrupación innecesaria, por lo cual al final la ecuación tendría únicamente 4 sumas de términos productos y no 5. Sin embargo, este agrupamiento de más no afecta el resultado, el circuito sigue siendo capaz de reconocer de manera correcta los números primos de 4 bits.

Anexo

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY DECO IS
PORT (
    a0, a1, a2, a3: IN STD_LOGIC;
    o: OUT STD_LOGIC
);
    attribute pin_numbers of DECO:
    entity is "a0:1 a1:2 a2:3 a3:4 o:22";
END DECO;

ARCHITECTURE ADECO OF DECO IS
```

BEGIN

o <= ((not a0) and (not a1) and a2) or ((not a1) and a2 and a3) or ((not a0) and a2 and a3) or ((not a0) and a1 and a3) or (a1 and (not a2) and a3);

END ADECO;