



Microtecnología y
Sistemas Embebidos

Instituto Politécnico Nacional

Centro de Investigación en Computación

Lenguajes de descripción de hardware

Práctica 5 - Máquinas de estados finitos

PROFESOR:

M. EN C. OSVALDO ESPINOSA SOSA

POR:

ING. RICARDO ALDAIR TIRADO TORRES

CIUDAD DE MÉXICO, 1 DE JUNIO DE 2024

Tabla de contenido

1. Objetivos	2
2. Conclusiones	3

1. Objetivos

- Comprender la operación de la directiva *keep* para mantener a las señales internas de un módulo y observar la implementación de estas señales con el visor RTL y el *Technology Map Viewer*.
- Describir por flujo de datos de bajo nivel al latch tipo RS y al tipo D.
- Utilizar la descripción estructural para instanciar módulos que contengan la directiva *keep*.
- Diferenciar la implementación de un latch D y un flip-flop D en el FPGA, desde el visor de *Chip Planner*.

2. Conclusiones

En conclusión, se implementaron los 4 circuitos en lenguaje Verilog de manera exitosa.

Para los latches RS y D, se implementaron de manera correcta, usando la directiva *keep* para observar que, al mantenerse las señales internas en el módulo, se utilizan más compuertas lógicas, en el visor RTL, y más celdas lógicas, en el *Technology Map Viewer*. Esto puede resultar en una desventaja, ya que al realizar la simulación con retardos (modo lento de 85°C), se observa que los circuitos con directiva *keep*, son ligeramente más lentos.

Para el flip-flop D, se describió el módulo usando la configuración maestro-esclavo con 2 latches D, pero se realizó el mismo análisis que con los latches RS y D, concluyendo en que, las instancias mantienen las señales internas, generando más compuertas y celdas lógicas, y el retardo sigue siendo mayor cuando se emplea a la directiva *keep*.

Para el latch D y el flip-flop D, se observó con el *Chip Planner* que no se implementan en los mismos recursos, ya que el latch se implementa en la *Look Up Table* de un elemento lógico, mientras que el flip-flop se implementa de forma directa en el elemento lógico.

Con el uso de simulaciones con retardos, se visualizó que los circuitos implementados tienen una frecuencia máxima de operación, puesto que en el peor de los casos, la señal de salida va retrasando su respuesta a la señal de entrada.

Finalmente, se asignaron los pines correspondientes en la placa de desarrollo para programar el dispositivo y realizar las pruebas pertinentes en hardware.

En los Anexos se pueden encontrar los códigos implementados junto con sus respectivos bancos de pruebas.