



Microtecnología y
Sistemas Embebidos

Instituto Politécnico Nacional

Centro de Investigación en Computación

Lenguajes de descripción de hardware

Tarea 5 - Descripción estructural y
IPCATALOG

PROFESOR:

M. EN C. OSVALDO ESPINOSA SOSA

POR:

ING. RICARDO ALDAIR TIRADO TORRES

CIUDAD DE MÉXICO, 8 DE MAYO DE 2024

Tabla de contenido

1. Objetivos	2
2. Conclusiones	3

1. Objetivos

- Comprender el funcionamiento de las iteraciones con For-Loop, así como su sintaxis, realizando la operación producto punto de dos vectores.
- Indagar sobre la manera en que se describen las iteraciones For-Loop en Verilog.
- Aprender acerca de la importancia de inicializar variables que se usarán en operaciones aritméticas.

2. Conclusiones

En conclusión, se implementó el circuito en VHDL y en Verilog de forma correcta.

Se comprendió como funcionan las iteraciones For-Loop para generar circuitos, utilizando descripción por comportamiento. De igual forma se entendió la importancia de estos ciclos iterativos para evitar repetir código y hacerlo más legible.

Se investigó en que manera se implementa el For-Loop en Verilog y se diferenció su sintaxis con la de VHDL.

Se diferenciaron los resultados de inicializar o no, las variables que se usan en operaciones aritméticas.

Se implementó la descripción del producto punto de dos vectores empleando el For-Loop y se observaron con el visor RTL a los circuitos instanciados por el ciclo iterativo, y por medio de las simulaciones de forma de onda en ModelSim se visualizó la correcta operación del módulo.

En los Anexos se pueden encontrar los códigos implementados junto con sus respectivos bancos de pruebas.