



Microtecnología y
Sistemas Embebidos

Instituto Politécnico Nacional

Centro de Investigación en Computación

Lenguajes de descripción de hardware

Tarea 1 - Diseño de amplificador
operacional simple de una etapa

PROFESOR:

DR. HERÓN MOLINA LOZANO

POR:

ING. RICARDO ALDAIR TIRADO TORRES

CIUDAD DE MÉXICO, 20 DE MAYO DE 2024

Tabla de contenido

1. Objetivos	2
2. Desplazador de barril	3
3. Conclusiones	6

1. Objetivos

- Diseñar un amplificador operacional simple de una etapa, realizando el calculo de las corrientes y de las proporciones $\frac{W}{L}$ con el método propuesto por [1]. Se deben emplear los transistores CMOS del nodo tecnológico SKY130.
- Simular el circuito con al herramienta de Xschem y NGSpice para comprobar que el diseño cumple con las especificaciones requeridas.

2. Desplazador de barril

Actividad 1

Emplear la siguiente metodología, propuesta por [1] para diseñar el amplificador simple de una etapa (Ver Figura 1).

Step	Design Equations	Comments
1	$I_5 = SR \times C_L$	SR and C_L specified
2	$g_m = g_{m1} = g_{m2} = GB \times C_L, \frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{g_m^2}{K'_1 I_5}$	GB is in rads/sec, M1 = M2
Alternatively, one can use the low frequency gain to design W_1/L_1 and W_2/L_2		
2'	$A_o = g_m R_{out} \rightarrow \frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{A_o^2 (\lambda_2 + \lambda_4)^2 I_5}{4K'_1}$	A_o specified, M1 = M2
3	$\frac{W_3}{L_3} = \frac{W_4}{L_4} = \frac{I_5}{K'_3 [V_{DD} - ICMR^+ - V_{T3} + V_{T1}]^2}$	$ICMR^+ = V_{in}(\max)$ specified, M3 = M4
4	$\frac{W_5}{L_5} = \frac{2I_5}{K'_N (ICMR^- - V_{GS1})^2}, V_{GS1} = \sqrt{\frac{I_5}{K'_N (\frac{W_1}{L_1})}} + V_{T1}$	Note that $ICMR^-$ must be greater than V_{GS1}

Figura 1: Procedimiento de diseño.

Parametros conocidos

$$V_{DD} = 1.8V$$

$$L_{min} = 150.0nm$$

$$0.7V \leq ICMR \leq 1.6V$$

$$K'_N = 151.37604 \frac{\mu A}{V^2}$$

$$K'_P = 57.013889 \frac{\mu A}{V^2}$$

$$V_{TN} = 0.769464V$$

$$V_{TP} = 0.51V$$

$$\lambda_N = 0.088964V^{-1}$$

$$\lambda_P = 0.068964V^{-1}$$

$$C_L = 12.0pF$$

Características deseadas

$$A_V = 100 \frac{V}{V}$$

$$P_{diss} \leq 1mW$$

$$GB = 10000000.0MHz$$

$$SR \geq 3 \frac{V}{\mu s}$$

(1)

Paso 1

$$I_5 = SR \times C_L = 3 \times 1.2e - 11 I_5 = 36.0\mu A$$

Paso 2

$$g_m = 2\pi \times GB \times C_L = 2\pi \times 10000000.0 \times 1.2e - 11$$

$$g_m = 753.982237\mu S$$

$$\frac{W_1}{L_1} = \frac{gm^2}{K'_N \times I_5} = \frac{0.000754^2}{0.000151 \times 3.6e - 05}$$

$$\frac{W_1}{L_1} = 104.31880139108173$$

$$W_1 = \frac{W_1}{L_1} \times L_{min} = 104.318801 \times 1.5e - 07$$

$$W_1 = W_2 = 15.64782\mu m$$

Paso 3

$$\frac{W_3}{L_3} = \frac{I_5}{K'_P \times [(V_{DD} - ICMR + - |V_{TP}| + V_{TN})^2]} = \frac{3.6e - 05}{5.7e - 05 \times [1.8 - 1.6 - 0.51 + 0.769464]^2}$$

$$\frac{W_3}{L_3} = 2.9910168261696684$$

$$W_3 = \frac{W_3}{L_3} \times L_{min} = 2.991017 \times 1.5e - 07$$

$$W_3 = W_4 = 0.448653\mu m$$

Paso 4

$$v_{GS1} = \sqrt{\frac{I_5}{K'_N \times \frac{W_1}{L_1}}} + V_{TN} = \sqrt{\frac{3.6e-05}{0.000151 \times 104.318801}} + 0.769464$$

$$v_{GS1} = 817210.482928V$$

$$\frac{W_5}{L_5} = \frac{2 \times I_5}{K'_N \times (ICMR - V_{GS1})^2} = \frac{2 \times 3.6e-05}{0.000151 \times (0.7 - 0.81721)^2}$$

$$\frac{W_5}{L_5} = 34.62122625693465$$

$$W_5 = \frac{W_5}{L_5} \times L_{min} = 34.621226 \times 1.5e-07$$

$$W_5 = W_6 = 5.193184 \mu m$$

(2)

Paso 5

$$A_0 = \frac{2g_m}{(\lambda_N + \lambda_P) \times I_5} = \frac{2 \times 0.000754}{(0.088964 + 0.068964) \times 3.6e-05}$$

$$A_0 = 265.235068 = 48.472619db$$

3. Conclusiones

En conclusión, se implementaron los 2 circuitos en lenguaje Verilog de manera exitosa.

Para el desplazador de barril de 4 bits, se comprendió como es que se implementa este tipo de circuito combinatorio y su importancia en varias aplicaciones como lo son el procesamiento de señales, la criptografía y sobre todo en la arquitectura de microprocesadores.

Para el flip flop tipo T, se implementó de manera correcta y se diferencio su funcionamiento contra un tipo de flip flop implementado anteriormente (flip flop tipo D).

Se comprobó el funcionamiento de los circuitos utilizando las simulaciones de forma de onda en ModelSim y con el visor RTL se analizó como es que la herramienta de Quartus implementa los dispositivos.

En los Anexos se pueden encontrar los códigos implementados junto con sus respectivos bancos de pruebas.

Referencias

- [1] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. Oxford University Press, Incorporated, 2012.