

XSCHEM

Diseño de circuitos VLSI.

¿Qué es Xschem?

Xschem es un editor esquemático para diseños personalizados de VLSI

Documentacion de Xschem

<https://xschem.sourceforge.io/stefan/index.html>

Iniciando Xschem

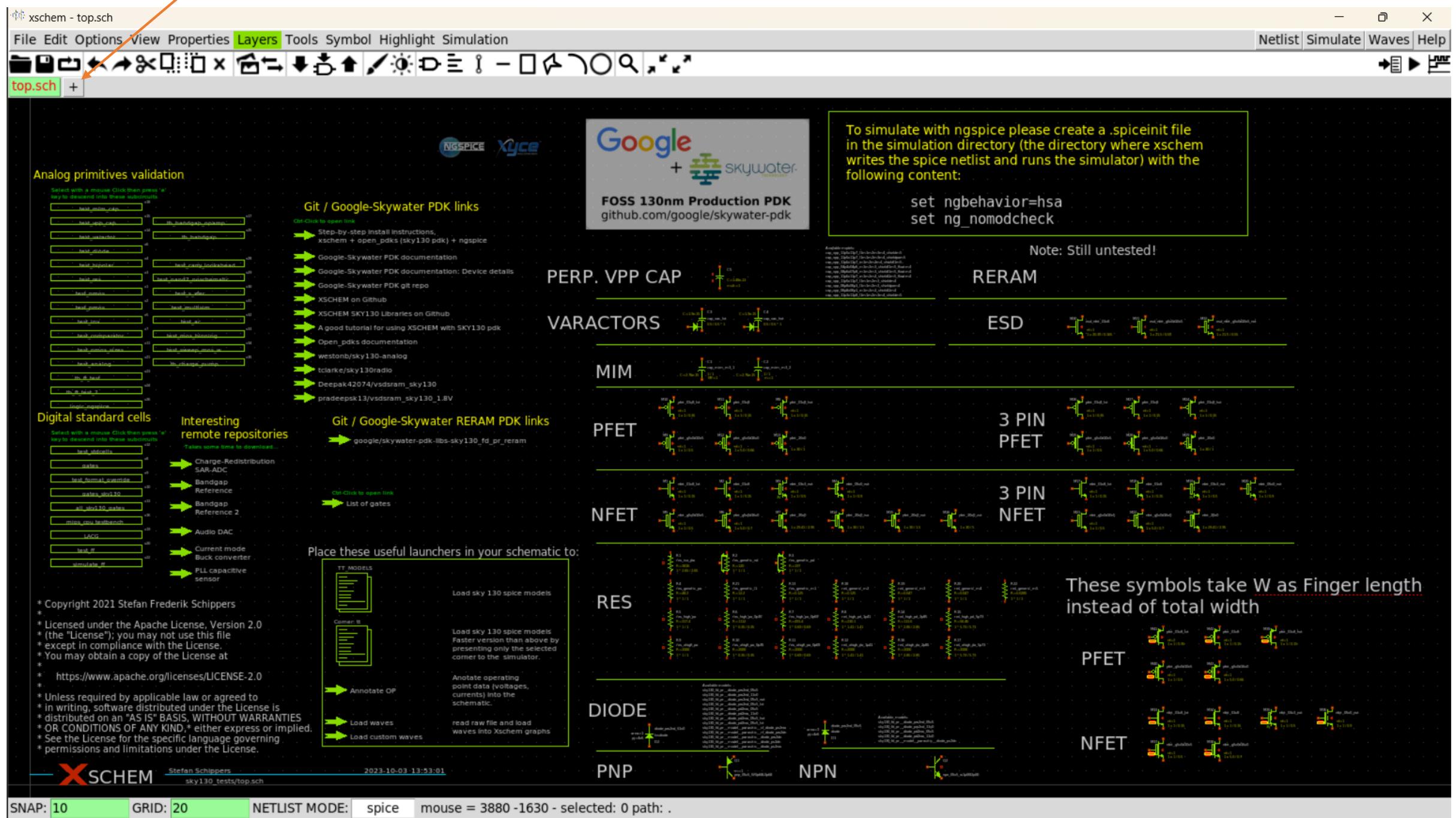
- Cargar las librerías necesarias:

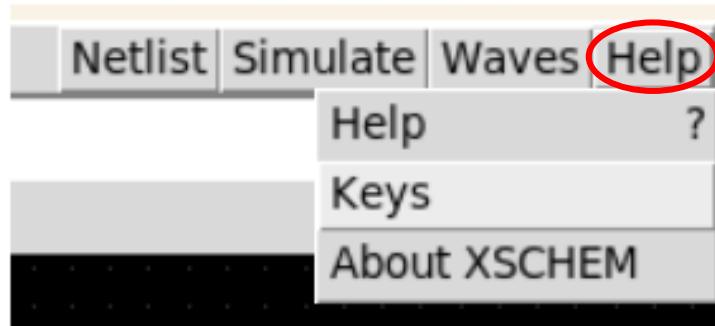
source ./iic-init.sh // El archivo puede cambiar según la instalación.

- Iniciar Xschem

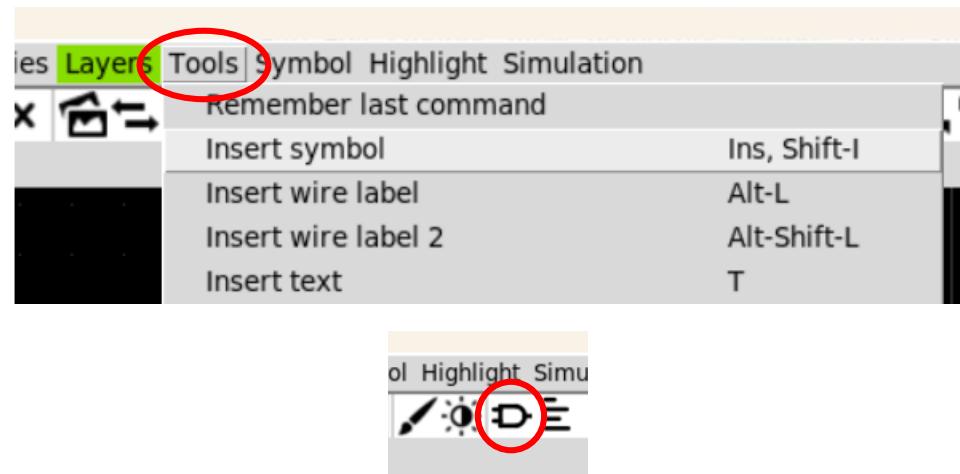
xschem

```
alex@Abe-tab:~$ source ./iic-init_A.sh
alex@Abe-tab:~$ xschem
```





Muestra una lista de comando rápidos de xschem



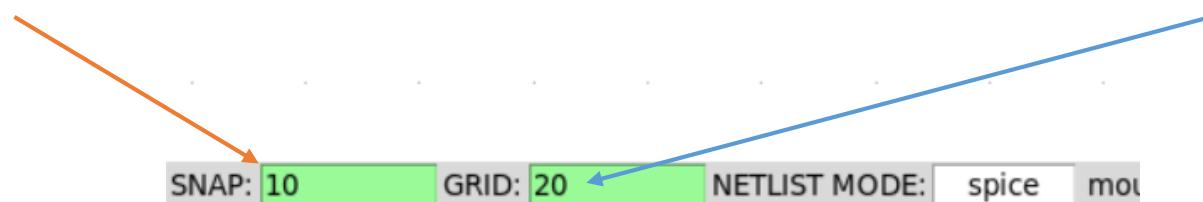
Abre una ventana donde se muestran los elementos disponibles que se pueden ocupar, ya sea de la tecnología que se instaló o diseños propios que se realizaron.

Atajos

Shift+i

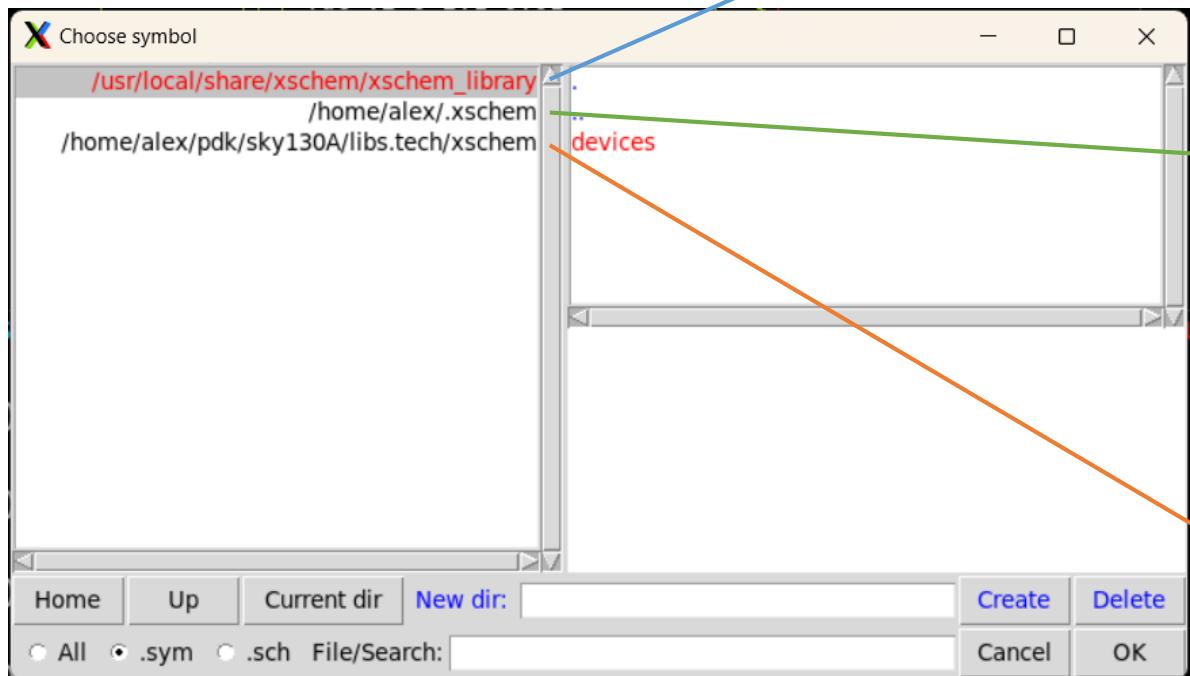
Ctrl+i

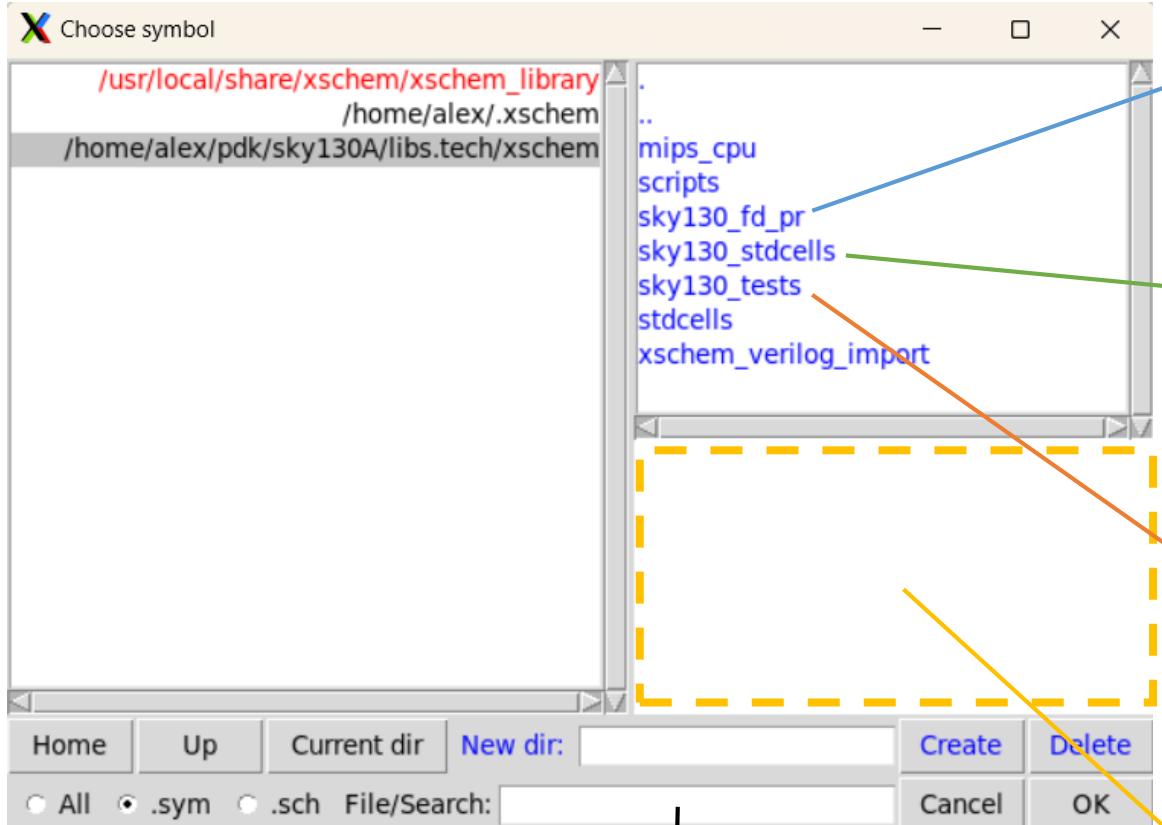
Saltos de la cuadricula



Tamaño de la cuadricula

- Aquí se pueden encontrar las fuentes de voltaje, etiquetas, pines, amperímetros, códigos para graficar, etc.
- Se recomienda ocupar esta ubicación para crear una biblioteca de diseños del usuario.
- Biblioteca de la tecnología, aquí se encuentran transistores, resistencias, capacitores y demás elementos pasivos de la tecnología de skywater.



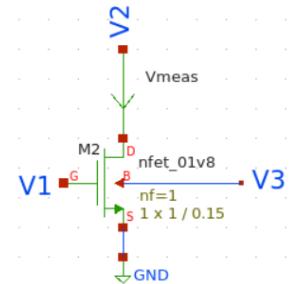


- Aquí se encuentran, transistores, capacitores y resistencias.
- En estas están las celdas estándar como, and, or, nor, xor, latches, multiplexores, etc.
- Aquí se pueden encontrar algunas compuertas de transmisión y sumadores y elementos de prueba.
- Área de visualización de los elementos

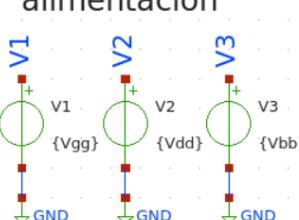
Para buscar un elemento si conoces el nombre

Curvas características del transistor

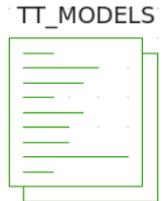
Transistor tipo "N"



Fuentes de alimentación



Librerías de la tecnología



Instrucciones para simulación

SPICE

```
.dc V2 0 1.8 0.1 V1 0 1.8 0.3
.param Vbb=0
.param Vdd=1.8
.param Vgg=1.8
.save all
```

Para realizar este circuito se requiere de los siguientes elementos

- nfet_01v8.sym
- ammeter.sym
- vsource.sym
- code_shown.sym (puede ser también code.sym)
- code.sym (copiar tt_models de la ventana de bienvenida)
- lab_pin.sym

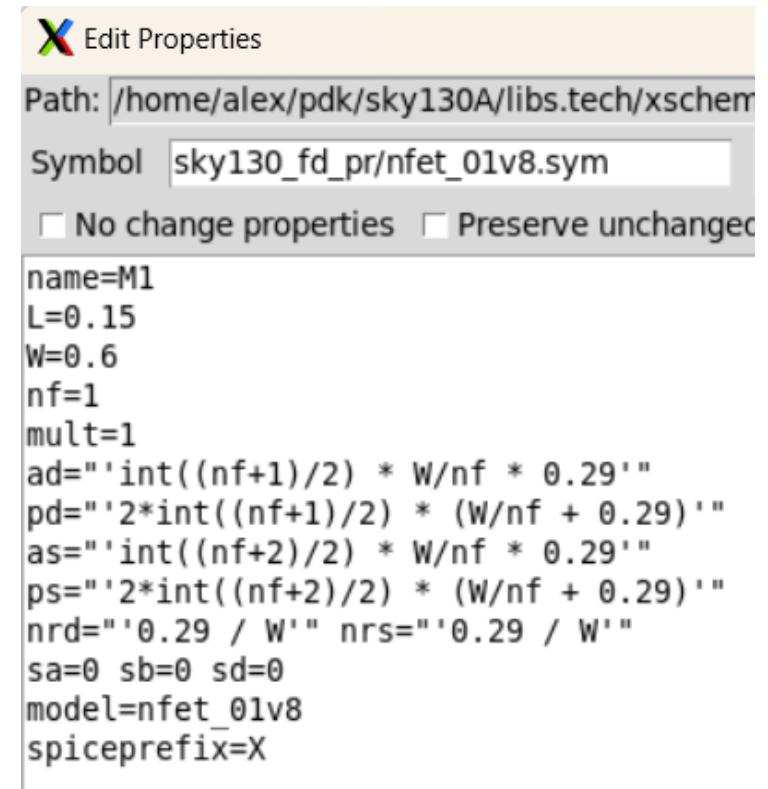
Atajos de teclado

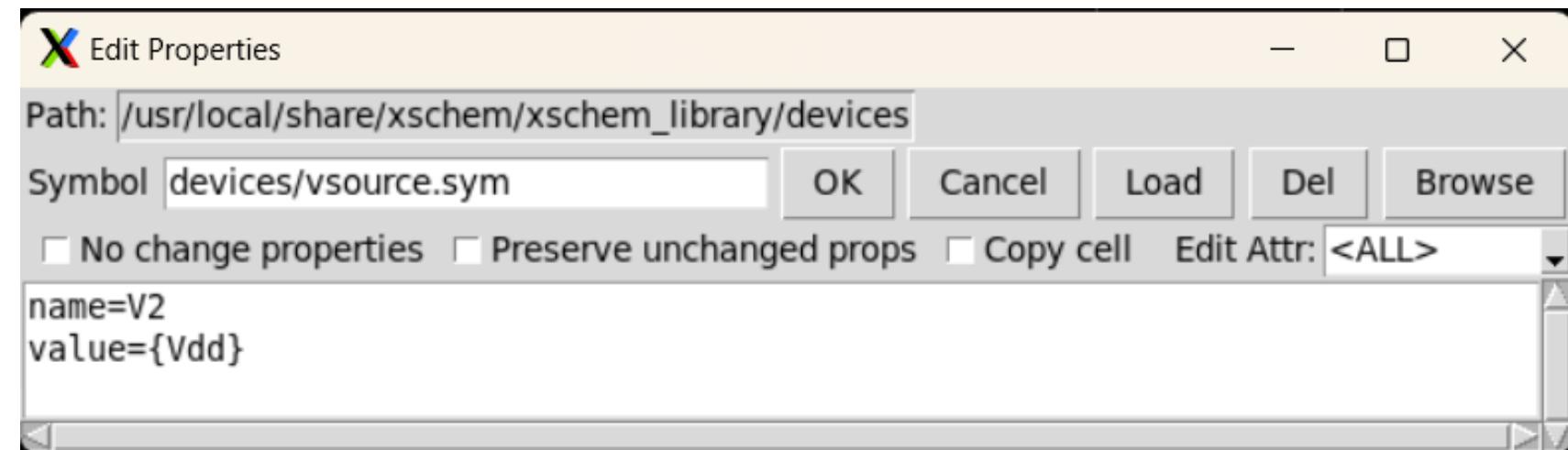
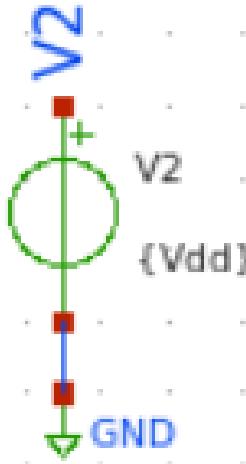
w	cablear
f	Ajustar pantalla
Shift + f	Modo espejo en componentes seleccionados
Shift + r	Gira el componente seleccionado 90 grados
c	Copiar elemento
m	Mover elemento
q	Propiedades del elemento seleccionado
Ctrl + shift + o	Abre el ultimo archivo utilizado
Z	Cambia el cursor por la herramienta de zoom
Alt + g	Colorea los cables para verificar conexiones

Propiedades de los elementos

Con la tecla q se puede acceder a las propiedades de los elementos

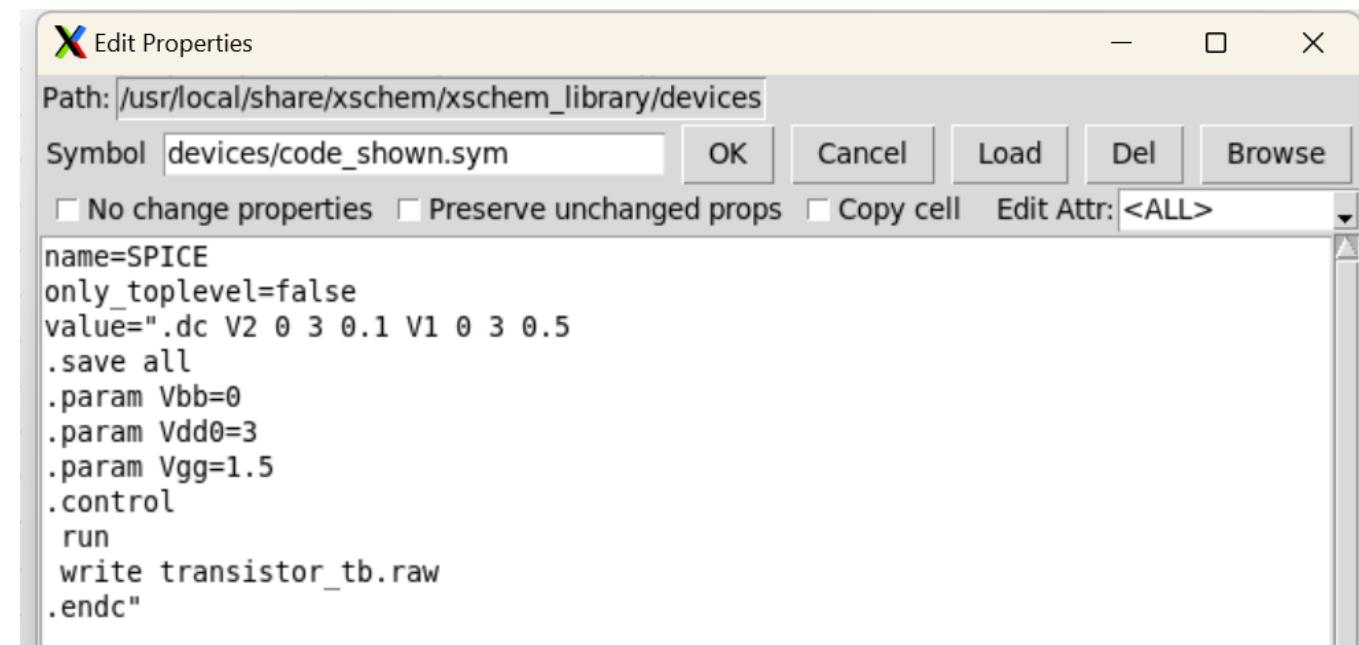
- En el caso de los transistores los valores están en micrómetros, en el caso de la longitud de canal, el valor mínimo a poner es de 150nm (0.15), para el ancho del canal, el valor mínimo es de 420nm (0.42)
- Los únicos valores aceptados son aquellos que son múltiplos de 10nm, por ejemplo, para valores de w, serían: 420nm, 430nm(0.43), 440nm(0.44), 450nm(0.45),...





SPICE

```
.dc V2 0 3 0.1 V1 0 3 0.5
.save all
.param Vbb=0
.param Vdd0=3
.param Vgg=1.5
.control
run
write transistor_tb.raw
.endc
```



*Las etiquetas entre llaves se ocupan para establecer su valor desde el elemento “code_shown.sys” y se ocupa la función “.param label=valor” para asignar un valor, esto es útil para reasignar parámetros desde un mismo lugar.

- Para ver el contenido del archivo .raw, se puede guardar una copia con las siguientes líneas:
 - set filetype = ascii //cambia el formato de binario a ascii
 - write nombre.out //guarda el archivo en formato ascii (No simulación)
- Para exportar los datos de simulación, se ocupan las siguientes instrucciones
 - set wr_vecnames //agrega títulos de columna
 - wrdata nombre.extensión <señales> //guarda las señales especificadas
- Para hacer simulaciones de distinto tipo
 - set appendwrite //permite seguir escribiendo el .raw

Tipos de análisis

- Trasient

```
.tran paso_de_simulación tiempo_de_simulación
```

```
.tran 0.01n 100n
```

- DC

```
.dc nombre_fuente valor_inicial valor_final paso
```

```
.dc V1 0 5 0.01
```

- AC

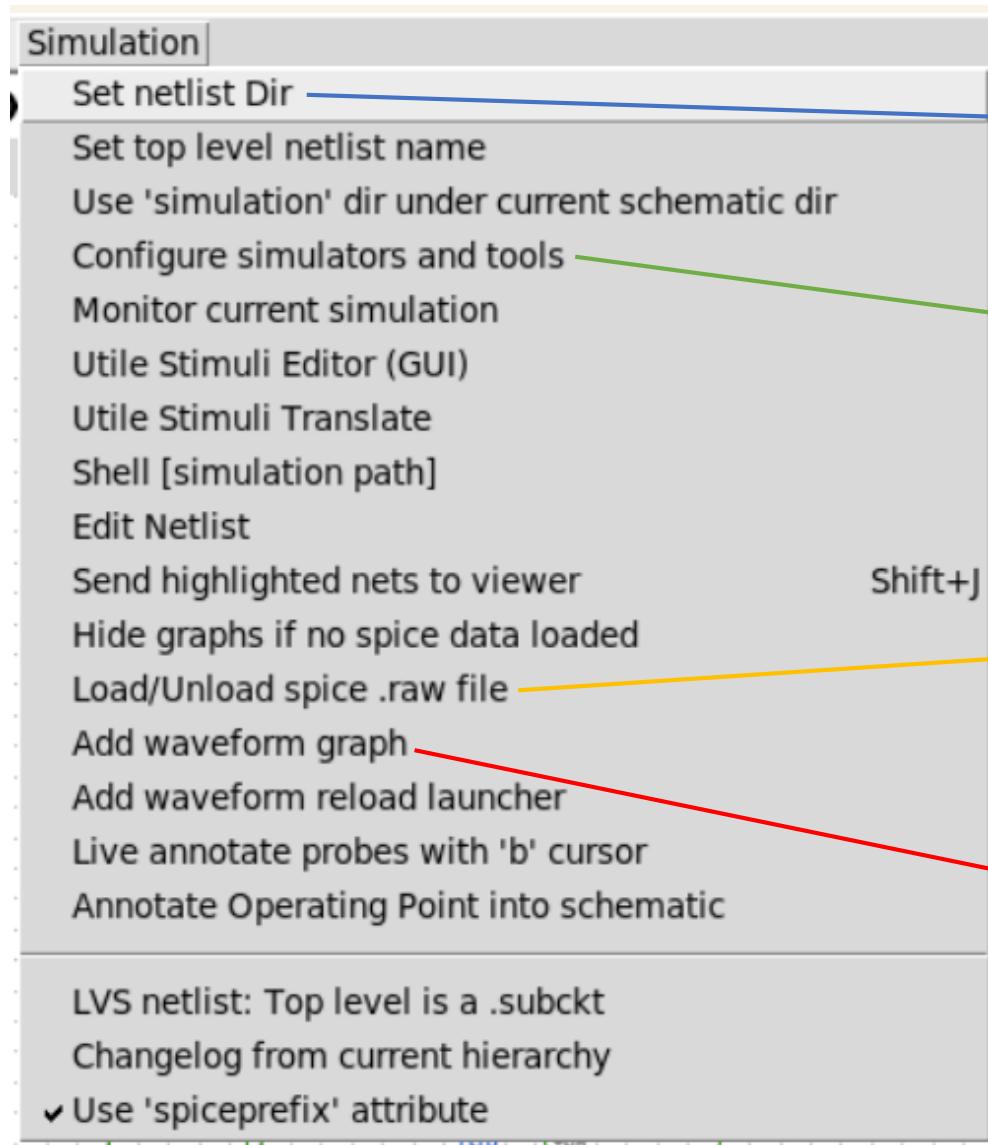
```
.ac tipo_barrido número_puntos frecuencia_inicial frecuencia_final
```

```
.ac dec 100 20 100meg
```

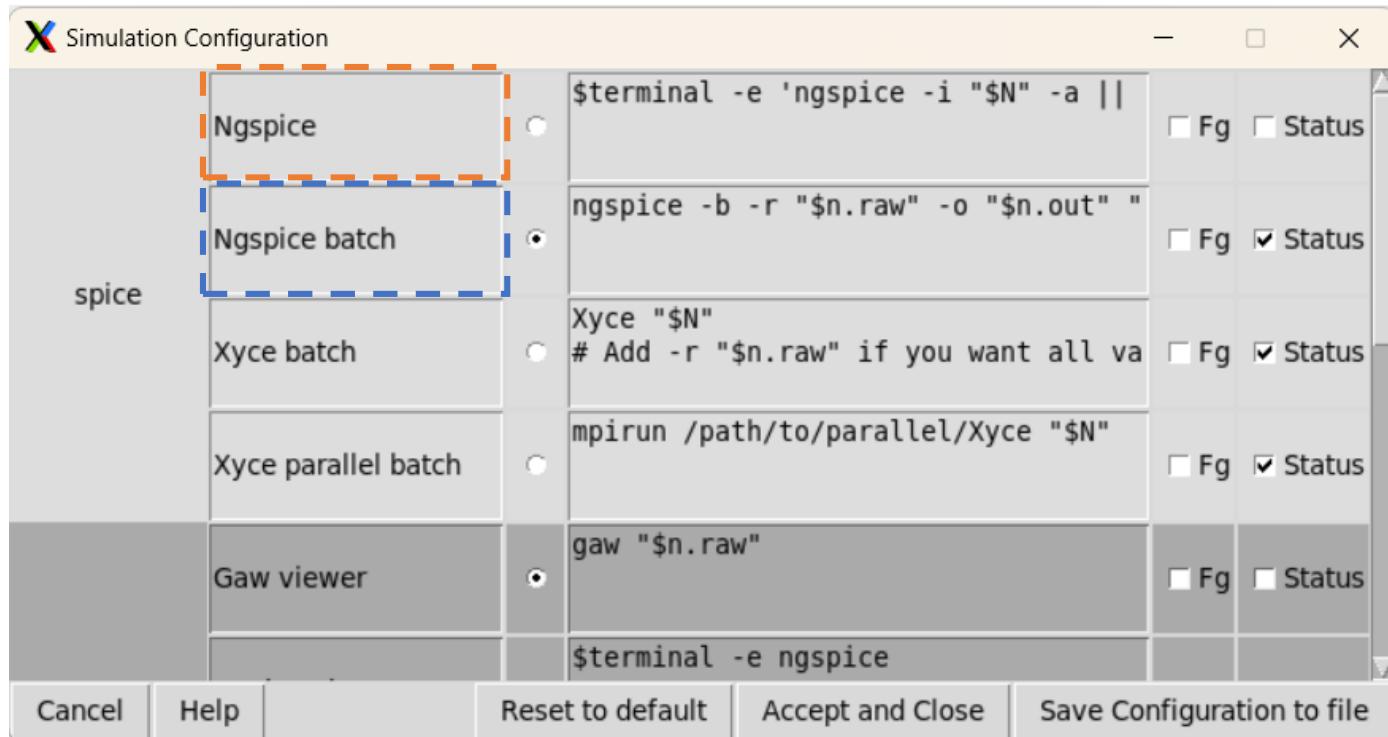
Tipos de fuentes

- DC
 - valor
1.8
- AC
 - ac(amplitud fase)
 - ac(0.5 0)
- PULSO
 - pulse(**v_min v_max T_ret T_sub T_bajo T_alto periodo ciclos**)
 - pulse(**0 2 0 1n 1n 100n 202n 10**)
- SENOIDAL
 - sine(offset amplitud frecuencia delay)
 - sine(**1 2 1000 0**)
- PWL
 - pwl(tiempo_1 voltaje_1 tiempo_2 voltaje_2... tiempo_n voltaje_n)
 - pwl(**0 0 1n 0 2n 1 10n 1 11n 0**)

Graficar

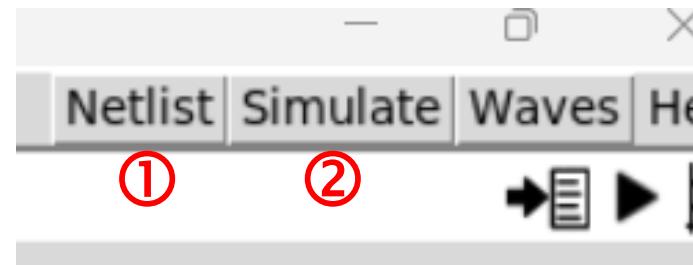


- Establecer la ubicación del archivo Netlist.
- Seleccionar la herramienta para mostrar las gráficas (Consola o Interfaz gráfica)
- Al ocupar la interfaz gráfica, se deben cargar los archivos manualmente, con cada simulación.
- Agrega un área de visualización en la ventana de trabajo para mostrar las simulaciones.



- **NGSPICE:** Abre una terminal para ingresar comandos y poder graficar, tiene la ventaja de poder personalizar las gráficas y operar con las señales.
- **NGSPICE batch:** es más fácil de usar, pero también está más limitada en sus funciones.

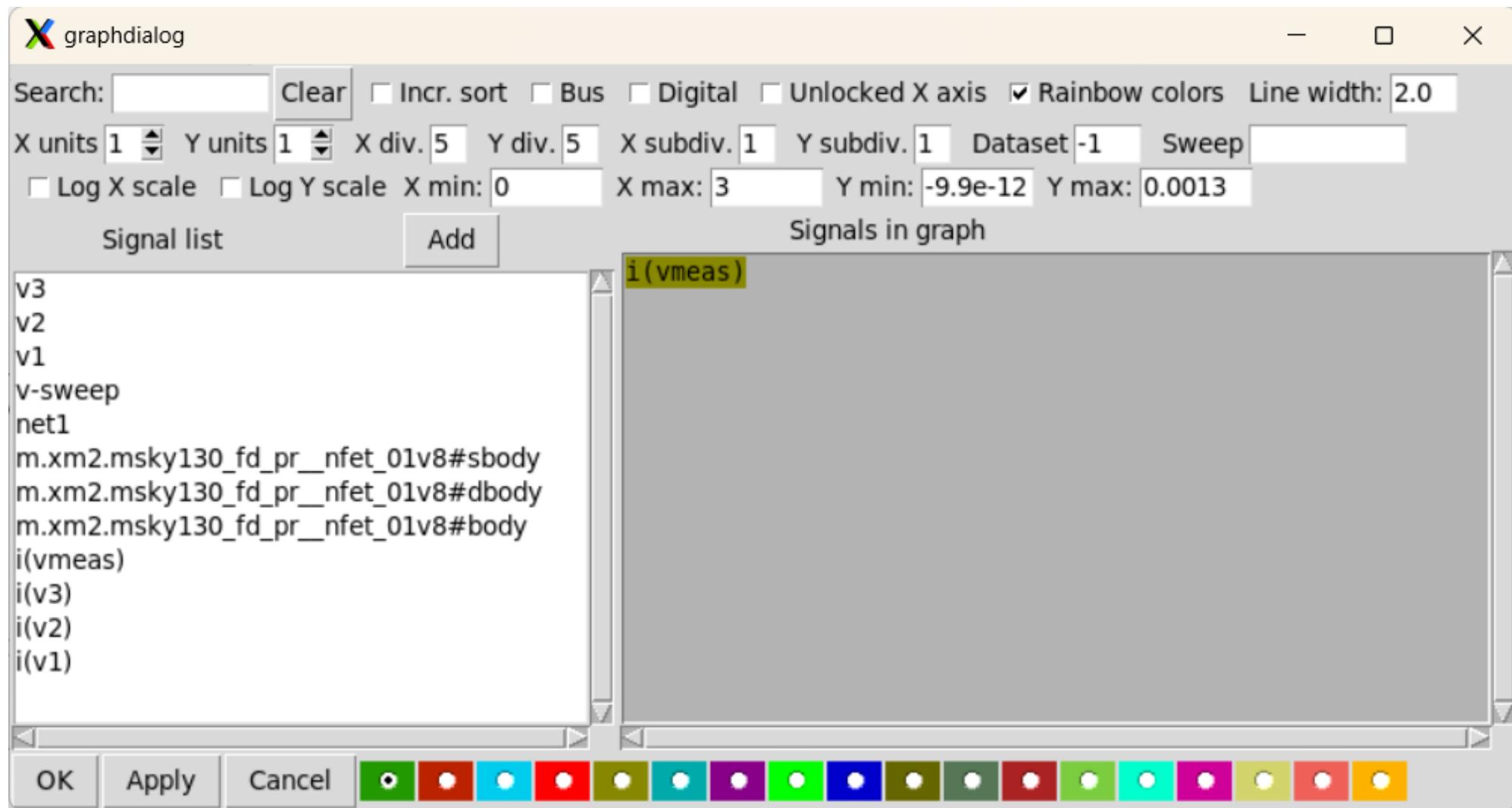
- Antes de hacer una simulación, hay que asegurarse de guardar cambios.
- Presionar el botón de Netlist y posteriormente el de Simulate (esquina superior derecha).



Ocupando NGSPICE batch

- En el menú de simulación seleccionar.
Load/unload spice .raw file (hacer por cada simulación)
- Dar doble click sobre la gráfica para abrir la ventana de opciones
- Sobre la gráfica se puede presionar la tecla “f” para ajustar la gráfica.

Atajos del mouse	
Ctrl + click izquierdo	Selección especial
m	Si se seleccionó un borde, se puede cambiar el tamaño del objeto.
m	Si se seleccionaron componentes, se pueden mover sin romper las conexiones.

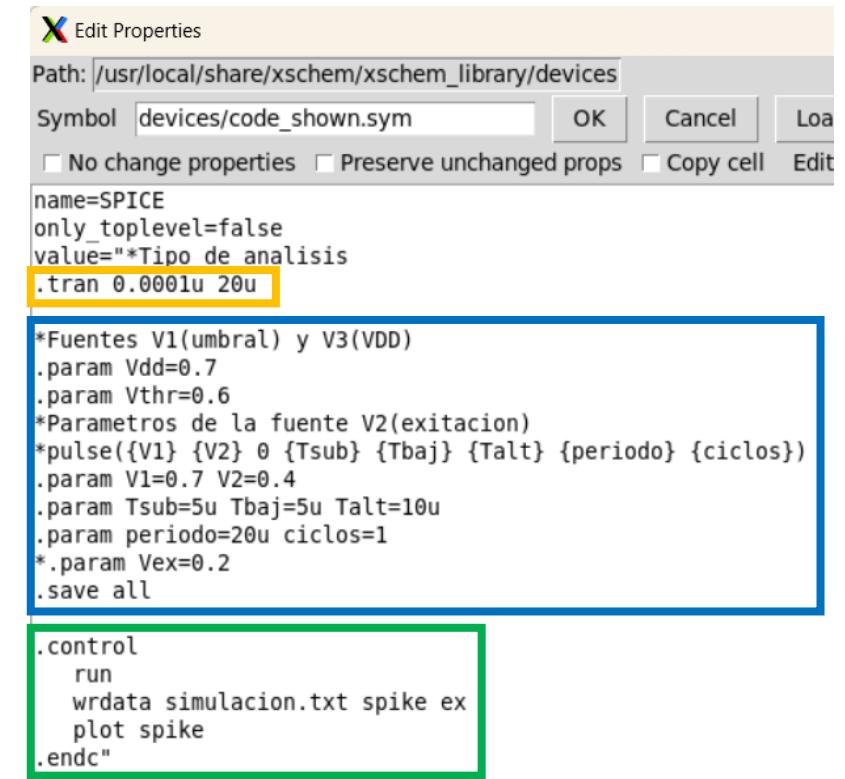


Ocupando ngspice (terminal)

Al ocupar la terminal se puede poner instrucciones que se ejecutarán en automático, cuando salga la terminal de ngspice.

- Tipo de análisis
- Asignación de valores a los parámetros deseados
- Instrucciones para la consola de ngspice

El * se ocupa para comentar; todo el bloque correspondiente a value debe estar entrecomillado y las instrucciones para la consola deben iniciar con **.control** y terminar con **.endc**



Instrucciones para la consola

- set color0=white ;color de fondo
- set color1=black ;color de ejes y cuadrícula
- set xbrushwidth=5 ;ancho de línea
- plot señal1 señal2 ... ;para graficar señales
- plot señal1 vs señal2 ;para establecer los ejes
- display ;muestra los elementos y señales para graficar
- wrdata name.txt señal1 señal2 ... ;exportar datos para usar otro programa para graficar
- display @nombre_elemento ;muestra las propiedades del elemento

X culrvas_caracteristicas.spice" -a || sh

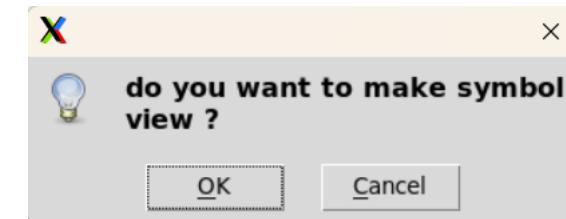
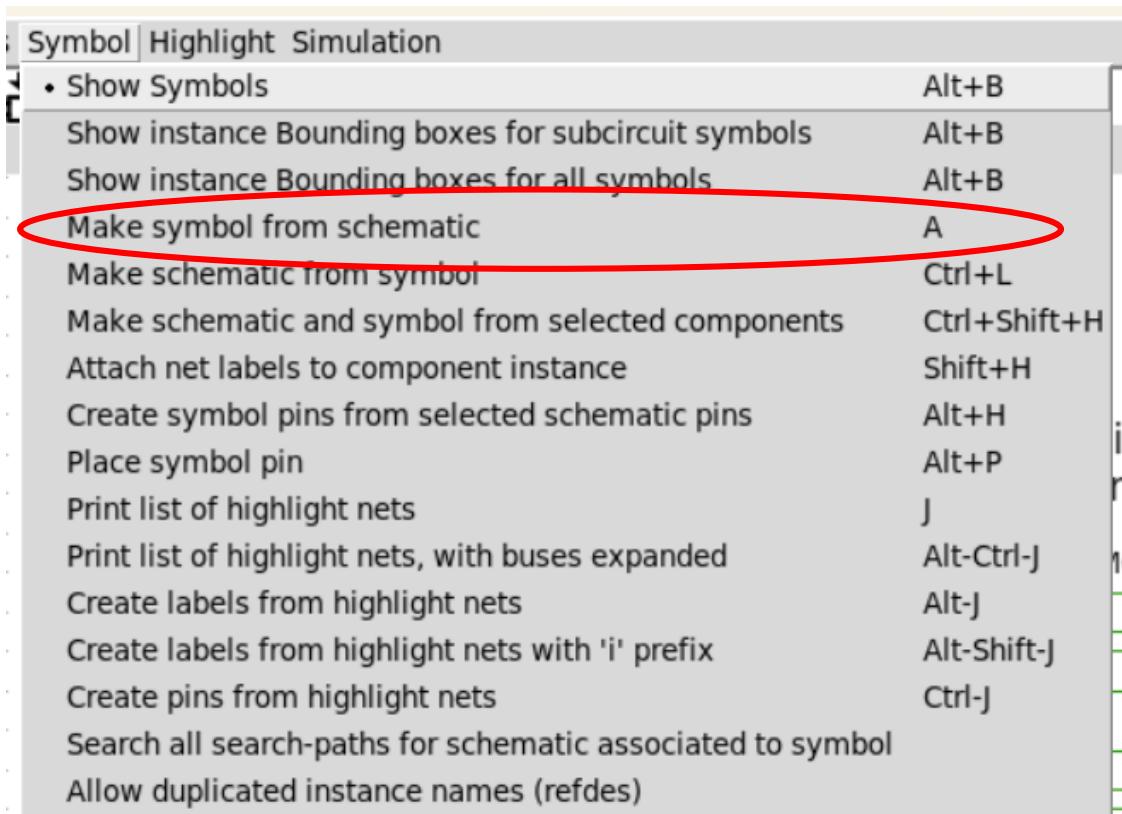
```
ngspice 3 -> display @m.xm2.msky130_fd_pr_nfet_01v8
Gtau [gtau]=0
Gcrg [gcrg]=0
Qdef [qdef]=0
Qinversion [qinv]=0
Qsource [qs]=-9.64729e-16
Qdrain [qd]=-6.43268e-16
Qbulk [qb]=-1.06262e-15
Qgate [qg]=2.67062e-15
Capbs [capbs]=6.83779e-16
Capbd [capbd]=3.23734e-16
Cbbb [cbb]=-2.74352e-16
Csbb [csb]=-7.21233e-17
Cdbb [cdb]=-4.81121e-17
Cgbb [cgb]=-1.54117e-16
Cssb [css]=4.88347e-16
Csdः [csd]=-2.84491e-20
Csः [csg]=-4.16195e-16
Cdः [cds]=3.25582e-16
Cdः [cdd]=9.92941e-20
Cdः [cdg]=-2.77569e-16
Cbः [cbs]=-9.53698e-17
Cbः [cbd]=-7.3065e-20
Cbः [cbg]=-1.78909e-16
Cgः [cgd]=2.22001e-21
Cgः [cgs]=-7.18559e-16
Cgः [cgg]=8.72673e-16
Vds [vds]=2.99931
Vgs [vgs]=2.99966
Vbs [vbs]=-0.000107393
Igcd [igcd]=0
Igcs [igcs]=0
Igb [igb]=0
Igd [igd]=0
Igs [igs]=0
Igis1 [igis1]=0
Igid1 [igid1]=0
Isub [isub]=9.4782e-06
gbs [gbs]=1.03584e-12
gbd [gbd]=1e-12
Ibs [ibs]=-2.33994e-16
Ibd [ibd]=-3.00074e-12
Ids [id]=0.00118741
Vth [vth]=0.769101
```

X culrvas_caracteristicas.spice" -a || sh

```
Ibs [ibs]=-2.33994e-16
Ibd [ibd]=-3.00074e-12
Ids [id]=0.00118741
Vth [vth]=0.769101
Vdsat [vdsat]=0.608686
Gds [gds]=5.86271e-05
Gm [gm]=0.000492533
Gmb [gmb]=7.96351e-05
S/D resistance and contact model selector [rgeomod]=0
Geometry dependent parasitics model selector [geomod]=0
Gate resistance model selector [rgatemod]=0
Distributed body R model selector [rbodymod]=1
AC NQS model selector [acnqsmod]=0
Transient NQS model selector [trnqsmod]=0
Number of gate contacts [ngcon]=1
Distance from gate contact center to device edge [xgw]=0
Low field mobility multiplier [mulu0]=1
Zero bias threshold voltage variation [delvto]=0
Body resistance [rbpd]=50
Body resistance [rbps]=50
Body resistance [rbpb]=50
Body resistance [rbsb]=50
Body resistance [rbdb]=50
Device is initially off [off]=0
Number of squares in source [nrs]=0.29
Number of squares in drain [nrd]=0.29
Source perimeter [ps]=2.58e-06
Drain perimeter [pd]=2.58e-06
Source area [as]=2.9e-13
Drain area [ad]=2.9e-13
Minimize either D or S [min]=0
Distance to a single well edge [sc]=0
Integral of the third distribution function for scattered well dopant [scc]=0
Integral of the second distribution function for scattered well dopant [scb]=0
Integral of the first distribution function for scattered well dopant [sca]=0
distance between neighbour fingers [sd]=0
distance between OD edge to poly of the other side [sb]=0
distance between OD edge to poly of one side [sa]=0
Number of fingers [nf]=1
Separate Parallel multiplier [m]=1
Width [w]=1e-06
Length [l]=1.5e-07
@m.xm2.msky130_fd_pr_nfet_01v8: notype, real, 1 long
ngspice 4 -> ■
```

Símbolo

- Crear símbolos permite crear módulos que se pueden utilizar en varios proyectos.

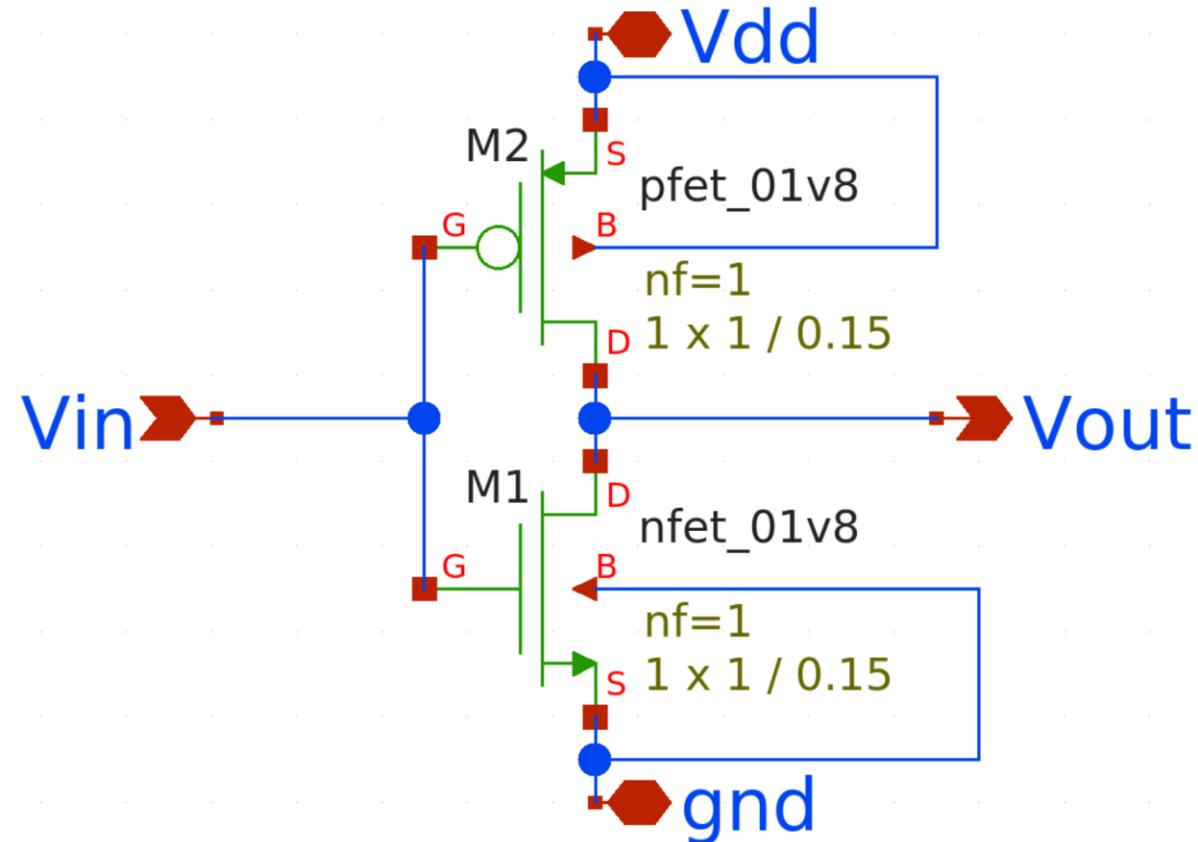


- Una vez creado el símbolo (*.sym) se debe abrir el archivo, este se encontrará en la misma carpeta donde se encuentra el archivo de esquemático (*.sch).
- Para que el esquemático se cree correctamente, es indispensable hacer uso de pines (iopin, ipin y opin).
- Después se puede hacer la simulación del circuito, pero esta vez ya con el símbolo.

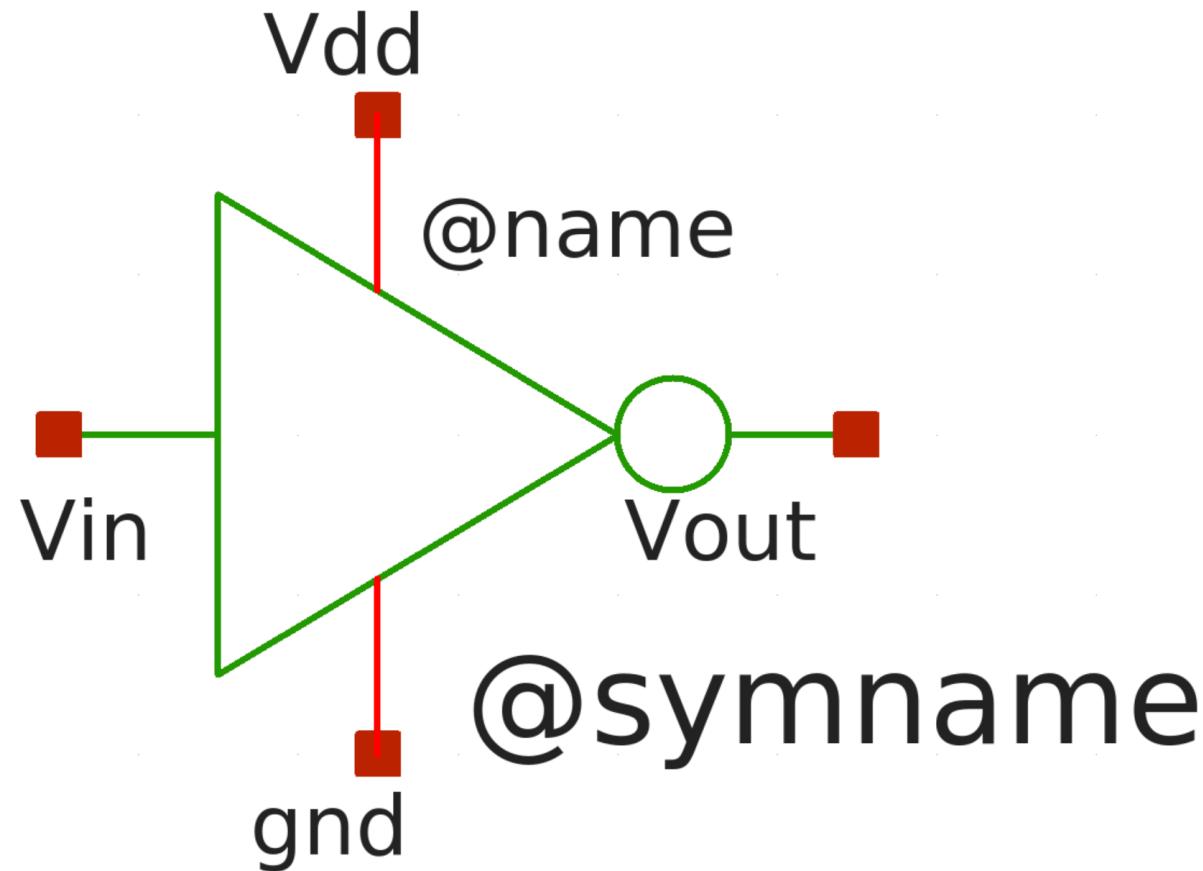
Ejercicio Inversor.

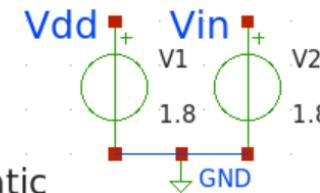
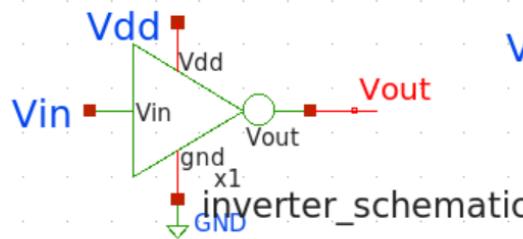
- Hacer un inversor y obtener la curva característica
- Crear el símbolo del inversor.
- Ocupar el símbolo del inversor y hacer las mismas simulaciones.

Schematic



Symbol





TT_MODELS

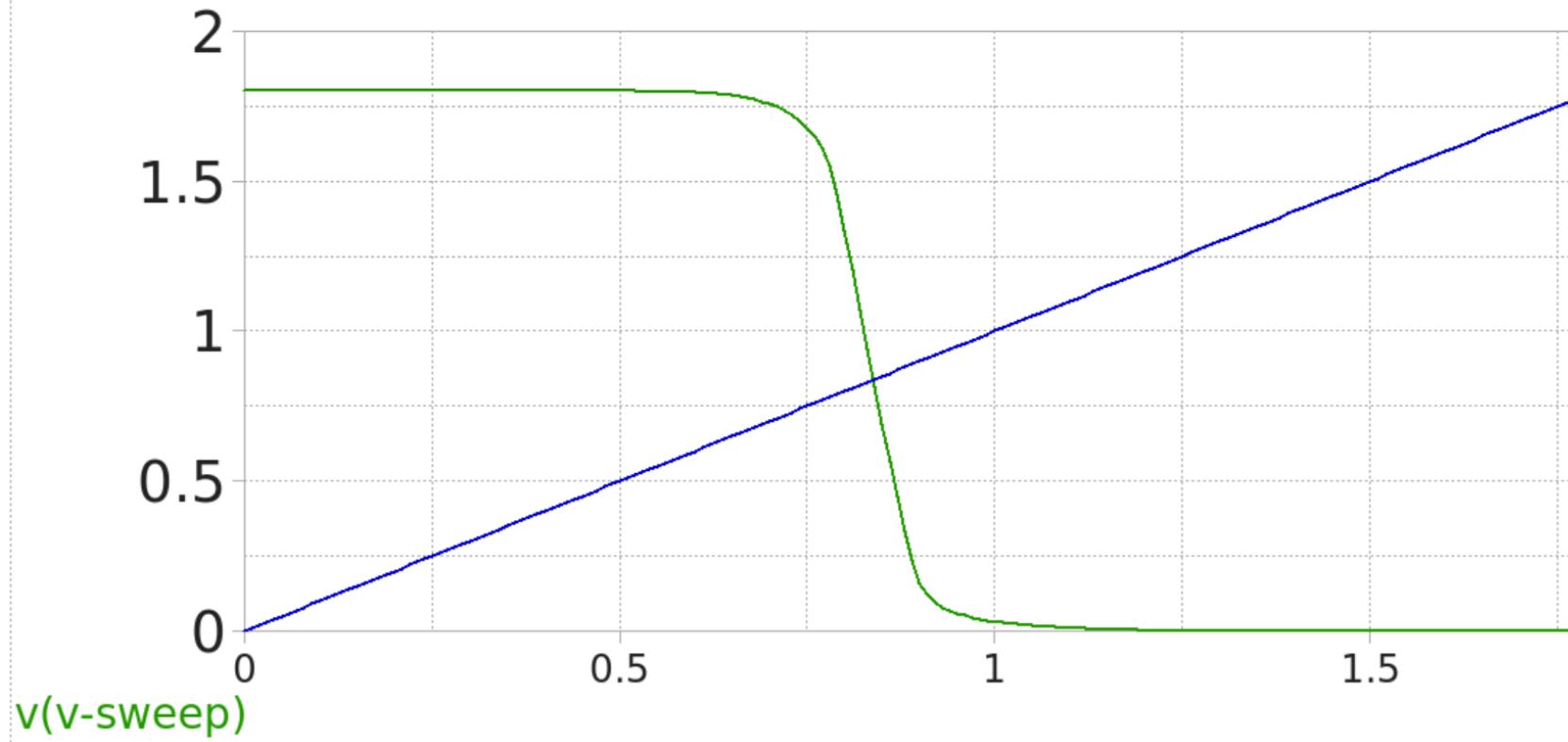


SPICE

```
.dc V2 0 1.8 0.01
.save all
```

vout

v-sweep



MAGIC

Diseño de circuitos VLSI.

¿Qué es Magic?

Magic es una herramienta de diseño VLSI de código abierto que se utiliza para diseñar circuitos integrados personalizados.

Documentación de Skywater (Tecnología skywater 130nm).

<https://skywater-pdk.readthedocs.io/en/main/index.html>

Documentación de Magic (layout).

<http://opencircuitdesign.com/magic/>

Reglas de diseño

<https://skywater-pdk.readthedocs.io/en/main/rules/periphery.html#x>

Documentacion de Netgen (layout vs schematic).

<http://opencircuitdesign.com/netgen/>

Lista de comandos de Magic

[Index of /magic/commandref \(opencircuitdesign.com\)](Index of /magic/commandref (opencircuitdesign.com))

Documentacion de Xschem

[XSCHM TUTORIAL \(sourceforge.io\)](XSCHM TUTORIAL (sourceforge.io))

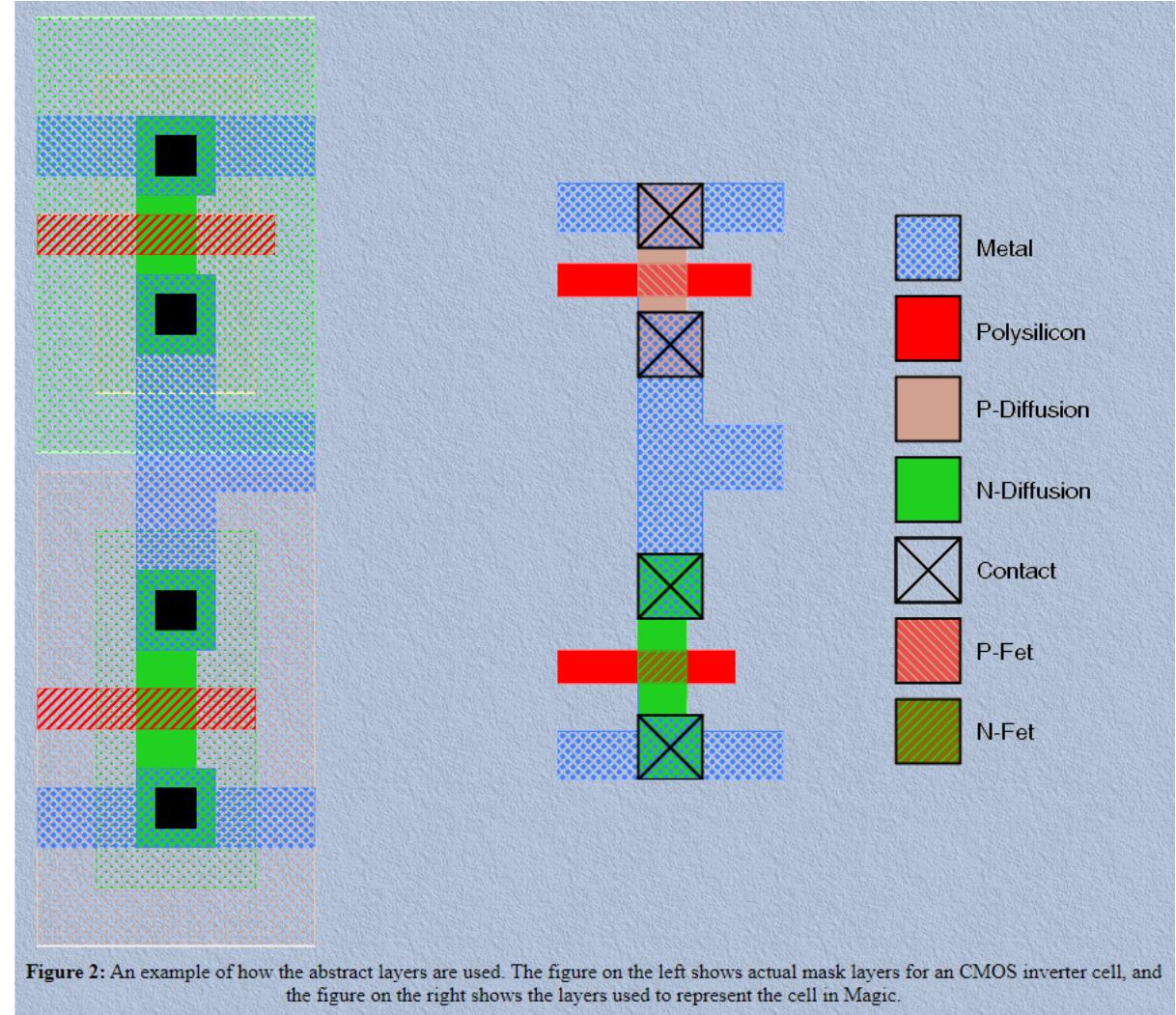
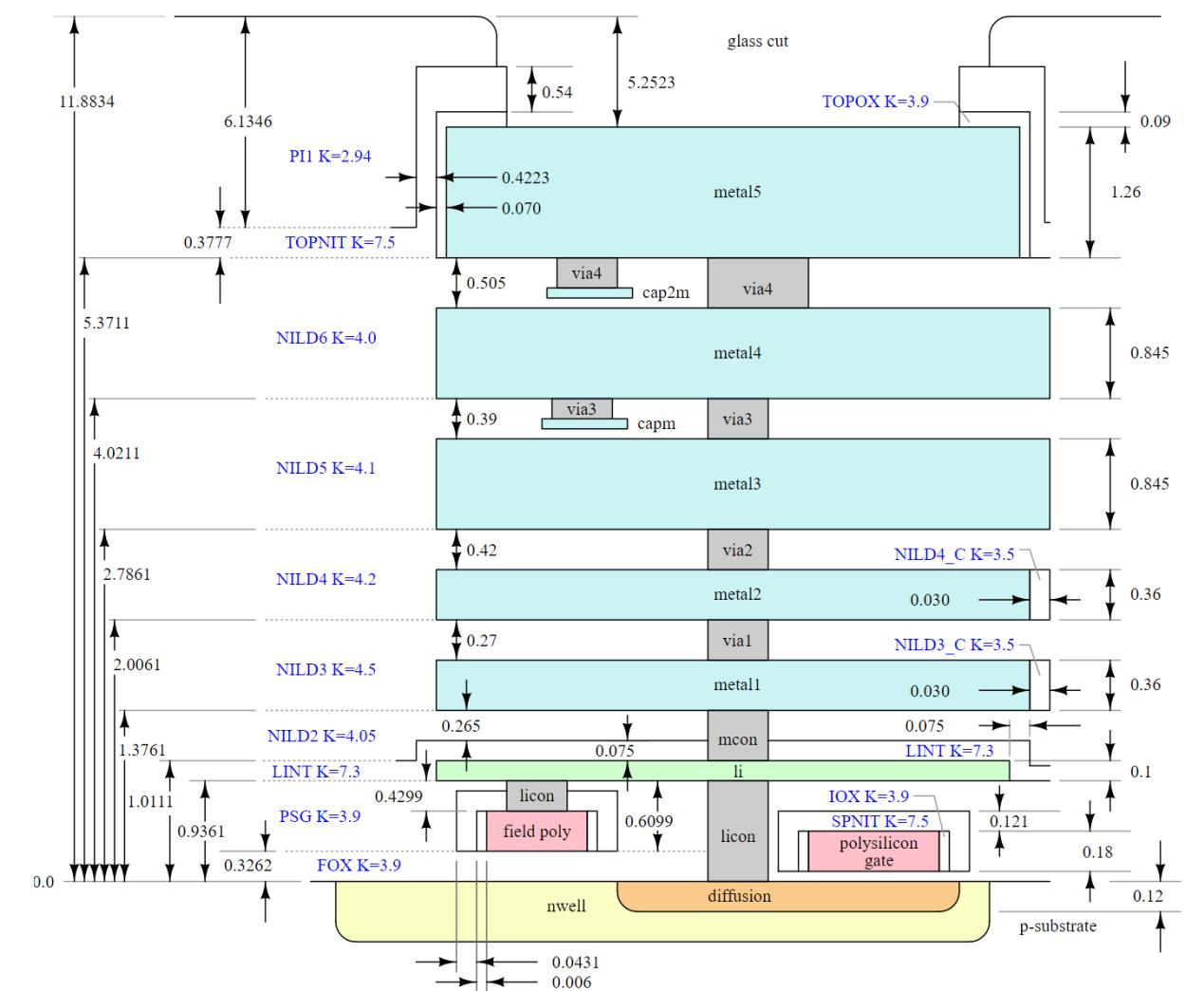


Figure 2: An example of how the abstract layers are used. The figure on the left shows actual mask layers for an CMOS inverter cell, and the figure on the right shows the layers used to represent the cell in Magic.

Iniciando Magic

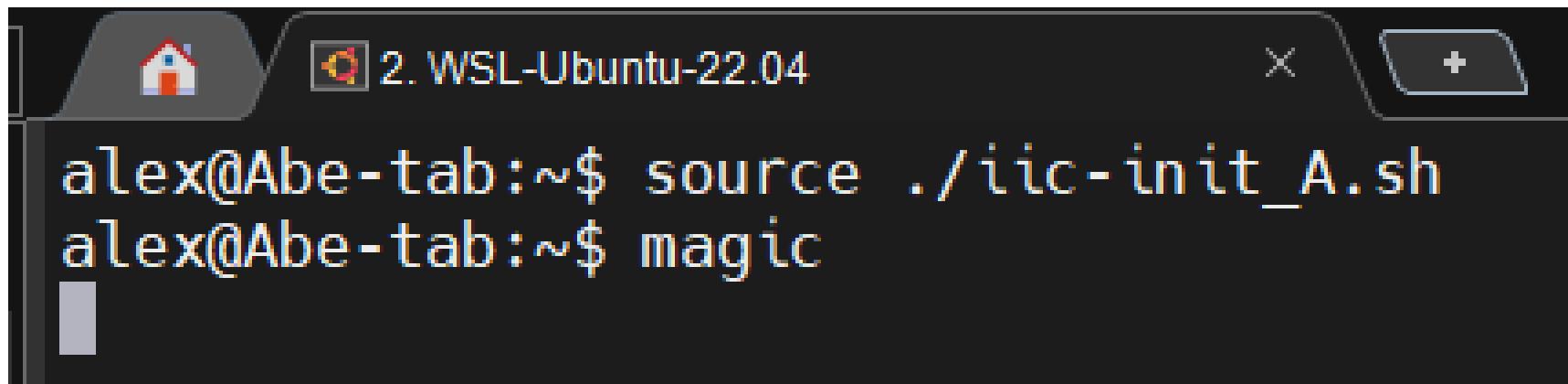
- Cargar las librerías necesarias:

```
source ./iic-init_A.sh // El archivo puede cambiar según la instalación.
```

- Iniciar Magic

```
magic
```

```
magic -d OGL //para usar vista 3d (aún en desarrollo)
```



Ventanas

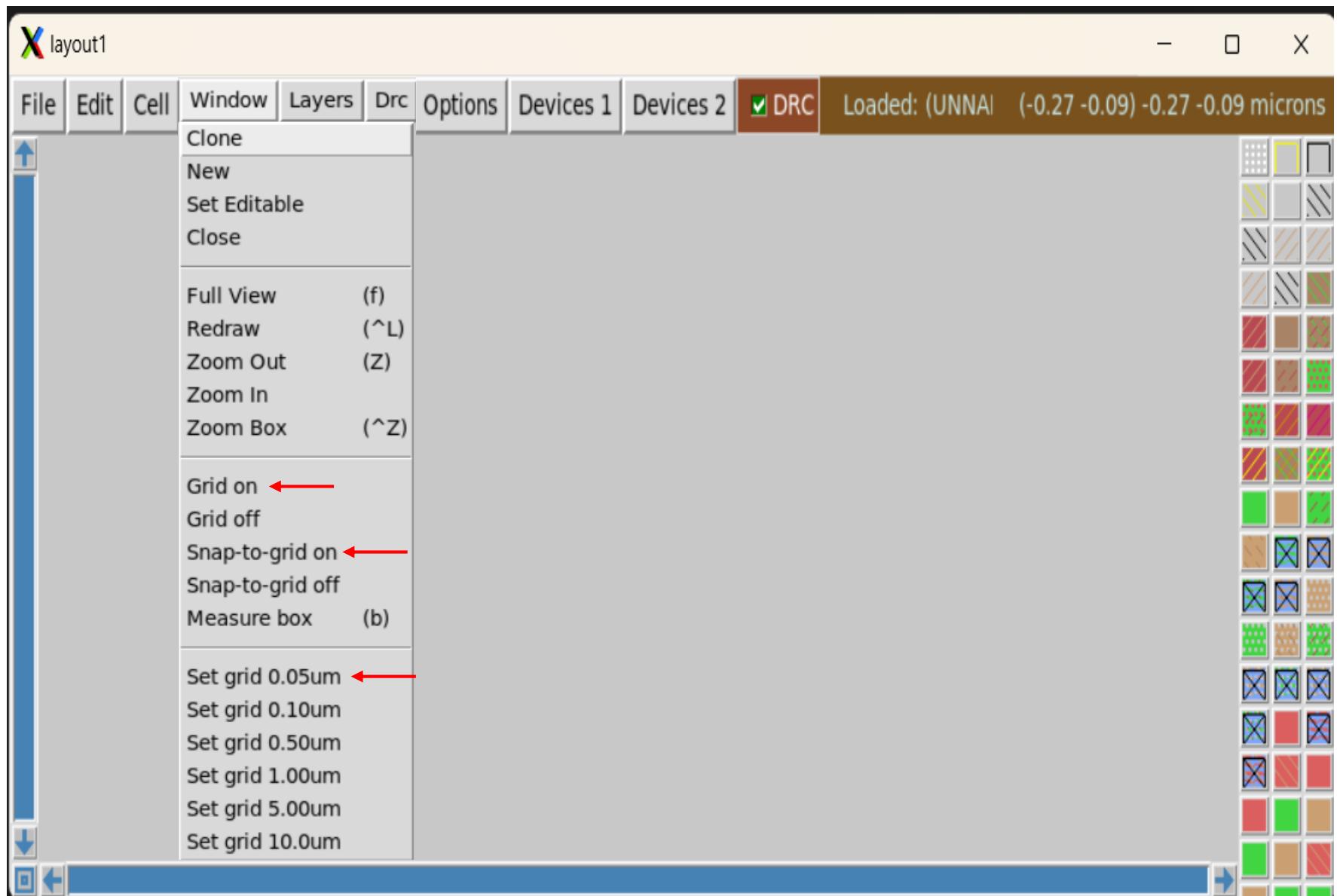


Ventana de diseño

A screenshot of a terminal window titled "tkcon 2.3 Main". The window has a menu bar with File, Console, Edit, Interp, Prefs, History, and Help. The main area displays a series of commands and their results:

```
Root cell box:  
    width x height ( llx, lly ), ( urx, ury ) area (units^2)  
)  
  
microns: 0.010 x 0.010 ( 0.000, 0.000 ), ( 0.010, 0.010 ) 0.000  
lambda: 1.00 x 1.00 ( 0.00, 0.00 ), ( 1.00, 1.00 ) 1.00  
internal: 2 x 2 ( 0, 0 ), ( 2, 2 ) 4  
Main console display active (Tcl8.6.12 / Tk8.6.12)  
Unknown macro or short command: '^@'  
Unknown command: 'cif' 'scale' 'out' at (2417, 411)  
% |
```

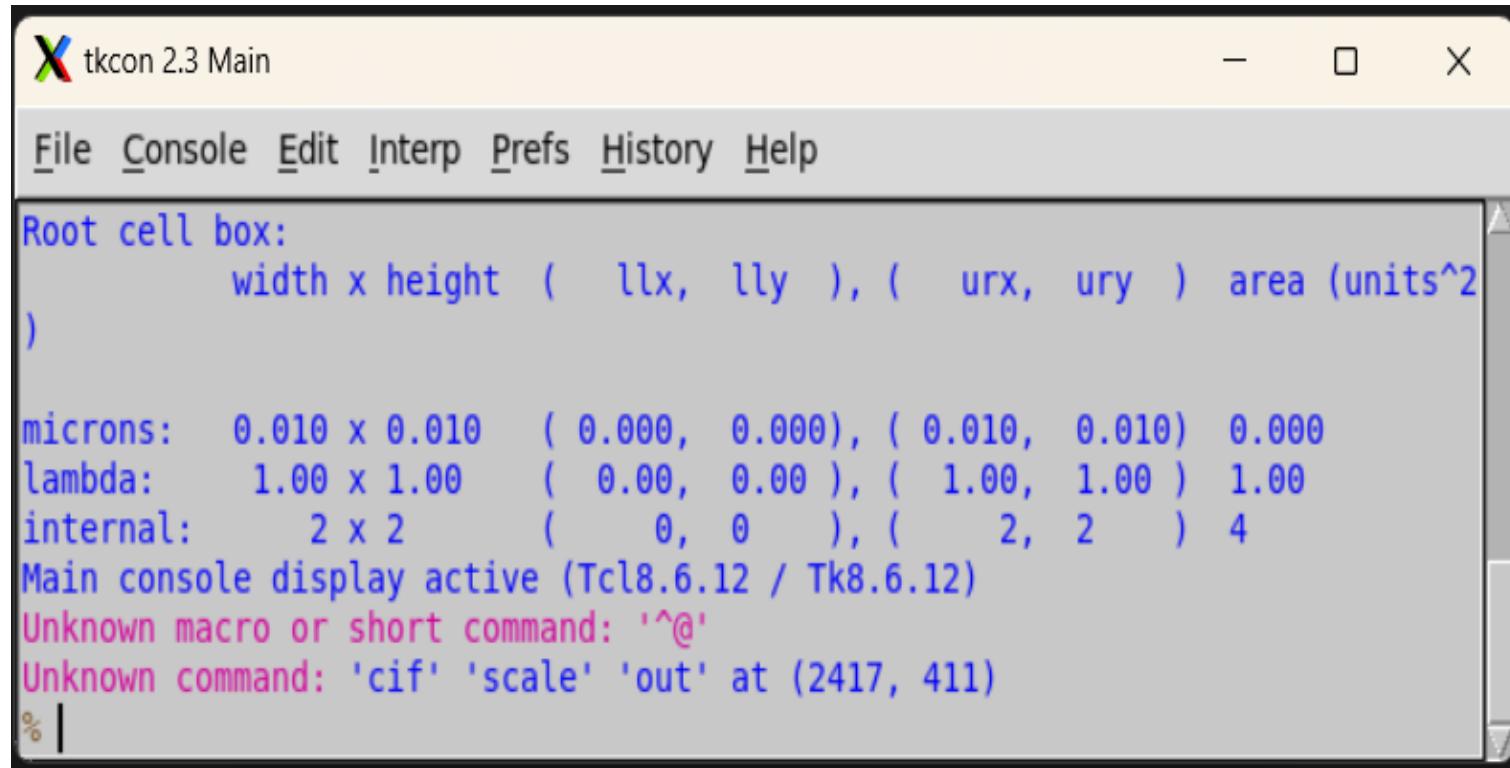
Ventana de comando



Zoom in / out
Relleno
Mover el cursor
Establece el área

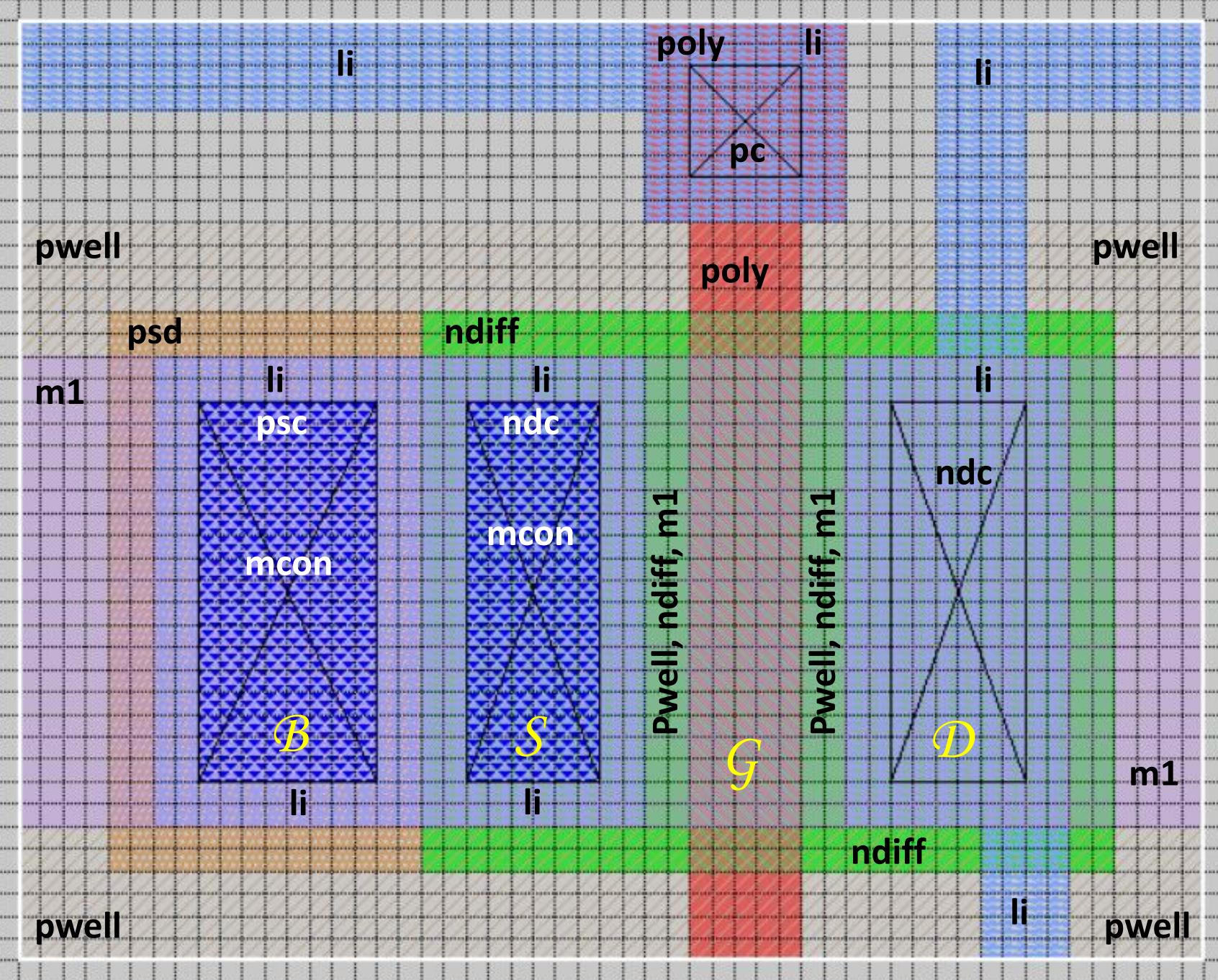
s	Seleccionar (selección general)
i	Seleccionar celda (seleccionar interfaz)
a	Seleccionar área
m	Mover
u	Deshacer
Z, z, ctrl z	Zoom in, zoom out, Ajustar a selección
c	Copiar
r	Girar
f, v	Para centrar y zoom
k	Medidas
x	Muestra elementos
X	Oculta elementos
e	Editar elementos agrupados
FLECHAS	Moverte en la pantalla
g	Mostrar / ocultar cuadrícula

Comandosersa

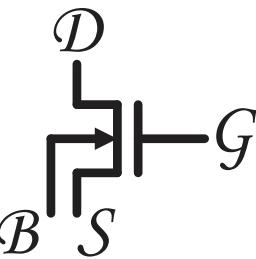


grid on / off	rejilla
grid XXUm	rejilla cuadrada
grid XXUm YYUm	rejilla rectangular
drc style drc(full) full, fast, routing	Aplica todas las reglas de diseño
drc why drc find drc count	Describe el error Busca errores cuenta los errores
tech layers	Enlista nombres de capas
paint <capa>	Colorea la capa
what	Muestra el nombre de la capa
box (0, 0) x y	Crear caja (origen) dimensiones x y
save <name>	Guarda la celda
getcel <name>	Importa la celda
erase <capa>	Elimina la capa

Capa	Descripción	Capa	Descripción
poly	Polisilicio	psd	Difusión de sustrato tipo P (para conectar el bulk)
li	Local interconection (conector para fuente/drenador)	nsd	Difusión de sustrato tipo N (para conectar el bulk)
ndiff	Difusión tipo N, requiere pozo tipo P	psc	Contacto de sustrato P
pdiff	Difusión tipo P, requiere pozo tipo N	nsc	Contacto de sustrato N
pwell	Pozo tipo P	pc	Contacto de polisilicio
nwell	Pozo tipo N	m1	Metal 1
ndc	Contacto difusión tipo N	mcon	Contacto con metal 1
pdc	Contacto difusión tipo P		



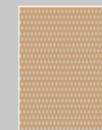
Transistor
Tipo "N"



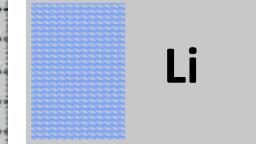
Grid: 0.05um / 50nm
pwell= 53x33
psd=14x25
ndiff=31x25
li=22x21 ; 10x21
poly=5x33
ndc=6x17
psc=8x17
m1=53x21



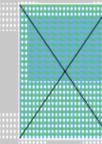
Poly



Psd



Li



Ndc



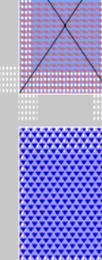
Psc



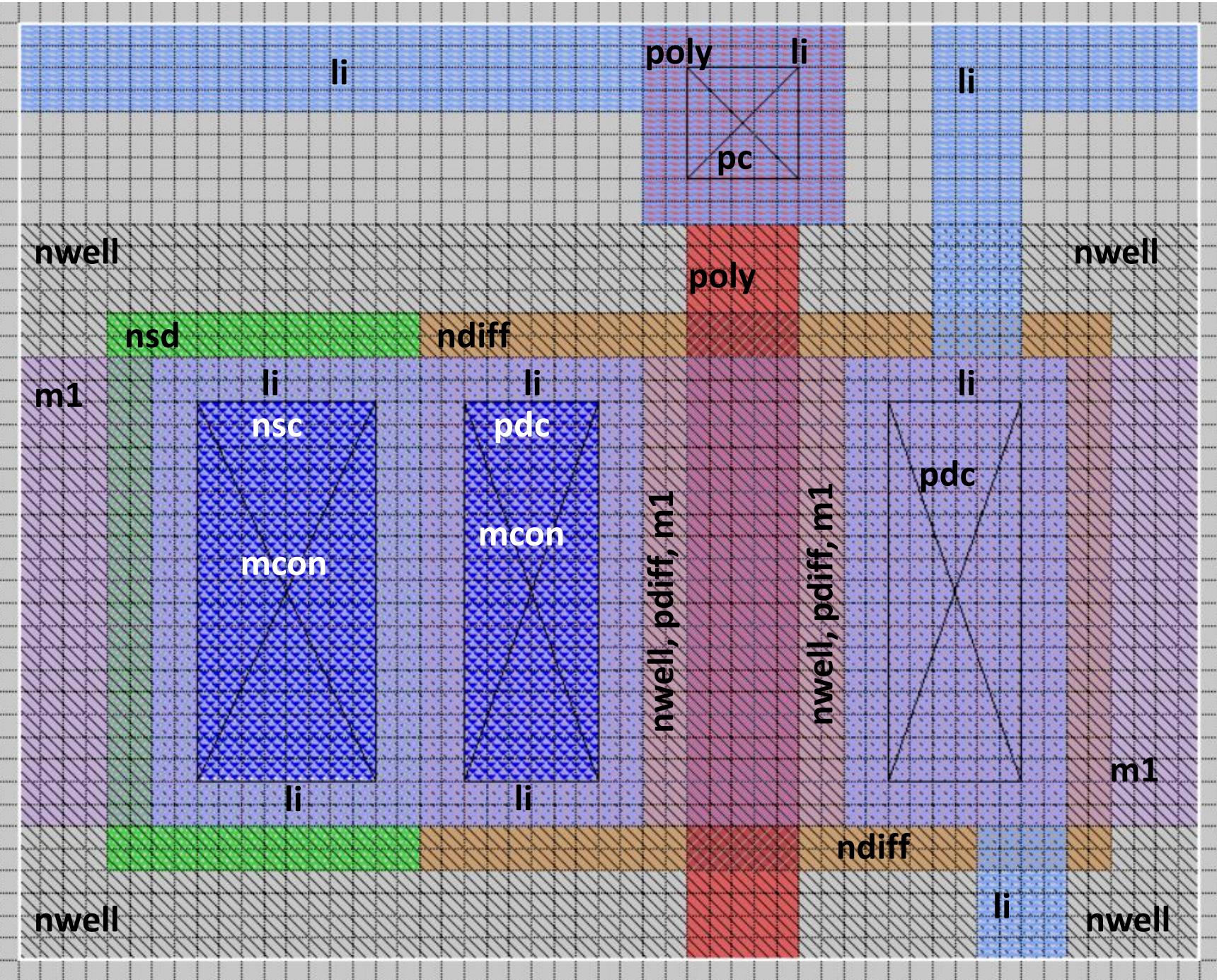
Pc



M1



mcon



Comandos

move <dir> <#>	mueve el elemento seleccionado (a) los cuadros en la dirección indicada
Rotate <degree>	Gira los grados indicados (90, 180, 360)
label <name> <position> <layer>	Crea una etiqueta en la posición y capa específica
erase label	Borra la etiqueta dentro de la selección
extract all	Extrae características
ext2spice	Estrea modelo spice

LVS

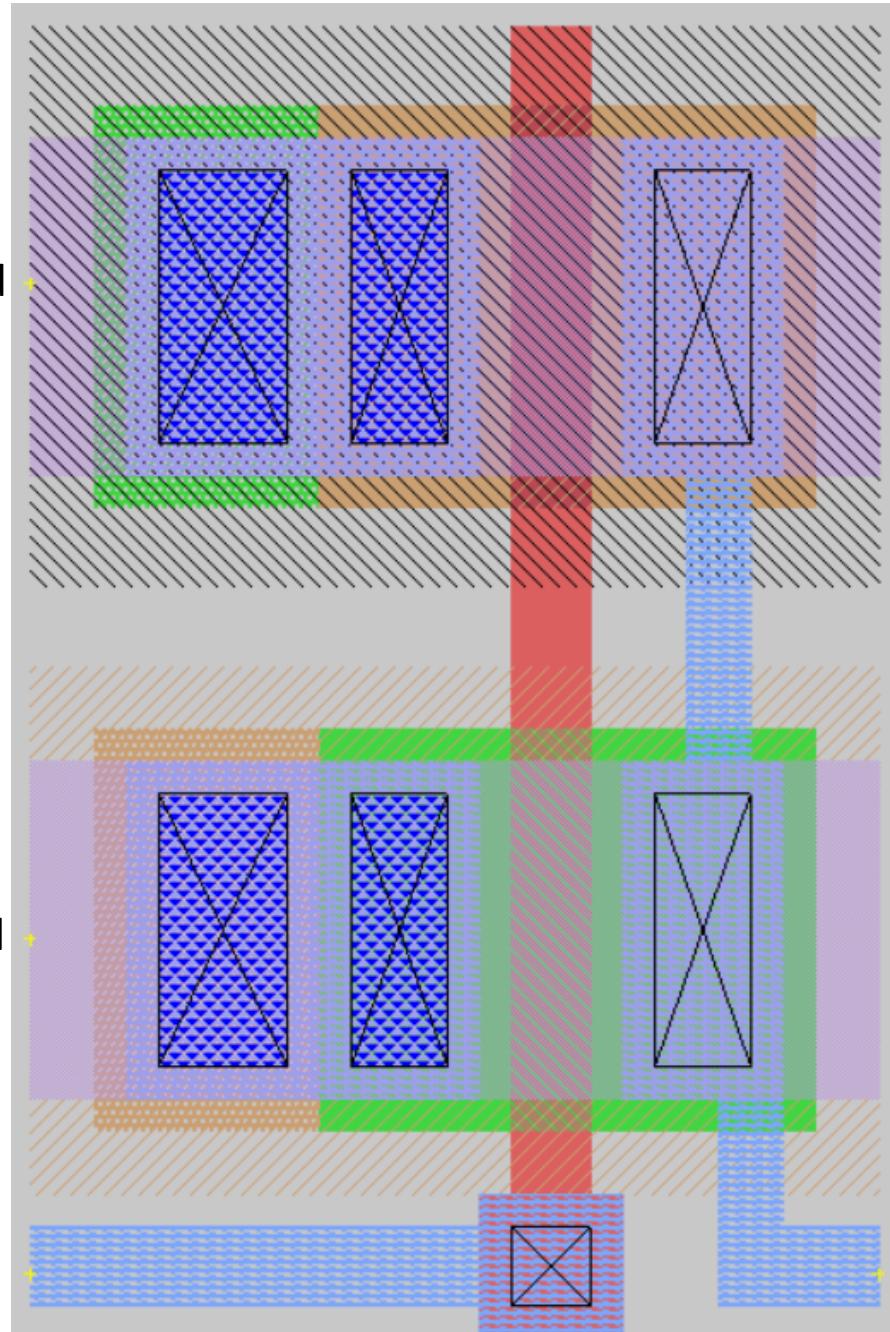
- Las etiquetas sirven para identificar conexiones y poder hacer una comparación contra el esquemático, esto es el LVS (layout vs schematic).
- Si se cambia el pozo, en automático se cambia el tipo de transistor.
- Es importante extraer parásitos con **extract all** y hacer el archivo spice con **ext2space**

WIRING

espacio	Selector de herramienta de selección
Shift	Subir nivel de metal
scroll	Adelgaza o ensancha conexión
Click derecho	Pausar enrutamiento
Click izquierdo	Comenzar enrutamiento

Comandos

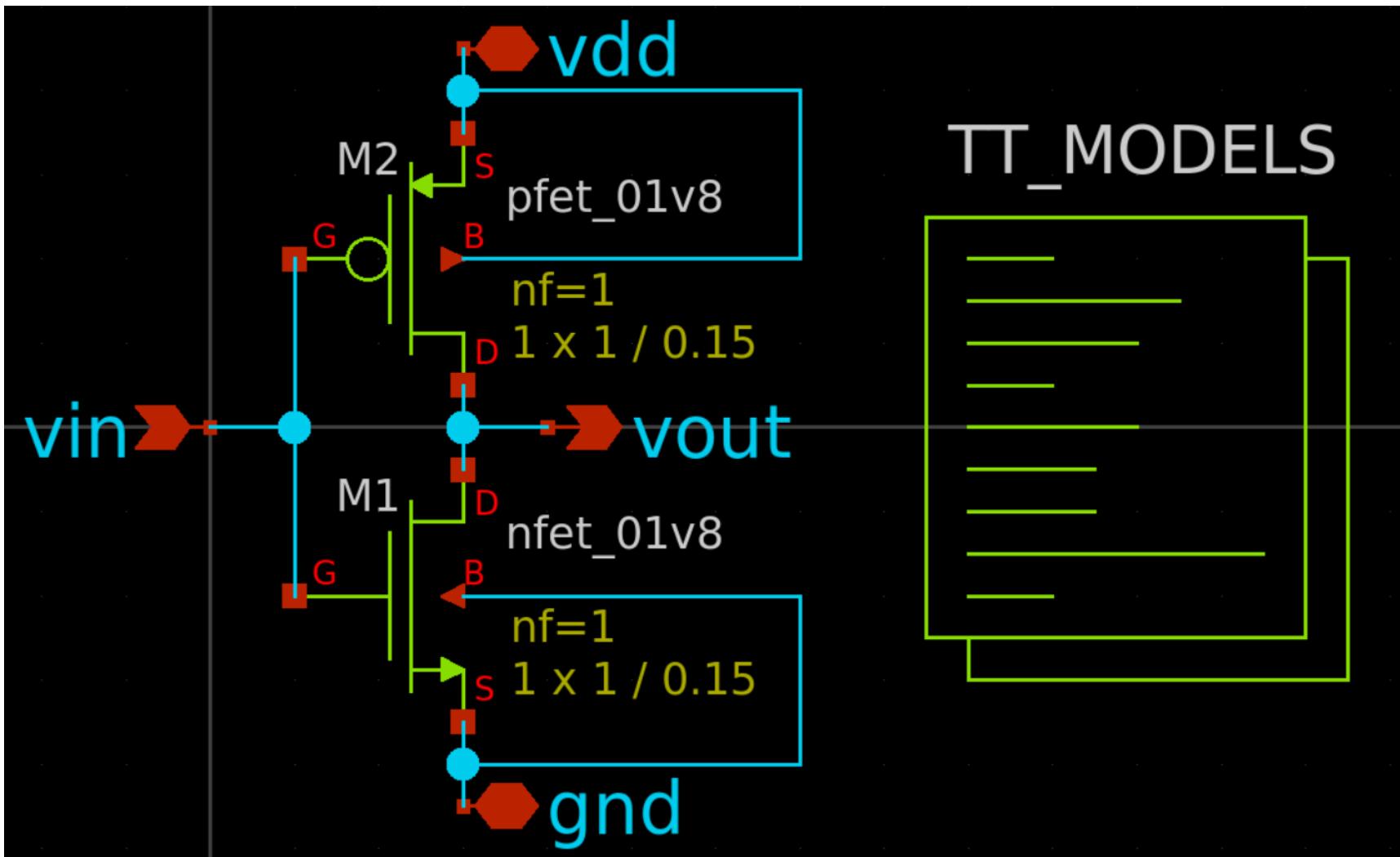
cif see <elemento>	Mostrar elementos físicos.
MCON	Vías a metal1
CONT	Vías a li
feed clear	Oculta elementos físicos
array x y	Copia el elemento seleccionado tantas veces como indique la matriz



```
% save inverter  
% extract all  
Extracting inverter into inverter.ext:  
% ext2spice  
ext2spice finished.
```



```
inverter.spice
~/
1/* SPICE3 file created from inverter.ext - technology: sky130A
2
3 X0 vout vin vdd vdd sky130_fd_pr_pfet_01v8 ad=0.875 pd=3.9 as=0.75 ps=3.7 w=1.25 l=0.25
4 X1 vout vin gnd gnd sky130_fd_pr_nfet_01v8 ad=0.875 pd=3.9 as=0.75 ps=3.7 w=1.25 l=0.25
```



Se crea un diagrama esquemático y se crea el archivo .spice, esto servirá para comparar eléctricamente tanto el esquemático como el layout y verificar que se comportan igual.



inverter.spice

```
1/* SPICE3 file created from inverter.ext - technology: sky130A
2
3 X0 vout vin vdd vdd sky130_fd_pr_pfet_01v8 ad=0.875 pd=3.9 as=0.75 ps=3.7 w=1.25 l=0.25
4 X1 vout vin gnd gnd sky130_fd_pr_nfet_01v8 ad=0.875 pd=3.9 as=0.75 ps=3.7 w=1.25 l=0.25
```

inverter_sch.spice

```
1 ** sch_path: /home/alex/inverter_sch.sch
2 **.subckt inverter_sch vdd gnd vin vout
3 *.iopin vdd
4 *.iopin gnd
5 *.ipin vin
6 *.opin vout
7 XM1 vout vin gnd gnd sky130_fd_pr_nfet_01v8 L=0.15 W=1 nf=1 ad='int((nf+1)/2) * W/nf * 0.29' as='int((nf+2)/2) * W/nf * 0.29'
8 + pd='2*int((nf+1)/2) * (W/nf + 0.29)' ps='2*int((nf+2)/2) * (W/nf + 0.29)' nrd='0.29 / W' nrs='0.29 / W'
9 + sa=0 sb=0 sd=0 mult=1 m=1
10 XM2 vout vin vdd vdd sky130_fd_pr_pfet_01v8 L=0.15 W=1 nf=1 ad='int((nf+1)/2) * W/nf * 0.29' as='int((nf+2)/2) * W/nf * 0.29'
11 + pd='2*int((nf+1)/2) * (W/nf + 0.29)' ps='2*int((nf+2)/2) * (W/nf + 0.29)' nrd='0.29 / W' nrs='0.29 / W'
12 + sa=0 sb=0 sd=0 mult=1 m=1
13 **** begin user architecture code
14
15 ** opencircuitdesign pdks install
16 .lib /home/alex/pdk/sky130A/libs.tech/ngspice/sky130.lib.spice tt
17
18
19 **** end user architecture code
20 **.ends
21 .end
```

netgen

Esta es la herramienta que se usa para hacer el LVS

```
netgen -batch lvs <archivo1.spice> <archivo2.spice> <archivo_setup.tlc> <archivo_resultados>
```

```
netgen -batch lvs inverter_sch.spice inverter.spice sky130A_setup.tcl lvs_report
```

// se deben poner las direcciones en todos los archivos o pasar todos los archivos a la misma carpeta e invocar netgen en esa carpeta copiar también el archivo sky130A_setup.tlc a la carpeta de los archivos spice.

```
LVS done.  
alex@Abe-tab:~$ netgen -batch lvs inverter_sch.spice inverter.spice sky130A_setup.tcl lvs_report |
```



[Open](#) ▾

lvs_report

[Save](#)

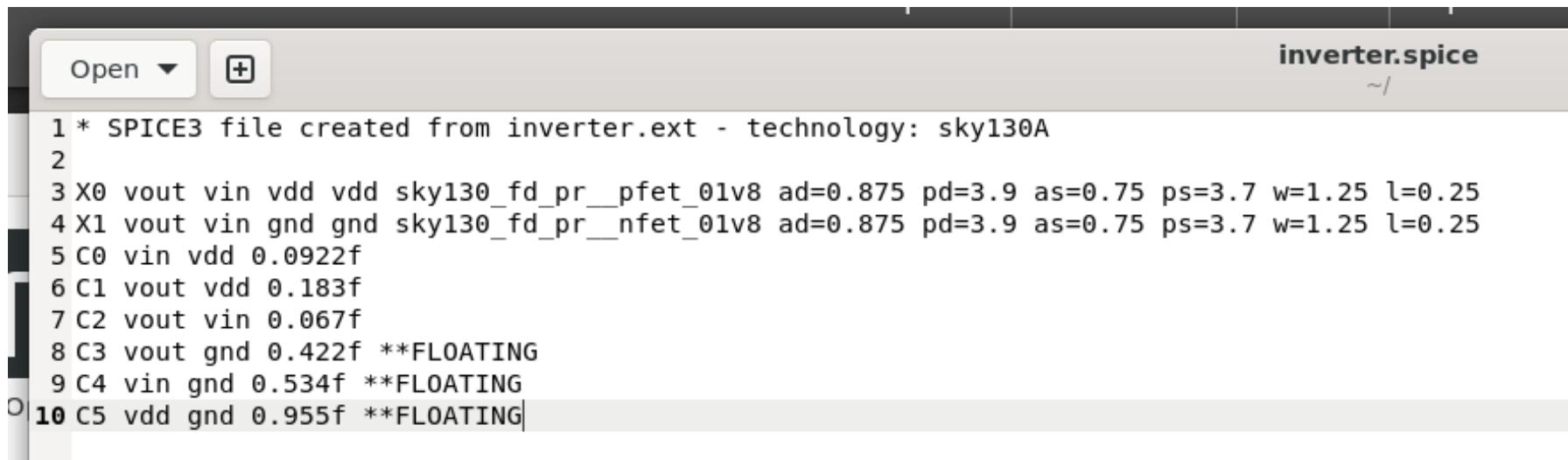
```
1
2 Circuit 1 cell sky130_fd_pr_nfet_01v8 and Circuit 2 cell sky130_fd_pr_nfet_01v8 are black boxes.
3 Equate elements: no current cell.
4 Device classes sky130_fd_pr_nfet_01v8 and sky130_fd_pr_nfet_01v8 are equivalent.
5
6 Circuit 1 cell sky130_fd_pr_pfet_01v8 and Circuit 2 cell sky130_fd_pr_pfet_01v8 are black boxes.
7 Equate elements: no current cell.
8 Device classes sky130_fd_pr_pfet_01v8 and sky130_fd_pr_pfet_01v8 are equivalent.
9
10 Subcircuit summary:
11 Circuit 1: inverter_sch.spice | Circuit 2: inverter.spice
12 -----
13 sky130_fd_pr_nfet_01v8 (1) | sky130_fd_pr_nfet_01v8 (1)
14 sky130_fd_pr_pfet_01v8 (1) | sky130_fd_pr_pfet_01v8 (1)
15 Number of devices: 2 | Number of devices: 2
16 Number of nets: 4 | Number of nets: 4
17 -----
18 Netlists match uniquely with property errors.
19 sky130_fd_pr_pfet_01v8:M2 vs. sky130_fd_pr_pfet_01v8:0:
20 W circuit1: 1 circuit2: 1.25 (delta=22.2%, cutoff=1%)
21 L circuit1: 0.15 circuit2: 0.25 (delta=50%, cutoff=1%)
22 sky130_fd_pr_nfet_01v8:M1 vs. sky130_fd_pr_nfet_01v8:1:
23 W circuit1: 1 circuit2: 1.25 (delta=22.2%, cutoff=1%)
24 L circuit1: 0.15 circuit2: 0.25 (delta=50%, cutoff=1%)
25 Cells have no pins; pin matching not needed.
26 Device classes inverter_sch.spice and inverter.spice are equivalent.
27
28 Final result: Circuits match uniquely.
29 Property errors were found.
30
31 The following cells had property errors:
32 inverter_sch.spice
```

Pre-Layout vs Post_Layout

- Esta etapa es parecida a la anterior, en el LVS se hace una verificación eléctrica y de componentes, en esta etapa se verifica que el funcionamiento sea el mismo en ambos circuitos.
- Consiste en comparar la forma de onda del circuito en Esquemático con la forma de onda del Layout.
- En el diseño esquemático, las conexiones son ideales y los componentes están conectados uno seguido del otro.
- En el Layout los componentes no son ideales, tienen resistencias y capacitancias parásitas, además los componentes están unidos por cables, que a su vez pueden tener componentes parásitos.
- Además de verificar que la forma de onda es la misma, se busca encontrar que tanto se retarda la señal debido a las resistencias y capacitancias parásitas

En la consola de magic (una vez terminado el layout)

- Extract all
- ext2spice cthresh 0 rthresh 0 //establece umbral en cap y res
- ext2spice



The screenshot shows a terminal window with the following details:

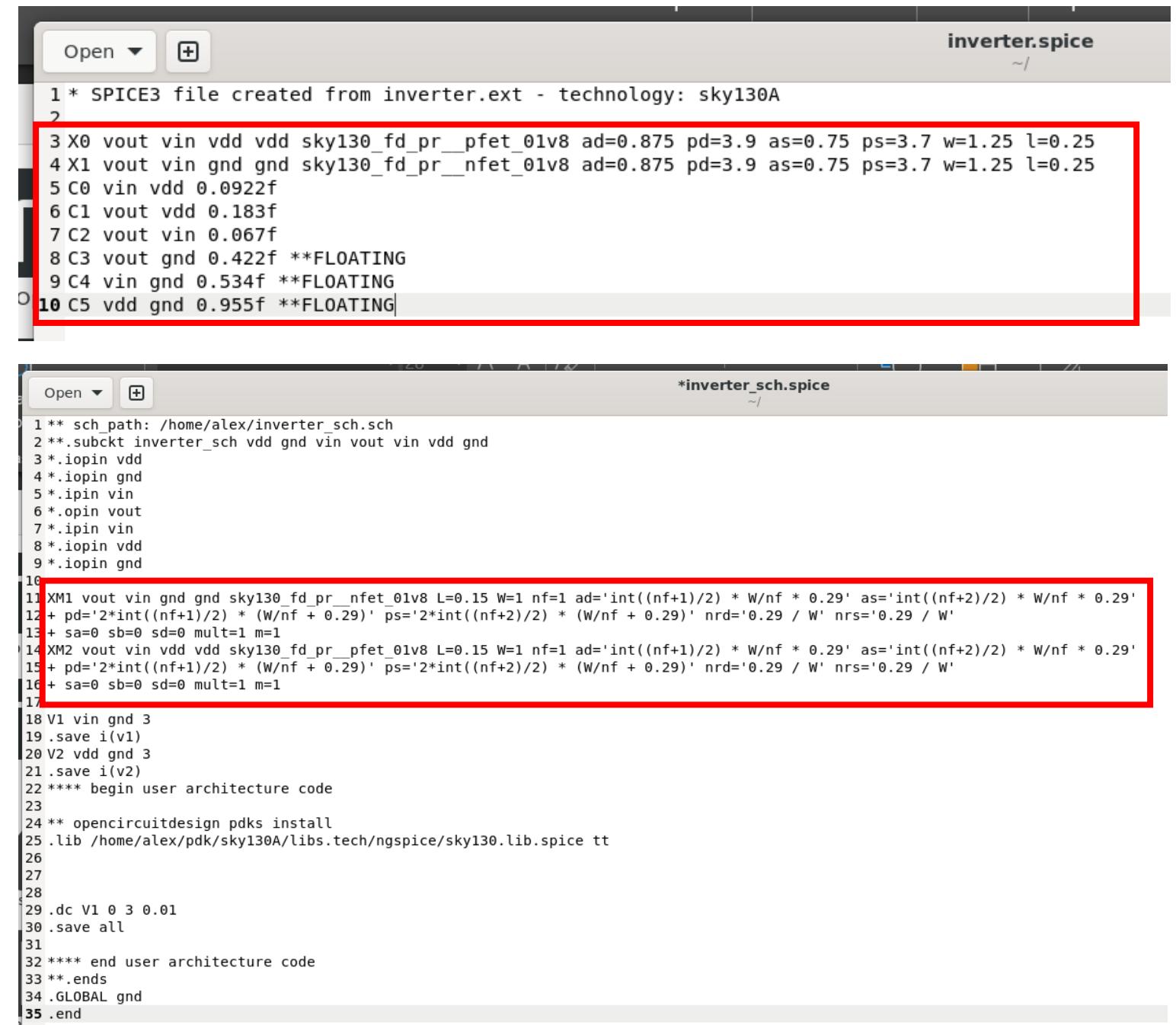
- File menu: Open ▾
- New file icon: +
- File name: inverter.spice
- File path: ~/

The content of the file is as follows:

```
1 * SPICE3 file created from inverter.ext - technology: sky130A
2
3 X0 vout vin vdd vdd sky130_fd_pr_pfet_01v8 ad=0.875 pd=3.9 as=0.75 ps=3.7 w=1.25 l=0.25
4 X1 vout vin gnd gnd sky130_fd_pr_nfet_01v8 ad=0.875 pd=3.9 as=0.75 ps=3.7 w=1.25 l=0.25
5 C0 vin vdd 0.0922f
6 C1 vout vdd 0.183f
7 C2 vout vin 0.067f
8 C3 vout gnd 0.422f **FLOATING
9 C4 vin gnd 0.534f **FLOATING
10 C5 vdd gnd 0.955f **FLOATING|
```

Para hacer la simulación del layout, se tienen que seguir unos sencillos pasos, que es copiar las opciones de simulación al archivo spice generado por magic.

La forma más rápido de hacerlo es copiar el archivo generado por xschem y sustituir los componentes por los generados en magic.



```
inverter.spice
~/
```

```
1 * SPICE3 file created from inverter.ext - technology: sky130A
2
3 X0 vout vin vdd vdd sky130_fd_pr_pfet_01v8 ad=0.875 pd=3.9 as=0.75 ps=3.7 w=1.25 l=0.25
4 X1 vout vin gnd gnd sky130_fd_pr_nfet_01v8 ad=0.875 pd=3.9 as=0.75 ps=3.7 w=1.25 l=0.25
5 C0 vin vdd 0.0922f
6 C1 vout vdd 0.183f
7 C2 vout vin 0.067f
8 C3 vout gnd 0.422f **FLOATING
9 C4 vin gnd 0.534f **FLOATING
10 C5 vdd gnd 0.955f **FLOATING
```



```
*inverter_sch.spice
~/
```

```
1 ** sch_path: /home/alex/inverter_sch.sch
2 **.subckt inverter_sch vdd gnd vin vout vin vdd gnd
3 *.iopin vdd
4 *.iopin gnd
5 *.ipin vin
6 *.opin vout
7 *.ipin vin
8 *.iopin vdd
9 *.iopin gnd
10
11 XM1 vout vin gnd gnd sky130_fd_pr_nfet_01v8 L=0.15 W=1 nf=1 ad='int((nf+1)/2) * W/nf * 0.29' as='int((nf+2)/2) * W/nf * 0.29'
12 + pd='2*int((nf+1)/2) * (W/nf + 0.29)' ps='2*int((nf+2)/2) * (W/nf + 0.29)' nrd='0.29 / W' nrs='0.29 / W'
13 + sa=0 sb=0 sd=0 mult=1 m=1
14 XM2 vout vin vdd vdd sky130_fd_pr_pfet_01v8 L=0.15 W=1 nf=1 ad='int((nf+1)/2) * W/nf * 0.29' as='int((nf+2)/2) * W/nf * 0.29'
15 + pd='2*int((nf+1)/2) * (W/nf + 0.29)' ps='2*int((nf+2)/2) * (W/nf + 0.29)' nrd='0.29 / W' nrs='0.29 / W'
16 + sa=0 sb=0 sd=0 mult=1 m=1
17
18 V1 vin gnd 3
19 .save i(v1)
20 V2 vdd gnd 3
21 .save i(v2)
22 **** begin user architecture code
23
24 ** opencircuitdesign pdks install
25 .lib /home/alex/pdk/sky130A/libs.tech/ngspice/sky130.lib.spice tt
26
27
28
29 .dc V1 0 3 0.01
30 .save all
31
32 **** end user architecture code
33 **.ends
34 .GLOBAL gnd
35 .end
```

Una vez generado el archivo se escribe en la consola

- `ngspice <archivo.spice>`
- `run`
- `setplot`
- `display`
- `plot <señales>`

```
alex@Abe-tab:~$ ngspice inverter1.spice
*****
** ngspice-39 : Circuit level simulation program
** The U. C. Berkeley CAD Group
** Copyright 1985-1994, Regents of the University of California.
** Copyright 2001-2022, The ngspice team.
** Please get your ngspice manual from http://ngspice.sourceforge.net/docs.html
** Please file your bug-reports at http://ngspice.sourceforge.net/bugrep.html
** Creation Date: Thu May 18 16:48:11 UTC 2023
*****  
  
Note: Compatibility modes selected: hs a  
  
Warning: m=xx on .subckt line will override multiplier m hierarchy!  
  
Circuit: * spice3 file created from inverter.ext - technology: sky130a  
option SCALE: Scale is set to 1e-06 for instance and model parameters  
ngspice 1 → █
```

Otros parámetros

- `set color0=white` ;color de fondo
- `set color1=black` ;color de ejes y cuadrícula
- `set xbrushwidth=5` ;ancho de línea
- `plot <señal1> vs <señal2>` ;para establecer los ejes
- `display @<elemento>` ;muestra las propiedades del elemento

```
ngspice 1 → run
Doing analysis at TEMP = 27.000000 and TNOM = 27.000000

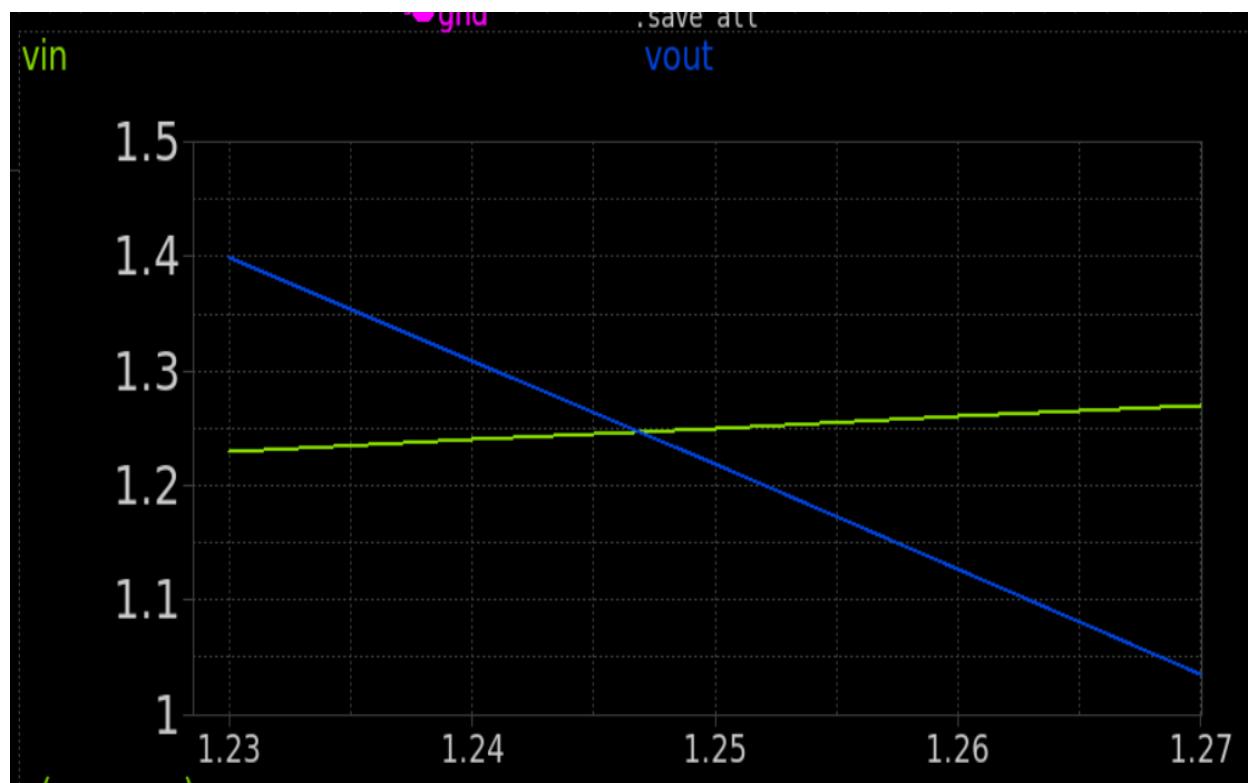
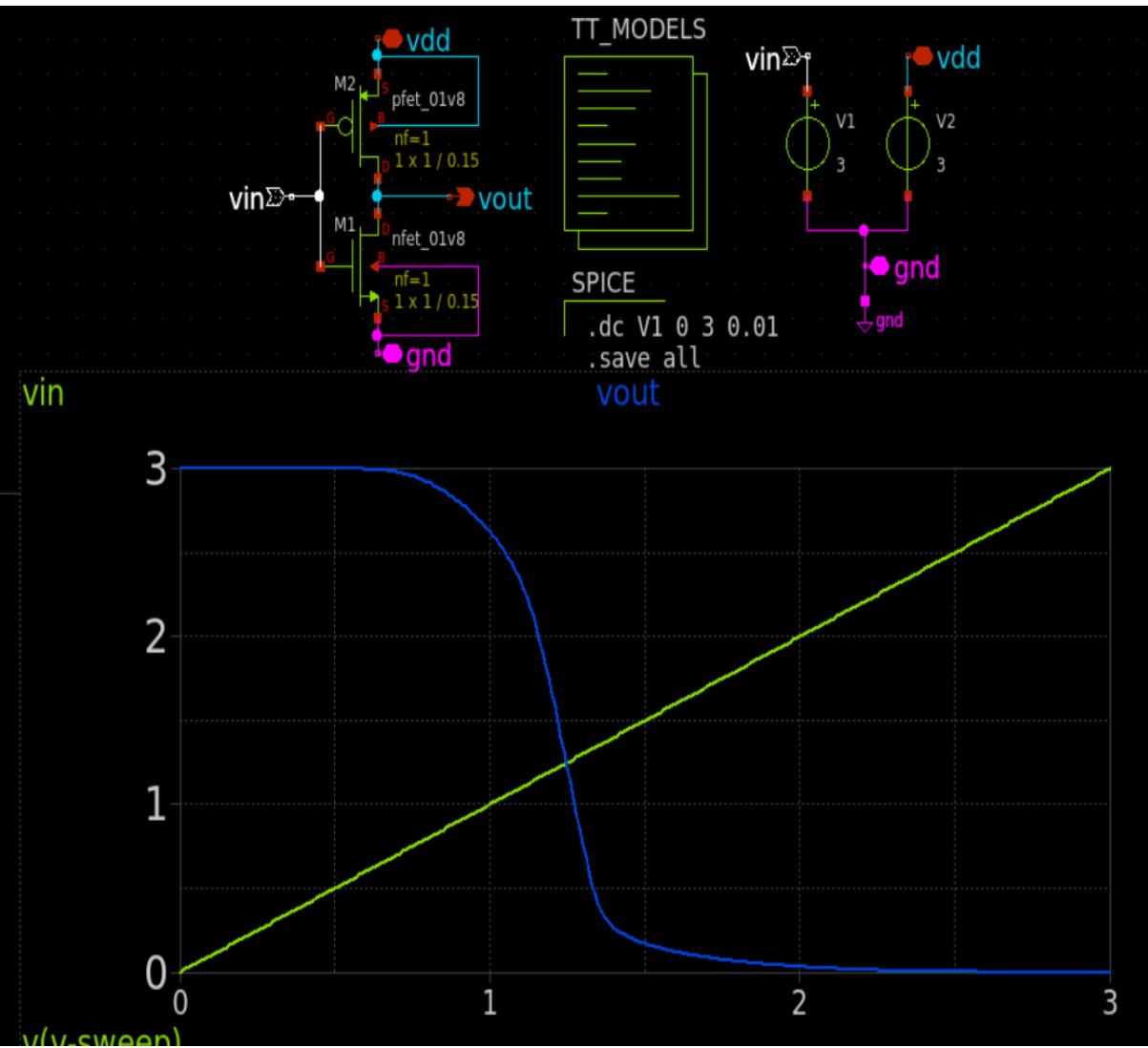
  Reference value : 0.00000e+00
No. of Data Rows : 301
ngspice 2 → setplot
List of plots available:

Current dc1      * spice3 file created from inverter.ext - technology: sky130a (DC transfer characteristic)
    const  Constant values (constants)
ngspice 3 → display
Here are the vectors currently active:

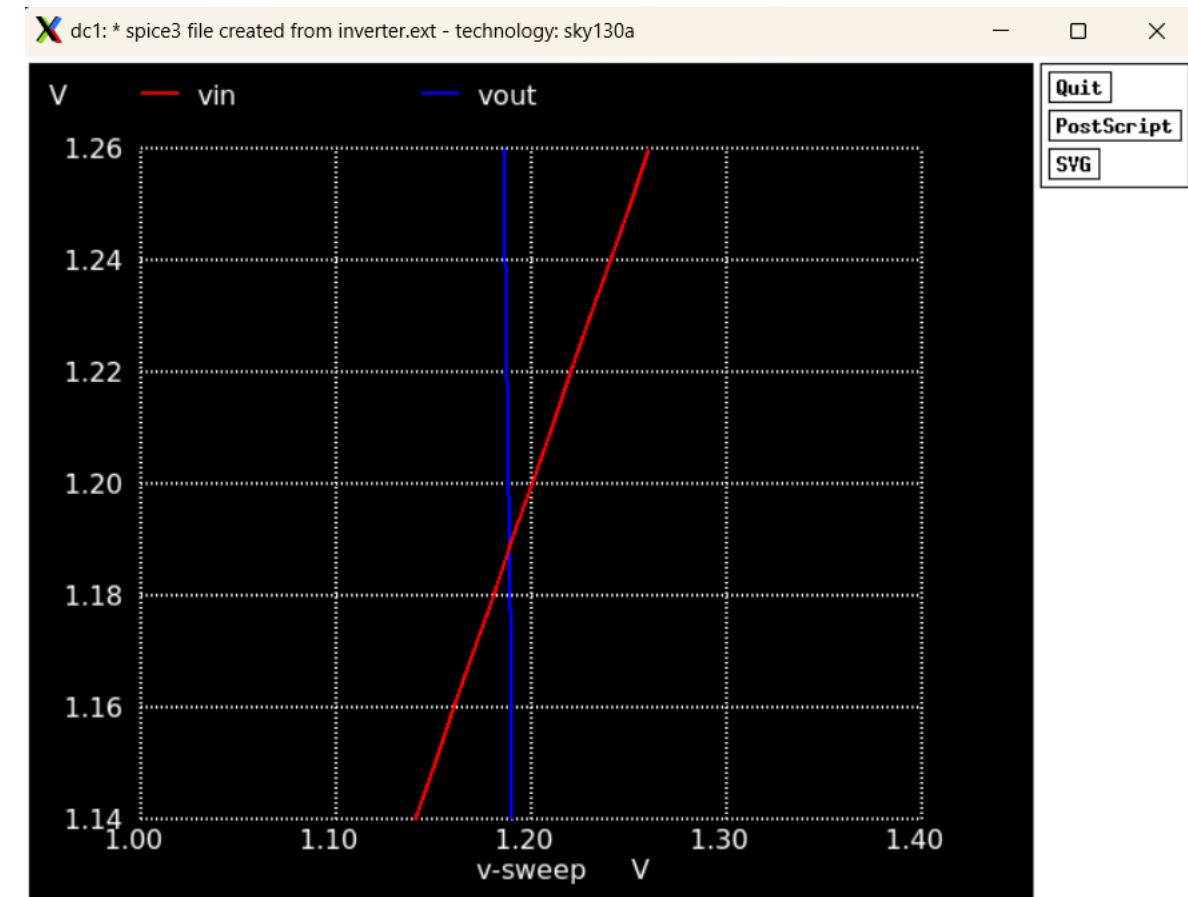
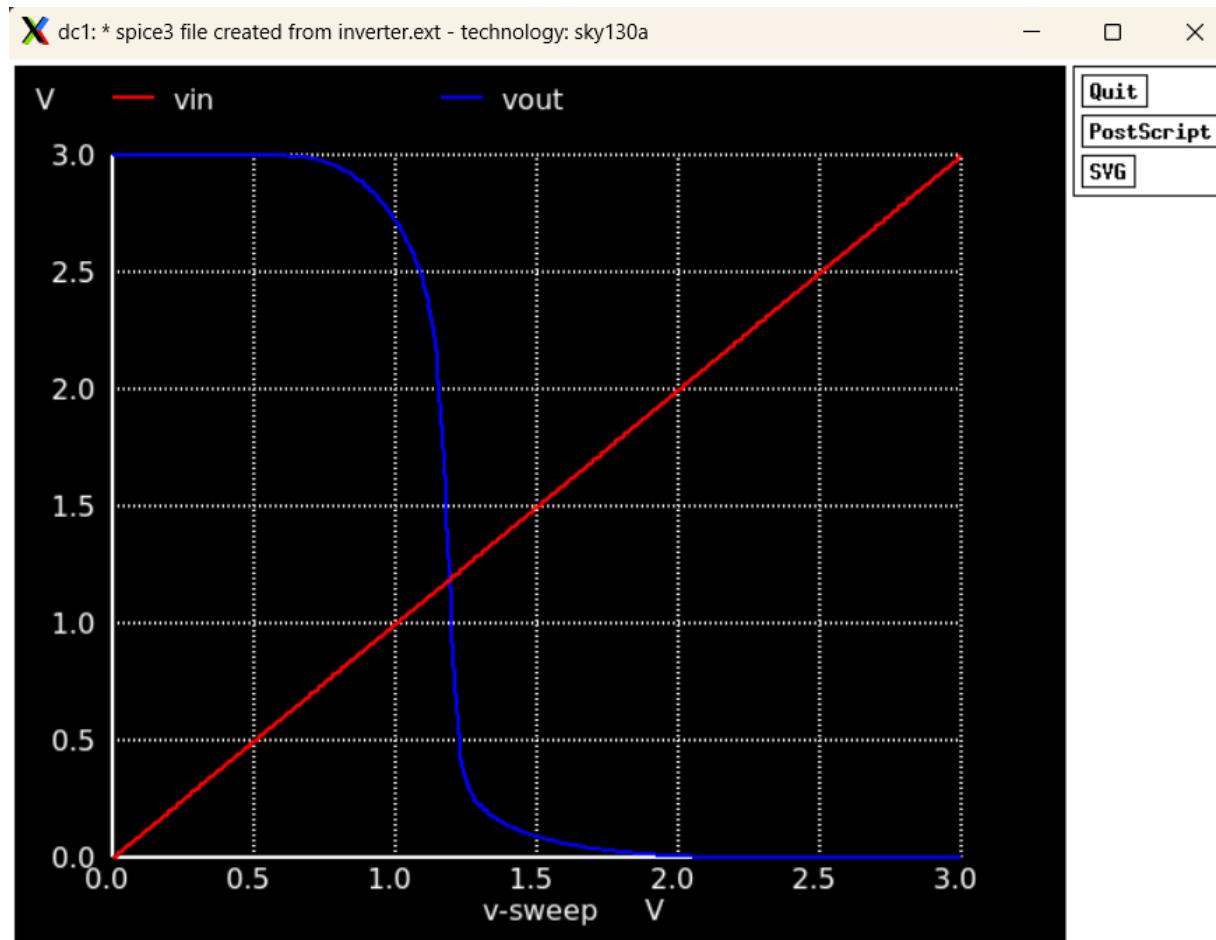
Title: * spice3 file created from inverter.ext - technology: sky130a
Name: dc1 (DC transfer characteristic)
Date: Thu Aug 31 17:52:55 2023

m.x0.msky130_fd_pr_pfet_01v8#body: voltage, real, 301 long
m.x0.msky130_fd_pr_pfet_01v8#dbody: voltage, real, 301 long
m.x0.msky130_fd_pr_pfet_01v8#sbody: voltage, real, 301 long
m.x1.msky130_fd_pr_nfet_01v8#body: voltage, real, 301 long
m.x1.msky130_fd_pr_nfet_01v8#dbody: voltage, real, 301 long
m.x1.msky130_fd_pr_nfet_01v8#sbody: voltage, real, 301 long
v-sweep          : voltage, real, 301 long [default scale]
v1#branch        : current, real, 301 long
v2#branch        : current, real, 301 long
vdd              : voltage, real, 301 long
vin              : voltage, real, 301 long
vout             : voltage, real, 301 long
ngspice 4 → plot
```

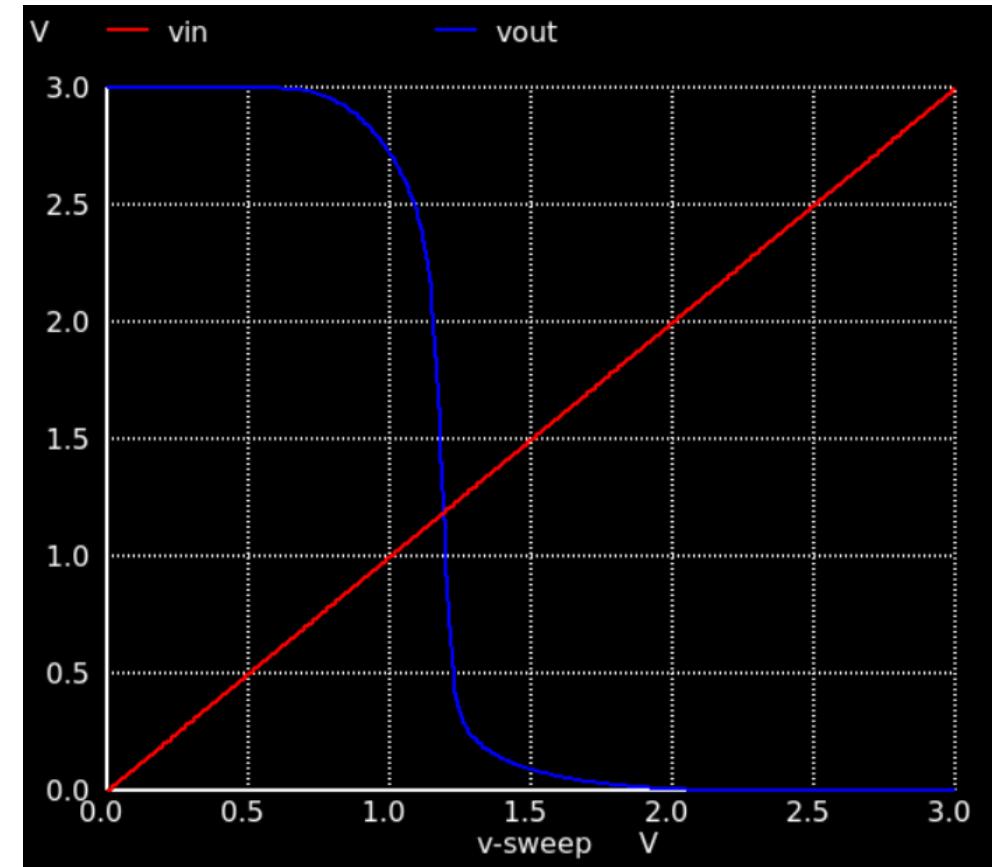
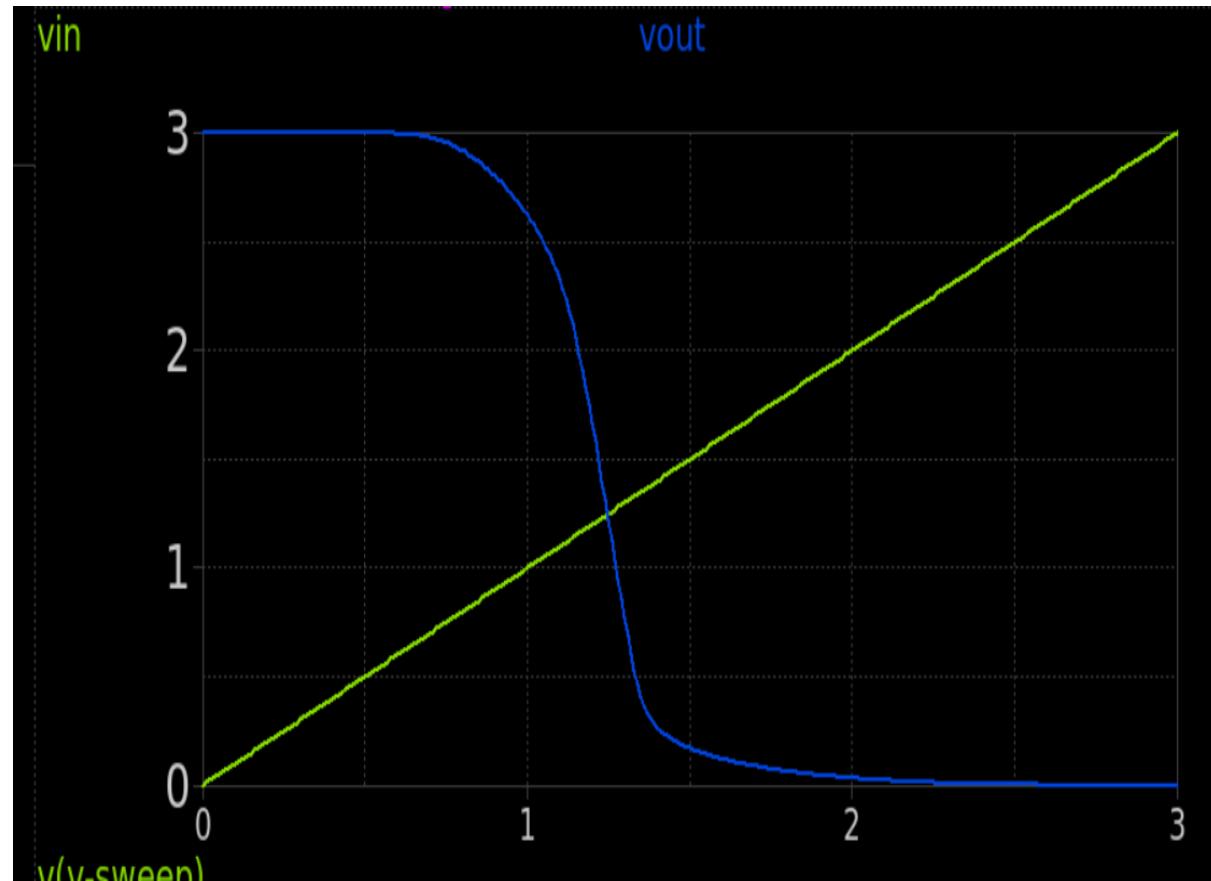
Simulación Pre_Layout



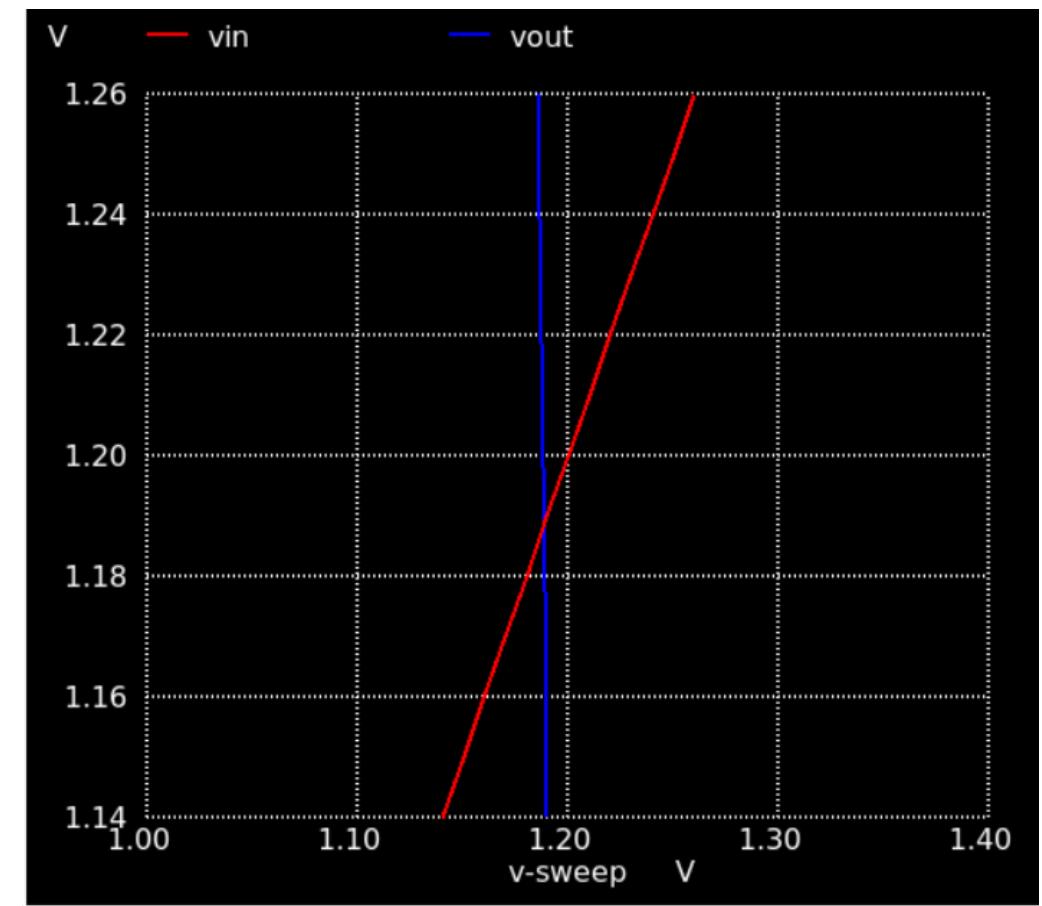
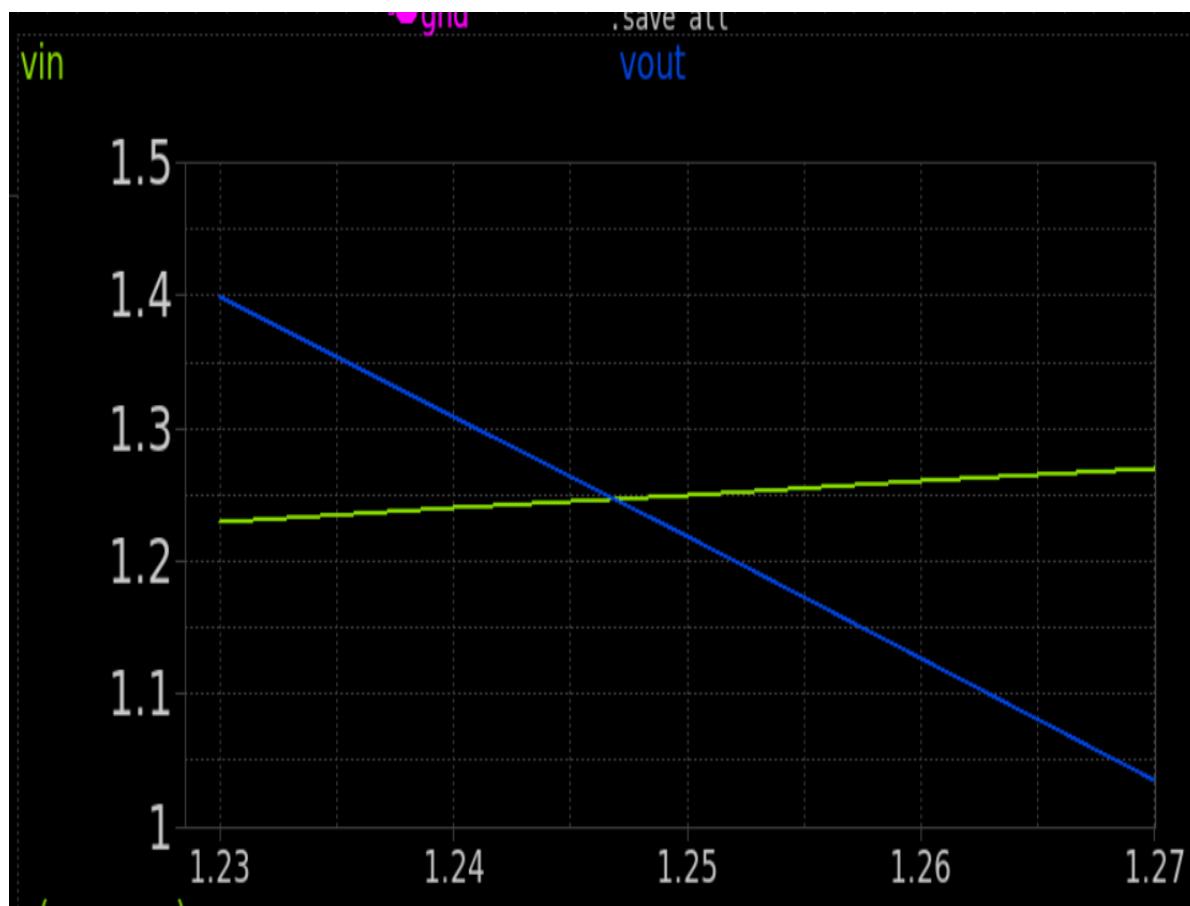
Simulación Post_Layout



Pre-Layout vs Post_Layout



Pre-Layout vs Post_Layout



Importar desde archivo spice

- Al crear un esquemático, existe la posibilidad de obtener un archivo spice, este archivo puede ser importado por magic y generar todas las celdas de forma automática.
- Lo único a tener en cuenta es saber donde se guarda el archivo .spice, para poder importarlo a magic.

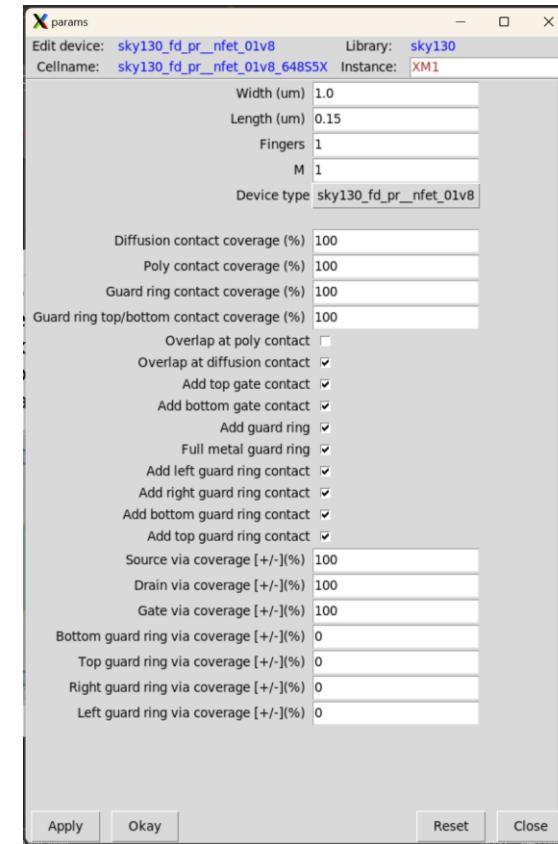
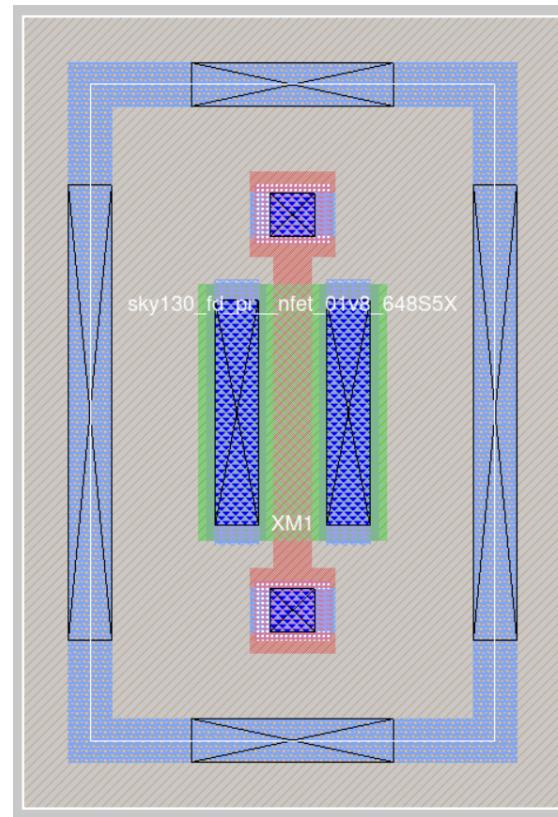


Guardar todos los elementos del diseño

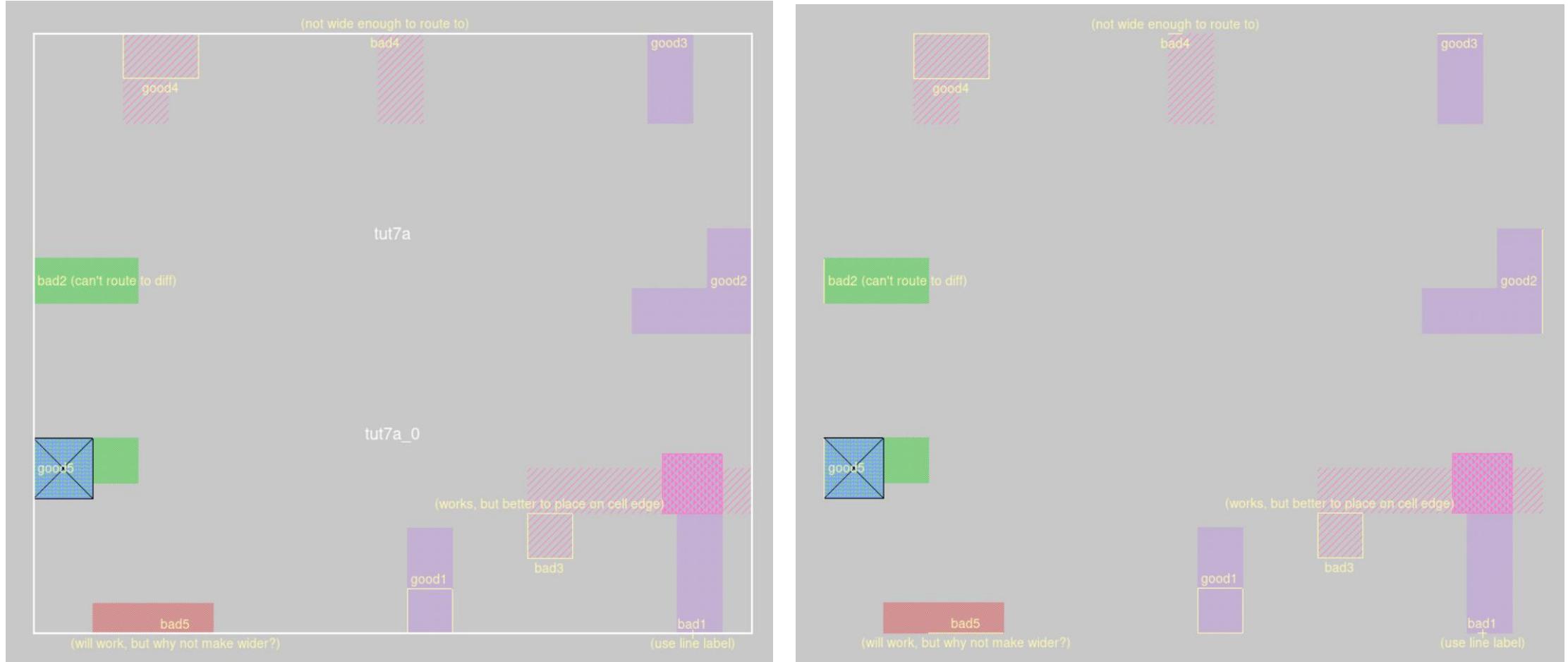
- Una vez importado, se deben guardar todas las celdas en archivos independientes, para eso se ocupa la instrucción “writeall”
- De no guarda esos archivos, al momento de abrir de nuevo el documento de magic, no aparecerán los elementos del diseño, solo aparecerá una silueta y un mensaje de error en la terminal

```
% writeall
Writing 'sky130_fd_pr_nfet_01v8_648S5X'
Writing 'sky130_fd_pr_pfet_01v8_XGS3BL'
Writing 'neurona'
```

- Al importar el archivo spice, dibujara los distintos elementos de forma predeterminada, pero es cuestión del diseñador conservar o no el diseño que entrega magic, para hacer modificaciones, se puede seleccionar el elemento y depues presionar la tecla Q para abrir la ventana de configuración.



Enrutamiento automático



Otros recursos digitales

